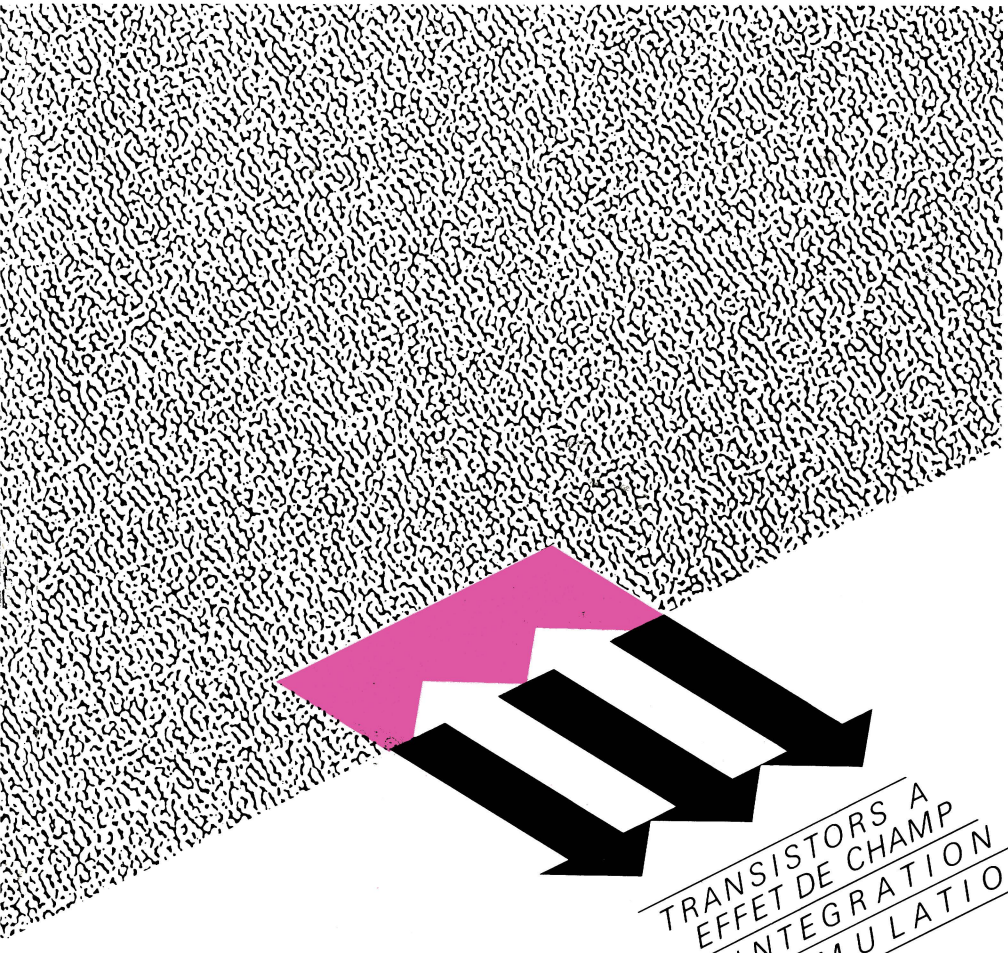
ELECTRONIQUE ANALOGIQUE

COMPOSANTS ACTIFS DISCRETS 2

MICHEL GIRARD



TRANSISTORS A EFFET DE CHAMP
INTEGRATION
SIMULATION

EDISCIENCE
international

ELECTRONIQUE ANALOGIQUE

Dans la même collection

Electronique industrielle
Boucles à verrouillage de phase
Amplificateurs de puissance
Amplificateurs opérationnels 1
Amplificateurs opérationnels 2
Composants actifs discrets 1

MICHEL GIRARD

Institut Universitaire de Technologie, Cachan
Département Automatismes et Electronique de Puissance

COMPOSANTS ACTIFS DISCRETS

2

EDISCIENCE
international

1994

Nous tenons à remercier les sociétés suivantes qui nous ont permis de reproduire certains schémas contenus dans cet ouvrage : ICT, National Semiconductor, Motorola, VTC, Harris-Intersil, Harris Semiconducteurs, Siliconix, Philips Composants, PMI.

Maquette de couverture : Françoise Rojare

© 1990, Ediscience international, Paris.
ISBN : 2-84074-069-9
ISSN : 0985-9039

(publié précédemment par McGraw-Hill Inc., Paris.
ISBN : 2-7042-1205-8)

La Loi du 11 mars 1957 n'autorisant, aux termes des alinéas 2 et 3 de l'Article 41, d'une part, que les «copies ou reproductions strictement réservées à l'usage privé du copiste et non destinées à une utilisation collective» et, d'autre part, que les analyses et les courtes citations dans un but d'exemple et d'illustration, «toute représentation ou reproduction intégrale, ou partielle, faite sans le consentement de l'auteur ou de ses ayants-droit ou ayants-cause, est illicite» (alinéa 1er de l'Article 40). Cette représentation ou reproduction, par quelque procédé que ce soit, constituerait donc une contrefaçon sanctionnée par les articles 425 et suivants du Code Pénal.

Ediscience international – 28, rue Beaunier – 75014 Paris

Avant-propos

En 1989, un fabricant de circuits intégrés spécifiques à une application (ASIC) annonce : « L'expansion des ASIC mixtes – numériques, analogiques – est sérieusement freinée par le manque de concepteurs compétents en analogique : la fortune attend ceux qui choisissent, aujourd'hui, cette voie. »

Oui, la connaissance des composants discrets est obligatoire dans la pratique des techniques modernes (utilisation des circuits intégrés analogiques et numériques, simulation analogique en CAO, conception des circuits intégrés, etc.), mais elle est tout autant nécessaire pour l'étude des fonctions non intégrées telles que les circuits d'interface, les circuits de puissance, les circuits hautes fréquences... sans oublier les « petits montages rapides de dépannage ».

L'ouvrage *Composants actifs discrets* présente, d'abord quelques éléments de la physique des semiconducteurs nécessaires à l'étude du comportement des composants, puis les composants actifs discrets bipolaires et unipolaires (à effet de champ), et enfin l'intégration de ces composants. Une différence inévitable entre la théorie et la pratique est due aux imperfections de fabrication. Minimiser ces imperfections et améliorer les caractéristiques des composants représente « la science de l'art » des fabricants.

L'étude des composants discrets est d'abord qualitative, puis quantitative. L'ensemble est concrétisé par plus d'une centaine d'exercices entièrement traités.

Cet ouvrage s'adresse au très vaste public des étudiants post-baccalauréat (lycées, IUT, écoles d'ingénieurs, universités), des professeurs et des techniciens et ingénieurs de l'industrie.

Les chapitres peuvent être présentés succinctement.

Première partie (premier tome)

Chapitre 1. Une présentation générale des méthodes d'étude est suivie d'une présentation des semiconducteurs et du comportement de la jonction PN.

Chapitre 2. Toutes les diodes sont présentées, d'abord théoriquement, ensuite pratiquement, avec des exemples d'application.

Chapitre 3. Ce chapitre est consacré au transistor bipolaire : étude qualitative, étude quantitative, fonctionnement idéalisé, amplificateurs continus et basses fréquences, puis amplificateurs hautes fréquences et micro-ondes.

Deuxième partie (deuxième tome)

Chapitre 4. Il présente le transistor à effet de champ à jonction JFET et à grille isolée MOSFET, avec les mêmes rubriques que pour le transistor bipolaire (étude théorique, fonctionnement idéalisé, fonctionnement en interrupteur et en résistance commandée, amplificateurs continus et basses fréquences, amplificateurs hautes fréquences et micro-ondes).

Chapitre 5. On y trouve les principes de la commutation faible puissance (bascules, etc.) et forte puissance (thyristor, triac, etc.).

Chapitre 6. Ce chapitre présente la technologie des circuits intégrés analogiques bipolaires, BIFET, BIMOS, MOS et CMOS pour des fonctions classiques comme les amplificateurs opérationnels, les commutateurs analogiques, et moins classiques comme les circuits à capacités commutées.

Chapitre 7. Les différentes technologies numériques y sont présentées (TTL, ECL, MOS, NMOS, CMOS, etc.) pour des fonctions à faible et forte intégration.

Chapitre 8. C'est le sommet de la technologie intégrée avec l'apparition des ASIC pour différents degrés d'intégration à la demande, depuis les réseaux logiques programmables, jusqu'aux circuits spécifiques (full customs).

Chapitre 9. Quelques éléments de CAO sont indiqués en simulation analogique avec des composants discrets classiques puis avec des composants intégrables dont les caractéristiques sont fournies par les fondeurs.

Remarque. Malgré nos efforts de relecture, le long travail de synthèse que représente cet ouvrage laissera inéluctablement apparaître des erreurs. Nous nous excusons auprès de nos lecteurs et les invitons à nous en faire part.

Je remercie vivement tous les collègues pour leurs conseils et informations et plus particulièrement Daniel Angélis responsable, entre autres, de la formation en CAO.

Conventions générales d'écriture

V, I	tensions et courants continus
$\underline{V}, \underline{I}$	tensions et courants sinusoïdaux, en notation complexe
$V(p), I(p)$	tensions et courants en notation symbolique, variable de Laplace
$v(t), i(t)$	tensions et courants en régime quelconque, variable t
$+V, -V, +E$	tensions d'alimentation dans le cas général ou pour les circuits intégrés analogiques
$+V_{DD} - V_{SS}$	tensions d'alimentation dans le cas des circuits intégrés MOS
$v_E = V_E + v_e$	superposition des états statique et dynamique
V_{CE}, I_C, I_{CBO}	tensions et courants continus pour un composant

$V_{CE_0}, I_{C_0}, \ldots$	tensions et courants de repos que l'on s'impose (point de repos)
$v_{ce}, i_c, v_{be}, \ldots$	tensions et courants variables, autour d'une composante continue
β	gain en courant d'un transistor bipolaire $\beta = h_{21} = h_f$
g	transconductance d'un transistor $g = g_f$
θ_j, T_j	température (dans notre cas, de jonction)

Table des matières

Chapitre 4. Transistors à effet de champ 1

4.1. Présentation, principe, théorie des transistors à effet de champ 1
4.1.1. Idée directrice, principes simplifiés, domaines d'application 1
4.1.1.1. Conduction dans un barreau semiconducteur 1
4.1.1.2. Classification des transistors à effet de champ 2
4.1.1.3. Symbolisation 3
4.1.1.4. Domaines d'application des transistors à effet de champ 5
4.1.2. Transistors à jonction 7
4.1.2.1. Jonction *PN* 7
4.1.2.2. Étude qualitative du transistor à jonction JFET canal *N* 8
4.1.2.3. Étude quantitative du transistor à jonction JFET canal *N* 12
4.1.2.4. Relations simplifiées associées au transistor JFET 15
4.1.3. Transistors à grille isolée MOSFET 16
4.1.3.1. Condensateur métal-oxyde-semiconducteur 17
4.1.3.2. Étude qualitative du transistor NMOS à enrichissement 24
4.1.3.3. Étude qualitative du transistor NMOS à appauvrissement 28
4.1.3.4. Étude quantitative des MOSFET, relations simplifiées 31
4.1.4. Résumé des caractéristiques des transistors à effet de champ 34
4.1.5. Exercices 34

4.2. Aspect technologique des transistors à effet de champ 43
4.2.1. Fabrication des FET 43
4.2.1.1. Transistor à jonction JFET canal *N* 43
4.2.1.2. Transistors NMOS 44
4.2.1.3. Exemples de procédés de fabrication et de géométries réelles 46
4.2.2. Caractéristiques statiques réelles 49
4.2.2.1. Caractéristiques statiques du JET canal *N* 50
4.2.2.2. Caractéristiques statiques des NMOS 56
4.2.3. Influence de la température 60
4.2.3.1. Variation des paramètres du JFET canal *N* 60
4.2.3.2. Variation des paramètres des transistors NMOS 62

4.2.3.3. Résistance thermique – limitation de puissance 64
4.2.4. Dispersion de fabrication 64
4.2.4.1. Transistors à jonction JFET canal *N* 65
4.2.4.2. Transistors NMOS 65
4.2.5. Point de repos et polarisation 66
4.2.5.1. Droites de charges statique et dynamique 66
4.2.5.2. Polarisation des transistors à effet de champ 67
4.2.6. Association de transistors FET et bipolaires 77
4.2.7. Transistors à effet de champ spéciaux 79
4.2.7.1. Transistors JFET pour amplificateurs différentiels 79
4.2.7.2. Transistors JFET utilisés en diode 79
4.2.7.3. Transistors MESFET 80
4.2.7.4. Transistors à effet de champ à double grille 81
4.2.7.5. Transistors à effet de champ de puissance 82
4.2.8. Exemples de caractéristiques 82
4.3. Applications quasi statiques des transistors à effet de champ 95
4.3.1. Sources à courant constant 95
4.3.1.1. Utilisation d'un transistor JFET canal *N* 96
4.3.1.2. Utilisation de deux transistors JFET 97
4.3.1.3. Utilisation des transistors NMOS 99
4.3.2. Fonctionnement en interrupteur statique 100
4.3.2.1. Transistor JFET et NMOS à déplétion 101
4.3.2.2. Transistor NMOS à enrichissement 102
4.3.3. Fonctionnement en résistance commandée 102
4.3.3.1. Exemples d'application 103
4.3.3.2. Problème de la distorsion 105
4.3.3.3. Étude théorique de la distorsion 107
4.3.4. Exercices 109
4.4. Amplificateurs continus et basses fréquences 113
4.4.1. Schémas équivalents du transistor à effet de champ en régime lentement variable 113
4.4.1.1. Paramètres naturels du JFET 113
4.4.1.2. Détermination des paramètres du JFET 113
4.4.1.3. Exemples de caractéristiques de composants discrets .. 115
4.4.2. Montages fondamentaux 118
4.4.2.1. Montages source commune 118
4.4.2.2. Montage à charge répartie 120
4.4.2.3. Montage drain commun 121
4.4.2.4. Montage grille commune 122
4.4.2.5. Montage cascode 124
4.4.2.6. Amplificateur différentiel 125
4.4.2.7. Détermination de la valeur des condensateurs 127
4.4.3. Influence d'une charge active 128

4.4.3.1. Charges actives 128
4.4.3.2. Technologie JFET 130
4.4.3.3. Technologie MOS 131
4.4.3.4. Influence de la tension substrat source 134
4.4.4. Association transistors FET-transistors bipolaires 135
4.4.4.1. Mise en cascade simple 136
4.4.4.2. Contre-réactions partielles 137
4.4.5. Contrôle automatique de gain 139
4.4.5.1. CAG d'un montage source commune 139
4.4.5.2. CAG d'un montage à amplificateur opérationnel 141
4.4.5.3. CAG d'un montage émetteur commun 142
4.4.5.4. CAG d'un montage cascode 142
4.4.6. Imperfections des amplificateurs continus et basses fréquences . 143
4.4.6.1. Imperfections statiques 143
4.4.6.2. Bruit dans les transistors à effet de champ 149
4.4.6.3. Distorsion dans les montages 151
4.4.6.4. Phénomène de latch-up dans les JFET « dual » 152
4.4.7. Exercices 152
4.5. Amplificateurs vidéofréquences, radiofréquences et hyperfréquences ... 172
4.5.1. Transistors à effet de champ hautes fréquences 172
4.5.1.1. Technologies utilisées 172
4.5.1.2. Paramètres naturels du JFET 172
4.5.1.3. Paramètres naturels du MESFET 175
4.5.1.4. Paramètres naturels du MOSFET 175
4.5.1.5. Schéma équivalent en paramètres *y* 177
4.5.1.6. Schéma équivalent en paramètres *s* 178
4.5.2. Amplificateurs vidéofréquences 180
4.5.2.1. Impédance d'entrée d'un JFET 180
4.5.2.2. Structures de base, pour amplificateurs vidéofréquences 181
4.5.2.3. Exemples de réalisations 182
4.5.3. Amplificateurs radiofréquences 185
4.5.3.1. Structures de base pour amplificateurs radiofréquences 185
4.5.3.2. Détection, mélange de fréquences et multiplication de fréquences 188
4.5.3.3. Utilisation des transistors à effet de champ double grille TECDG 189
4.5.4. Amplificateurs micro-ondes 191
4.5.4.1. Amplificateur adapté simple 191
4.5.4.2. Amplificateur à contre-réaction résistive 192
4.5.4.3. Amplificateur équilibré 193
4.5.4.4. Amplificateur distribué 193
4.5.5. Exercices 195

Chapitre 5. Commutation faible et forte puissance **201**
5.1. Composants faible puissance en commutation 201
5.1.1. Diodes en commutation 201
5.1.1.1. Diode normale en petits signaux 202
5.1.1.2. Diode normale en grands signaux 203
5.1.1.3. Diminution du temps de stockage dans les diodes 204
5.1.2. Transistors bipolaires en commutation 206
5.1.2.1. Transistors bipolaires en petits signaux 206
5.1.2.2. Transistors bipolaires en grands signaux 208
5.1.2.3. Fonctionnement en sursaturation et surblocage 210
5.1.2.4. Amélioration des temps de commutation du transistor bipolaire 214
5.1.2.4. Puissance dissipée dans un transistor en commutation . 216
5.1.3. Transistors à effet de champ en commutation 217
5.1.3.1. Transistor JFET en petits signaux 217
5.1.3.2. Transistor JFET en grands signaux 218
5.1.3.3. Cas des transistors MOSFET 221
5.1.3.4. Exemples de valeurs et amélioration des temps de commutation 223
5.1.4. Composants de l'optoélectronique en commutation 225
5.1.4.1. Émetteurs de lumière 225
5.1.4.2. Récepteurs de lumière 226
5.1.4.3. Optoisolateurs 227
5.2. Applications de la commutation faible puissance 228
5.2.1. Quelques schémas tests 229
5.2.2. Exemples de drivers pour transistors 230
5.2.2.1. Driver à transistors bipolaires 230
5.2.2.2. Drivers à transistors à effet de champ 230
5.2.3. Bascules à transistors 233
5.2.3.1. Bascules bistables 233
5.2.3.2. Bascules monostables 235
5.2.3.3. Bascules astables 238
5.2.3.4. Trigger de Schmitt 240
5.2.4. Exemples d'utilisation des optocoupleurs 242
5.2.4.1. Optocoupleur diode-transistor bipolaire 242
5.2.4.2. Optocoupleur diode-JFET 243
5.3. Les composants de puissance en commutation 244
5.3.1. Composants « linéaires » en commutation 244
5.3.1.1. Diodes 244
5.3.1.2. Transistors bipolaires 245
5.3.1.3. Transistors à effet de champ 248
5.3.2. Composants à avalanche 252
5.3.2.1. Thyristors 252

5.3.2.2. Triac 258
5.3.2.3. Optocoupleurs à thyristors et triacs 259
5.4. Composants à avalanche de faible puissance 260
5.4.1. Thyristor tétrode 261
5.4.2. Transistor unijonction 261
5.4.3. Transistor unijonction programmable 264
5.4.4. Dipôles actifs à avalanche 265
5.5. Problèmes thermiques en régime impulsionnel 267
5.5.1. Problèmes thermiques en général 267
5.5.1.1. Fatigue thermique des transistors de puissance 267
5.5.2. Régime impulsionnel 268
5.5.2.1. Impédance thermique 268
5.5.2.2. Série d'impulsions 269
5.5.2.3. Impulsion unique 270
5.5.3. Boîtiers et radiateurs 271

Chapitre 6. Intégration des fonctions analogiques 279

6.1. Présentation succincte des circuits intégrés analogiques 279
6.1.1. Fonctions linéaires classiques 279
6.1.1.1. Famille des amplificateurs opérationnels 279
6.1.1.2. Famille des régulateurs 280
6.1.1.3. Famille des comparateurs de tensions 280
6.1.2. Commutateurs analogiques 281
6.1.3. Fonctions spéciales 281
6.2. Technologie des fonctions linéaires classiques 282
6.2.1. Technologie bipolaire 282
6.2.1.1. Composants de base 282
6.2.1.2. Fonctions de base 287
6.2.2. Technologie MOS 299
6.2.2.1. Composants de base 300
6.2.2.2. Fonctions de base 301
6.2.3. Technologie BIFET et BIMOS 314
6.2.3.1. Technologie BIFET 314
6.2.3.2. Technologie BIMOS 315
6.2.4. Quelques exemples de fonctions linéaires 315
6.2.4.1. Comparaison des technologies bipolaires et MOS 315
6.2.4.2. Amplificateur opérationnel bipolaire 741 316
6.2.4.3. Amplificateur opérationnel BIFET, LT1055 318
6.2.4.4. Amplificateur opérationnel CMOS, ICL7611 319
6.3. Commutateurs analogiques 320
6.3.1. Généralités 320
6.3.1.1. Composants utilisés 320
6.3.1.2. Domaines d'application des commutateurs analogiques 320

6.3.1.3. Schémas équivalents statiques d'un commutateur à transistors à effet de champ 321
6.3.1.4. Schémas équivalents dynamiques d'un commutateur à transistor à effet de champ 322
6.3.1.5. Caractéristiques utilisées 322
6.3.2. Commutateurs à JFET 325
6.3.2.1. Principe de la commande 325
6.3.2.2. Procédés de commande 326
6.3.2.3. Exemples de circuits intégrés commercialisés 329
6.3.3. Commutateurs à MOSFET 333
6.3.3.1. Principe de la commande 334
6.3.3.2. Exemples réels et procédés de commande 335
6.3.4. Commutateurs CMOS 337
6.3.4.1. Principe de la commande 337
6.3.4.2. Exemples pratiques de commutateurs 339
6.3.5. Optocommutateurs diode-JFET 345
6.3.6. Comparaison des commutateurs 346
6.3.7. Quelques exemples d'application des commutateurs 347
6.3.7.1. Commutateurs simples 347
6.3.7.2. Multiplexeurs 348
6.3.8. Technique et application des capacités commutées 350
6.3.8.1. Principe 350
6.3.8.2. Filtres à capacités commutées 351
6.3.8.3. Alimentations à découpage 355
6.3.8.4. Autres applications des capacités commutées 356
6.4. Circuits spéciaux 356
6.4.1. Convertisseur numérique-analogique 357
6.4.2. Réseau de diodes 358
6.4.3. Circuit intégré radiofréquences 359
6.4.4. Circuits intégrés en arséniure de gallium 360
6.4.5. Dispositifs à transfert de charge CCD 361

Chapitre 7. Intégration des fonctions logiques (ou numériques) 365

7.1. Présentation succincte des circuits intégrés numériques 365
7.1.1. Essai de classifications 365
7.1.1.1. Classification en fonction du nombre de composants ... 365
7.1.1.2. Classification en fonction de la technologie 367
7.1.2. Caractéristiques statistiques 369
7.1.2.1. Caractéristiques d'entrée et de sortie 369
7.1.2.2. Caractéristiques d'alimentation 373
7.1.3. Caractéristiques dynamiques 374
7.1.3.1. Temps de réponse 374
7.1.3.2. Facteur de mérite 375

7.2. Circuits bipolaires saturés 375
7.2.1. Famille TTL 375
7.2.1.1. Principe de l'inverseur TTL standard 7404 376
7.2.1.2. Différents types d'inverseurs TTL 378
7.2.1.3. Autres opérateurs TTL 381
7.2.1.4. Caractéristiques et performances des circuits TTL 385
7.2.2. Famille I^2L 387
7.2.2.1. Principe et caractéristiques de l'I^2L 387
7.2.2.2. Réalisation des fonctions numériques 388
7.3. Circuits bipolaires non saturés 390
7.3.1. Famille TTL Schottky 390
7.3.1.1. Présentation de la technologie TTL Schottky 390
7.3.1.2. Inverseurs TTL Schottky 393
7.3.1.3. Caractéristiques et performances des circuits TTL Schottky 395
7.3.2. Famille ECL 399
7.3.2.1. Présentation de la technologie ECL 399
7.3.2.2. Élément de base de la technologie ECL 399
7.3.2.3. Évolution de l'opérateur $\overline{OU}$-$\overline{OU}$ 401
7.3.2.4. Principe de l'assemblage d'opérateurs ECL 404
7.3.2.5. Caractéristiques et performances de la technologie ECL 407
7.4. Circuits MOS 408
7.4.1. Famille NMOS 408
7.4.1.1. Présentation de la technologie NMOS 408
7.4.1.2. Inverseurs NMOS 409
7.4.1.3. Autres opérateurs NMOS 412
7.4.1.4. Caractéristiques et performances de la technologie NMOS 414
7.4.2. Famille CMOS 416
7.4.2.1. Présentation de la technologie CMOS 416
7.4.2.2. Inverseurs CMOS 418
7.4.2.3. Autres opérateurs CMOS 420
7.4.2.4. Caractéristiques et performances de la technologie CMOS 422
7.5. Circuits BICMOS 428
7.5.1. Présentation de la technologie BICMOS 428
7.5.2. Opérateurs BICMOS 429
7.5.3. Caractéristiques de la technologie BICMOS 431
7.6. Circuits GaAs 431
7.6.1. Présentation de la technologie GaAs 431
7.6.2. Opérateurs GaAs 432
7.6.2.1. Opérateurs à FETD 432
7.6.2.2. Opérateurs à FETE 434

7.6.3. Caractéristiques et performances de la technologie GaAs 435
7.7. Circuits d'interface 436
7.7.1. Interfaces TTL vers d'autres technologies 436
7.7.1.1. Interfaces TTL → CMOS 436
7.7.1.2. Interfaces TTL → ECL 438
7.7.2. Interfaces CMOS vers d'autres technologies 439
7.7.2.1. Interfaces CMOS → TTL 439
7.7.2.2. Interface CMOS → ECL 440
7.7.3. Interfaces ECL vers d'autres technologies 440
7.7.3.1. Interfaces ECL → TTL 441
7.7.3.2. Interface ECL → CMOS 441
7.7.3.3. Interface ECL → BICMOS 442

Chapitre 8. Circuits intégrés spécifiques – ASIC 443
8.1. Présentation générale des ASIC 443
8.1.1. Qu'est-ce qu'un ASIC ? 443
8.1.2. Le monde des ASIC 444
8.1.2.1. ASIC programmables sur site 444
8.1.2.2. ASIC programmables chez les « fondeurs » 446
8.1.2.3. Procédure de conception des ASIC 448
8.1.3. Avantages et inconvénients des ASIC 449
8.1.3.1. Avantages 449
8.1.3.2. Inconvénients 449
8.1.4. Quelques chiffres 450
8.2. Technologie des ASIC 452
8.2.1. Rappels concernant les mémoires électriques 452
8.2.1.1. Mémoires mortes ROM 452
8.2.1.2. Mémoires vives RAM 454
8.2.1.3. Mémoires mortes PROM 456
8.2.1.4. Mémoires mortes EPROM 457
8.2.1.5. Mémoires mortes EEPROM 459
8.2.2. ASIC programmables sur site 459
8.2.2.1. PLA ou FPLA 459
8.2.2.2. PLD, EPLD ou EEPLD combinatoires 461
8.2.2.3. PLD, EPLD ou EEPLD séquentiels 462
8.2.2.4. Matrices programmables 463
8.2.2.5. Réseaux prédiffusés programmables 467
8.2.3. ASIC programmables chez le « fondeur » 468
8.2.3.1. Réseaux prédiffusés 468
8.2.3.2. Réseaux précaractérisés 472
8.2.4. Boîtiers pour ASIC 473
8.3. Exemples d'ASIC 474
8.3.1. Réseau prédiffusé numérique 474
8.3.2. Réseau prédiffusé analogique 479

8.4. Mini glossaire des ASIC 485

Chapitre 9. Simulation analogique 489
9.1. Modèle SPICE 489
9.1.1. Introduction 489
9.1.2. Diodes 490
9.1.2.1. Désignation en Net List 490
9.1.2.2. Paramètres SPICE 490
9.1.2.3. Exemples de paramètres utilisés en simulation 492
9.1.3. Transistors bipolaires (BJT, NPN et PNP) 492
9.1.3.1. Désignation en Net List 492
9.1.3.2. Paramètres SPICE 492
9.1.3.3. Exemples de paramètres utilisés en simulation 494
9.1.4. Transistors JFET (N et P) 494
9.1.4.1. Désignation en Net List 494
9.1.4.2. Paramètres SPICE 494
9.1.4.3. Exemple de paramètres utilisés en simulation 495
9.1.5. Transistors MOSFET 495
9.1.5.1. Désignation en Net List 495
9.1.5.2. Paramètres SPICE 496
9.1.5.3. Exemples de paramètres utilisés en simulation 497
9.2. Exemples simples de simulation analogique 497
9.2.1. Méthodologie 497
9.2.2. Effet de la température sur une jonction-application à un thermomètre 498
9.2.3. Caractéristiques I_C (V_{CE}) pour un transistor bipolaire *NPN* 500
9.2.4. Influence de la température sur une polarisation 502
9.2.5. Réponse en fréquence des montages fondamentaux 503
9.2.6. Amplificateur opérationnel en technologie bipolaire 509
9.2.7. Amplificateur opérationnel en technologie CMOS 514
9.2.8. Réponse en fréquence en boucle ouverte d'un amplificateur opérationnel 518
9.2.9. Opérateurs TTL à éléments discrets 519

Bibliographie 525

CHAPITRE 4

Transistors à effet de champ

4.1. PRÉSENTATION, PRINCIPE, THÉORIE DES TRANSISTORS A EFFET DE CHAMP

Le principe des transistors à effet de champ (TEC ou FET – *field effect transistor*) a été imaginé dans les années trente par J.E. Lilienfeld. Toutefois, la difficulté de contrôle de la conduction n'a permis leur réalité physique qu'à partir de 1952 (grâce à Shockley) et leur intégration en 1962 par la société Fairchild introduisant le procédé silicium planar (procédé impossible à utiliser avec le germanium).

Les transistors à effet de champ n'ont cessé d'évoluer, et leurs performances actuelles dépassent, dans beaucoup de domaines, celles des transistors bipolaires (micro-ondes, commutation rapide de puissance, certains circuits intégrés analogiques et numériques...).

4.1.1. IDÉE DIRECTRICE, PRINCIPES SIMPLIFIÉS, DOMAINES D'APPLICATION

4.1.1.1. Conduction dans un barreau semiconducteur

Le principe des transistors à effet de champ consiste à utiliser un barreau de matériau semiconducteur dopé N ou P et à faire varier sa conductibilité en lui appliquant un champ électrique transversal (action électrostatique), par l'intermédiaire d'une électrode appelée grille, les autres électrodes (le drain et la source) étant les extrémités du barreau.

Si les dimensions de ce barreau dopé N sont : l, la largeur, d, l'épaisseur et L, la longueur, on détermine la conductance statique par la relation vue au paragraphe 1.3.3.5.

$$G = \frac{1}{R} = \frac{I}{V} = q N_D \mu_e \frac{ld}{L} = \sigma \frac{S}{L} = \frac{1}{\rho} \frac{S}{L}$$

avec I, courant circulant dans le barreau,
V, différence de potentiel,
q, charge de l'électron,
N_D, nombre d'atomes d'impuretés donatrices,
μ_e, mobilité des électrons.

Une relation identique est obtenue avec un dopage de type *P*.

Ainsi, **faire varier la conductance d'un barreau semiconducteur dopé, revient à modifier :**

— soit sa section « fictive » (étranglement plus ou moins marqué de la zone active) ; c'est le cas des transistors à jonction JFET,

— soit sa densité en porteurs de charges (appauvrissement – *depletion* – ou enrichissement – *enhancement* – de la zone active). C'est le cas des transistors à grille isolée MOSFET.

Le transistor à effet de champ est aussi appelé transistor unipolaire car il ne met en œuvre qu'un seul type de porteurs.

4.1.1.2. Classification des transistors à effet de champ

En fonction des principes utilisés, nous pouvons adopter la classification suivante :

— **Transistors à jonction *PN* (JFET).** Le canal en silicium dopé *N* ou *P* est appauvri en polarisant la jonction canal-grille en inverse, ce qui a pour effet de faire varier l'épaisseur de la zone de déplétion de cette jonction, donc de diminuer la section du canal. **Ces transistors ne peuvent être qu'à déplétion** (appauvrissement).

— **Transistors à barrière Schottky** (MESFET – *MEtal Semiconductor FET*). Ils fonctionnent suivant le même principe que les JFET (transistors à déplétion), toutefois, ils sont plus rapides à cause de l'utilisation des composés III-V (arséniure de gallium) et de l'absence des charges stockées dans la jonction, en commutation. Une variante est le TEGFET, présenté dans la section 4.5.

— **Transistors à grille isolée** (MOSFET – *Metal Oxide Semiconductor FET* ou IGFET – *Insulated Gate FET*). Ces transistors utilisent le phénomène d'accumulation de charges sur les armatures d'un condensateur plan dont l'une d'elles est le matériau semiconducteur dopé. La polarité de la tension appliquée sur la grille de commande permet d'appauvrir (déplétion) ou d'enrichir (enhancement) le canal.

En plus de ces transistors classiques, on trouve certaines structures particulières telles que :

— les transistors MOS à double grille permettant la superposition de deux commandes. Le canal dopé peut être soit appauvri, soit enrichi ;

— les transistors à effet de champ de puissance qui sont des MOS à enrichissement et dont la dénomination commerciale diffère d'un fabricant à un autre (VMOS, HEXFET ...) ;

— les transistors à effet de champ, à grille isolée pour cellules mémoires (technologie intégrée) utilisant la superposition de deux isolants, l'un à base de nitrure de silicium, l'autre à base d'oxyde de silicium (d'où leur dénomination MNOS), permettant la conservation d'un état de charge (mémorisation) entre les deux zones isolantes.

4.1.1.3. Symbolisation

La symbolisation des composants est relativement liée à leur processus de fonctionnement. Les transistors à effet de champ ne font pas exception à la règle. Après en avoir énuméré les différents types, nous dressons l'organigramme de la figure 4.1.

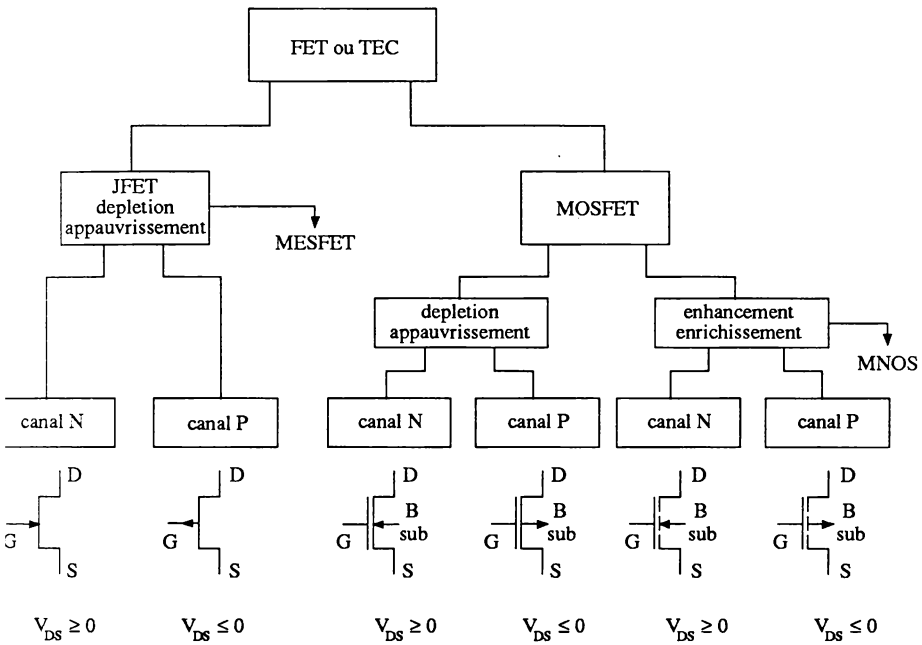


Figure 4.1

Un transistor à déplétion ou à appauvrissement possède un canal « riche » en porteurs de charges. Il est conducteur sans commande, alors le canal est représenté en **trait continu.**

Un transistor à enhancement ou à enrichissement possède un canal dépourvu de charges actives (par exemple d'électrons pour un canal *N*). Il est non conducteur sans commande, alors le canal est représenté en **trait discontinu.**

La différenciation canal *N* ou canal *P* se fait par une flèche :

— flèche de jonction grille-canal pour le JFET,

— flèche canal-substrat pour le MOSFET (rappelons que le substrat ou bulk est le support semiconducteur dopé *N* ou *P*).

Remarques

— Les transistors à effet de champ sont référencés par rapport à la source :

• **Commande entre grille et source** par une tension V_{GS} positive ou négative suivant le principe de fonctionnement.

• **Circuit de « puissance » entre drain et source** avec une tension $V_{DS} \geq 0$ pour un canal *N* (déplacement d'électrons) ou une tension $V_{DS} \leq 0$ pour un canal *P* (déplacement de « trous »).

— **De par leurs principes, les transistors à effet de champ sont symétriques, donc bidirectionnels.** Inverser les électrodes de drain et de source impose d'inverser la polarité V_{DS} et de changer la référence de la commande (figure 4.2). Toutefois, cette opération doit s'effectuer avec une extrême prudence, à cause, éventuellement :

• de la dissymétrie de fabrication,

• des protections de commande entre grille et source,

• de la connexion substrat-source pour un MOSFET.

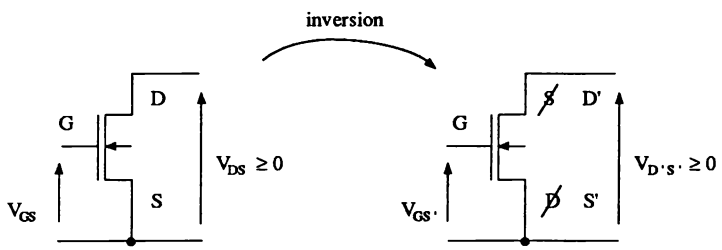


Figure 4.2

— En technologie intégrée, on rencontre différentes familles.

• **Famille NMOS** où tous les transistors sont à canal *N* (transistors uniquement à enrichissement ou association de transistors à enrichissement et à déplétion-EDMOS). La figure 4.3 représente un inverseur NMOS dont l'élément actif T_2 est un transistor à enrichissement et la charge T_1, un transistor à appauvrissement (déplétion). Les schémas de droite utilisent une autre symbolisation souvent rencontrée. Dans certains cas, la charge T_1 peut correspondre, elle aussi, à un transistor à enrichissement (voir chapitres 6 et 7).

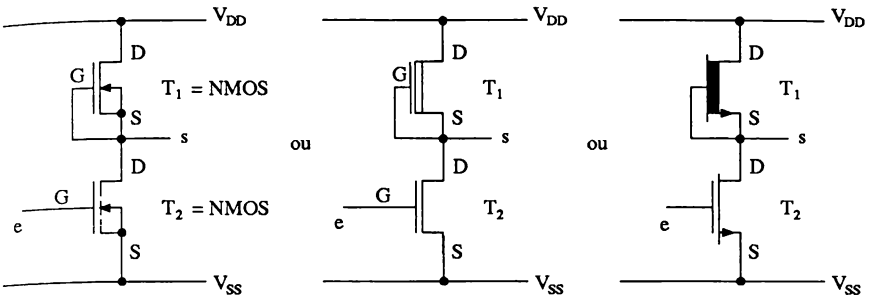


Figure 4.3

• **Famille CMOS** (*Complementary* MOS) utilisant des transistors à enrichissement canal *P* positionnés vers la ligne positive V_{DD} de l'alimentation et des transistors à enrichissement canal *N* positionnés vers la ligne négative V_{SS} de l'alimentation. La figure 4.4 représente un inverseur CMOS utilisant la symbolisation de la figure 4.1 et deux variantes de symbolisation souvent rencontrées (les flèches des transistors T_1 et T_2 du schéma de droite représentent le sens du courant dans la source, comme en bipolaire, et non la jonction canal-substrat). Cette famille CMOS a trouvé une amélioration technologique dont la dénomination est HCMOS (environ vingt fois plus rapide que la précédente).

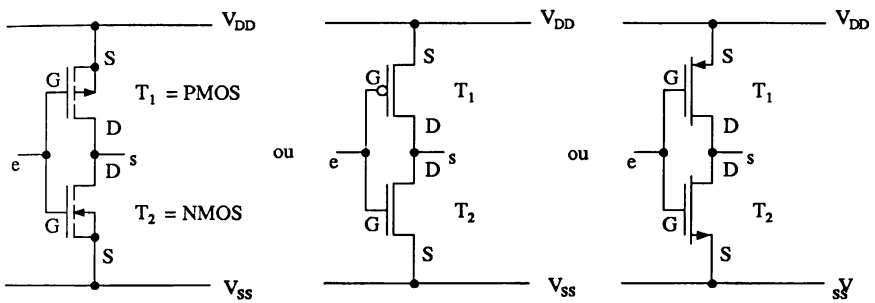


Figure 4.4

• **Famille PMOS**, symétrique de la famille NMOS, tend à disparaître à cause de la mobilité moindre des trous positifs par rapport à celle des électrons.

4.1.1.4. Domaines d'application des transistors à effet de champ

Les transistors à effet de champ présentent, par rapport aux transistors bipolaires, les avantages suivants :

— très grande impédance d'entrée,
— commande en tension (courant statique de commande très souvent négligeable),
— **faible bruit**,
— grande rapidité (MESFET),
— distorsions harmonique et d'intermodulation moindres,
— linéarité et symétrie des caractéristiques I_D (V_{DS}) autour de zéro,
— meilleure stabilité thermique,
— pas de second claquage en puissance,
— **leur fabrication est plus simple (MOS) et ils prennent moins de place dans les circuits intégrés dont la consommation est très réduite.**

Citons toutefois quelques inconvénients :
— plus grande fragilité,
— tenue en tension moindre,
— résistance en conduction et régime de commutation plus élevée...

Les domaines d'application varient suivant le principe.

* **Transistors à jonction JFET**
— **Technologie discrète :**
• amplification bas niveau à l'aide des montages fondamentaux,
• amplificateurs faible bruit UHF-VHF, ou en audiofréquences,
• amplificateurs micro-ondes avec les transistors MESFET,
• commutation en multiplexage et démultiplexage analogique ou numérique, en modulation et démodulation par « chopper »,
• commande automatique de gain ou CAG dans les amplificateurs, etc.
— **Technologie intégrée :**
• circuits intégrés analogiques (amplificateurs opérationnels BIFET, commutateurs analogiques, etc.).

* **Transistors MOSFET à enrichissement**
— **Technologie discrète :**
• commutation faible puissance en analogique et numérique, choppers, interface CMOS-TTL, etc.
• commutation forte puissance (VMOS, HEXFET...) en concurrence avec les transistors bipolaires de puissance.
— **Technologie intégrée :**
• circuits intégrés analogiques (amplificateurs opérationnels à faible consommation, commutateurs analogiques, circuits LSI et VLSI, etc.),
• circuits intégrés numériques (logique CMOS, mémoires, circuits VLSI, etc.).

* **Transistors MOSFET à appauvrissement**
— **Technologie discrète :**
• amplificateurs basses fréquences, fréquences intermédiaires et VHF,

- commutateurs analogiques et numériques,
- mélangeurs pour les tuners FM, télévision (MOSFET tétrode ou double grille).

— **Technologie intégrée :**

- circuits intégrés VLSI en PMOS ou NMOS (microprocesseurs...). Dans ce cas, les NMOS à appauvrissement sont souvent associés à des NMOS à enrichissement (technologie EDMOS).

4.1.2. TRANSISTORS A JONCTION

4.1.2.1. Jonction *PN*

Le transistor à effet de champ à jonction, constitué par exemple d'un canal *N*, est commandé par une tension appliquée sur une zone P^+. La présence de la jonction P^+N (dopage $P^+ \simeq 10^{18}$ cm^{-3} et $N \simeq 10^{15}$ cm^{-3}) impose de rappeler son processus de fontionnement vu aux paragraphes 1.4.2 et 1.4.3. La figure 4.5 présente cette jonction P^+N non polarisée, puis polarisée en inverse.

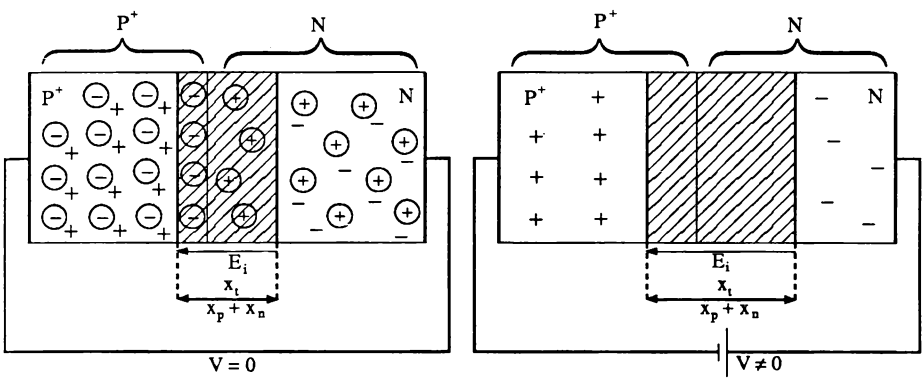


Figure 4.5

— Pour $V = 0$, il existe une barrière de potentiel (ou zone de transition ou zone de déplétion) dont la largeur x_n est plus importante que la largeur x_p. En effet, **la zone neutre s'étend plus du côté le moins dopé (qui est le canal pour le JFET).**

— Pour $V \neq 0$, la jonction est polarisée en inverse ; **la zone de déplétion augmente. C'est ce phénomène qui est utilisé dans les transistors JFET pour diminuer la section du canal, donc la conductance.** Notons en plus, qu'il existe un courant inverse constitué de trois composantes :

- un courant de diffusion,
- un courant de génération thermique,
- un courant de fuite en surface,

et que ce courant global de valeur négligeable à 25°C, augmente très rapidement en fonction de la température (double sensiblement tous les 10°C).

4.1.2.2. Étude qualitative du transistor à jonction JFET canal *N*

La figure 4.6 représente la perspective d'un transistor JFET simplifié. Le semiconducteur de type *N*, de forme parallélépipédique, présente à ses extrémités les contacts ohmiques N^{++} (semiconducteur dégénéré à plus de 10^{19} atomes par cm^3 correspondant aux connexions de drain et de source). Deux zones P^+ reliées entre elles constituent la grille de commande (ces deux zones peuvent être indépendantes dans le cas des transistors à double grille). La tension V_{DS} est positive (conduction d'électrons), alors que V_{GS} est négative, nulle ou très légèrement positive.

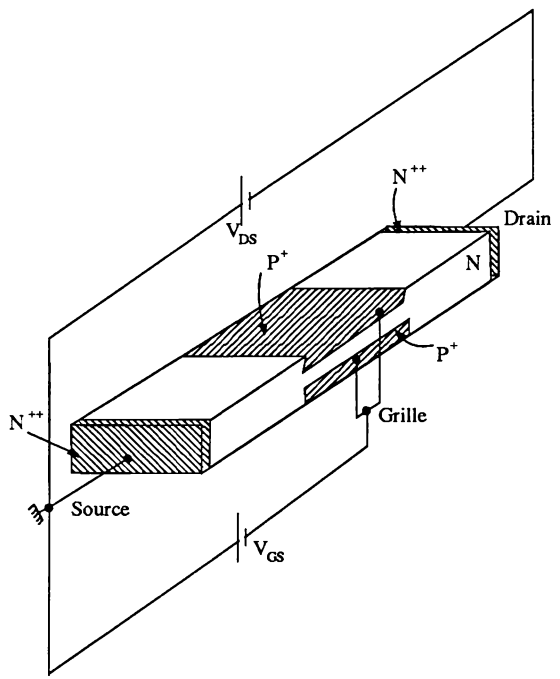


Figure 4.6

L'étude qualitative s'effectue en positionnant, sur différentes figures, la zone de déplétion de la jonction P^+N dont l'évolution dans le canal dépend de la valeur de V_{GS} et de V_{DS}.

* **Tension V_{DS} faible (inférieure à 100 mV)**, telle qu'elle ne modifie pas la zone de déplétion.

— $V_{GS} = 0$ (figure 4.7). La faible largeur x_t de la zone de déplétion, de la double jonction P^+N permet la présence d'un canal conducteur dont la résistance est $R_{DS_{on}} = R_{on}$ (valeur calculée à partir du paragraphe 4.1.1.1. et des éléments du chapitre 1). Cette résistance R_{on} dépend de la longueur du canal, de sa section active ainsi que de son dopage.

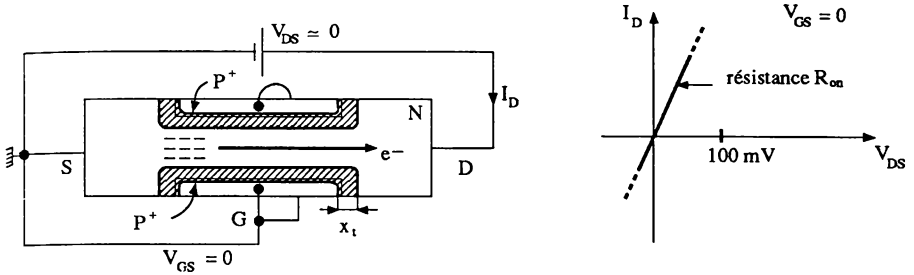


Figure 4.7

— $V_{GS} < 0$ **et supérieure à** $V_{GS_{off}}$ (figure 4.8). La présence de la polarisation négative sur la double jonction P^+N augmente la largeur de transition x_t, diminuant l'épaisseur du canal, donc sa section. La résistance R_{DS} est ainsi augmentée.

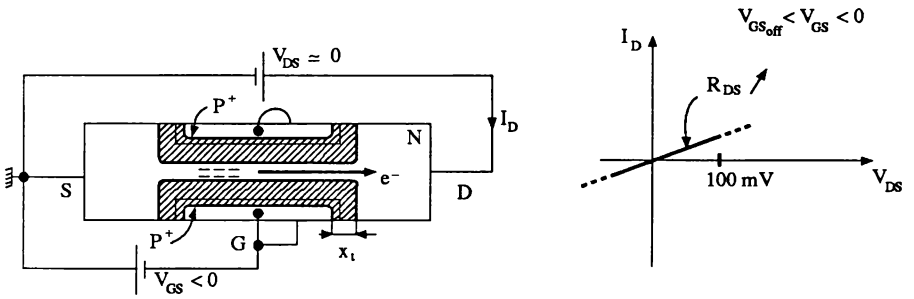


Figure 4.8

— $V_{GS} \leq V_{GS_{off}}$ (figure 4.9). Cette tension négative $V_{GS_{off}}$ a augmenté la largeur de la barrière de potentiel x_t à une valeur telle que le canal est complètement déserté. L'absence de charges libres fait que la résistance R_{DS} est infinie (si on néglige la présence des charges issues de la création des paires électron-trou).

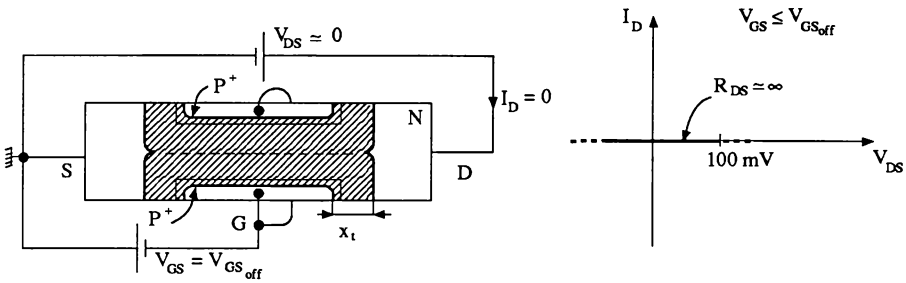


Figure 4.9

* **Tension V_{DS} importante.** Proposons-nous de représenter la caractéristique I_D (V_{DS}) pour $V_{GS} = 0$. En revenant à la figure 4.7, nous voyons que, pour une tension V_{DS} très réduite, la zone de déplétion est de largeur constante tout au long du canal (établissement normal de la barrière de potentiel au niveau de la jonction P^+N). Le champ électrique créé par la tension V_{DS} est négligeable et le canal présente une conductance constante $G_0 = \dfrac{1}{R_{on}}$.

On augmente la tension V_{DS} :

— $V_{DS} < V_p$ (figure 4.10). La polarisation de la jonction P^+N grille-canal est variable selon que nous nous situons vers la source ou vers le drain. Comme $V_{GS} = 0$ et $V_{GD} < 0$, la largeur de la zone de déplétion, côté drain, augmente. Il s'ensuit localement une très légère diminution de la section du canal ne modifiant que très peu sa conductance $G_D = \dfrac{1}{R_{on}}$. La caractéristique I_D (V_{DS}) est celle d'une résistance ; nous sommes dans la zone linéaire.

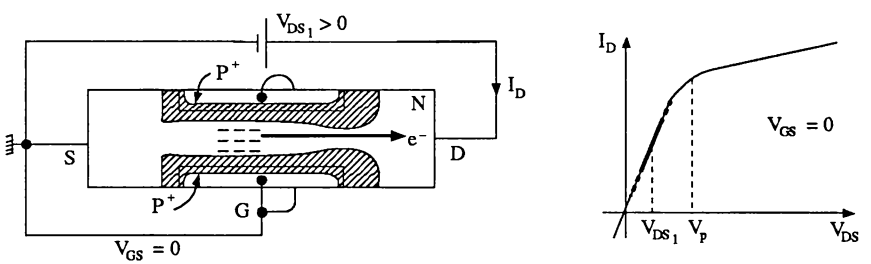


Figure 4.10

— $V_{DS} = V_p$ (figure 4.11). La tension V_{DS} continue à augmenter et entraîne, côté drain, une diminution très accentuée de la section du canal jusqu'à son pincement (V_p = tension de pincement). Le courant I_D atteint sa valeur limite, c'est-à-dire sa valeur de saturation ($I_{D_{sat}}$ pour $V_{DS_{sat}} \simeq V_p$ et $V_{GS} = 0$).

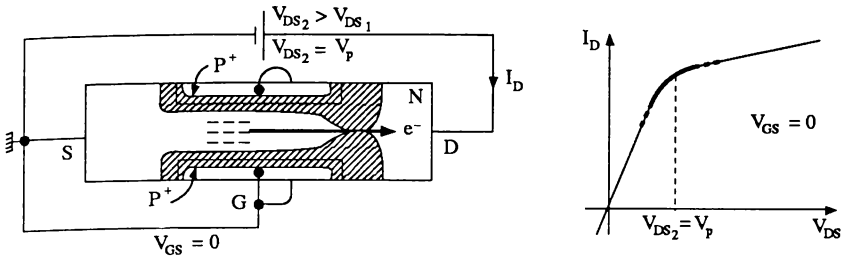


Figure 4.11

Remarquons que la tension de pincement V_p est de même valeur que $|V_{GS_{off}}|$ (même effet de fermeture du canal) lorsque $V_{GS} = 0$.

— $V_{DS} > V_p$ (figure 4.12). Dans ces conditions, le canal présente une zone complètement déplétée. **Tout laisse croire que le courant I_D s'annule.** En réalité, les électrons libres du canal sont injectés dans la zone de déplétion puis vers le drain grâce à la présence du champ électrique associé à la tension V_{DS}. Ce processus de conduction ressemble à celui du transistor bipolaire où les charges issues de l'émetteur traversent la zone neutre de la jonction base-collecteur polarisée en inverse, à cause du champ électrique créé par la tension V_{CE} (positive pour un *NPN*).

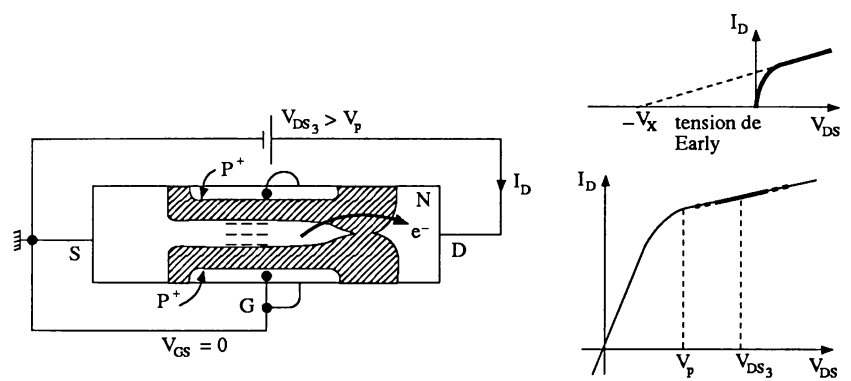


Figure 4.12

L'augmentation de la tension V_{DS} au delà de V_p engendre une très légère diminution de la longueur du canal, donc une légère augmentation de sa conductibilité. Ceci entraîne une légère augmentation du courant I_D dont on peut, dans

certains cas, négliger l'existence. Ce phénomène ressemble à l'effet Early pour le transistor bipolaire. La caractéristique I_D (V_{DS}) est celle d'un générateur de courant (plus exactement, un récepteur à courant commandé).

Le raisonnement que nous venons de tenir avec $V_{GS} = 0$ peut être reconduit pour différentes valeurs de $V_{GS} < 0$. **Il est clair qu'une diminution de la section du canal causée par une augmentation de la tension** $|V_{GS}|$ (figures 4.8 et 4.9) **a pour conséquence une diminution de la tension de pincement** ainsi que l'indiquent les caractéristiques I_D (V_{DS}) de la figure 4.13, pour différentes valeurs de V_{GS}. Pour une tension $V_{DS} = V_{DS0}$ et supérieure à V_p, on en déduit la caractéristique de transfert I_D (V_{GS}) de la figure 4.14. Notons que pour $V_{GS} = 0$, le courant I_D est égal à I_{DSS} *(Current Drain to Source with Shorted gate).*

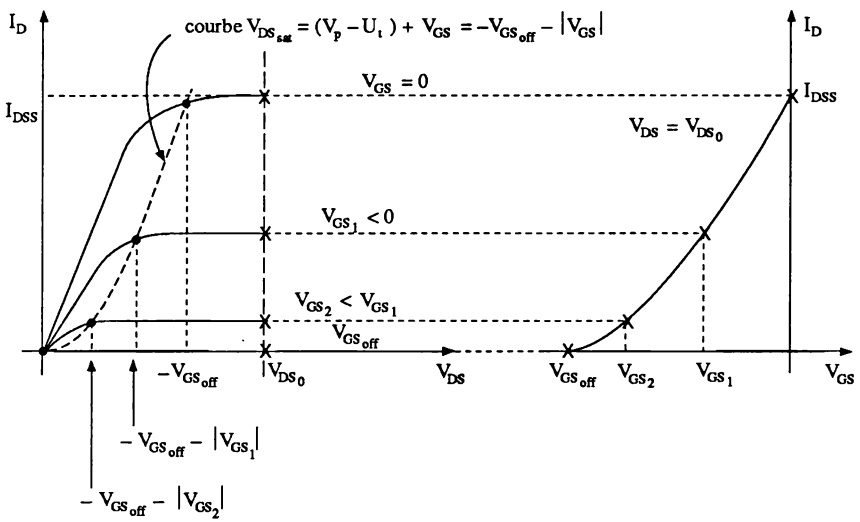


Figure 4.13

Figure 4.14

4.1.2.3. Étude quantitative du transistor à jonction JFET canal *N*

En utilisant les éléments de la figure 4.15 (jonction polarisée entre grille et canal, jonction non polarisée entre canal et substrat), nous déduisons les expressions de quelques paramètres du transistor à effet de champ à jonction JFET.

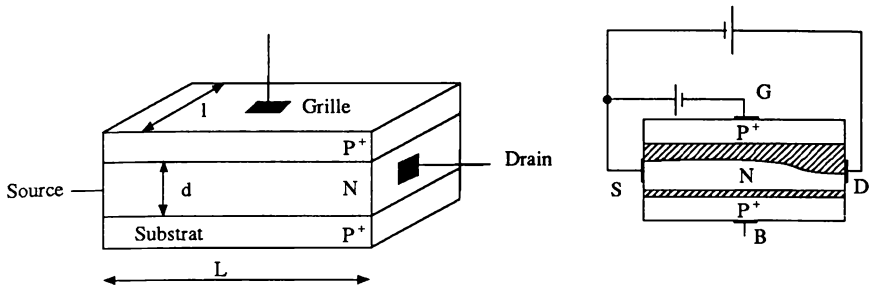


Figure 4.15

— **Conduction du canal pour $V_{GS} = 0$ et $V_{DS} = 0$.** Si on néglige l'épaisseur de la zone de déplétion de la double jonction, on obtient la conductance G_0 du canal N appelée conductance métallurgique (statique)

$$G_0 = q N_D \mu_n \frac{ld}{L} = \frac{1}{R_0} = \sigma \frac{ld}{L}.$$

La valeur de R_0 est proche de celle de $R_{DS_{on}}$ pour $V_{GS} = 0$.

— **La tension $V_{GS_{off}}$ correspond à la tension V_{GS} obstruant le canal lorsque $V_{DS} \simeq 0$** (figure 4.9). Elle est calculée en utilisant l'expression de la largeur de la barrière de potentiel de la jonction P^+N (entre grille et canal) polarisée en inverse (paragraphe 1.4.3).

$$x_t \simeq x_n = \sqrt{\frac{2\varepsilon (U_t - V_{GS})}{q N_D}} \quad \text{avec } V_{GS} < 0$$

où U_t représente le potentiel de diffusion de la jonction P^+N

$$U_t = \frac{kT}{q} \ln \frac{N_D N_A}{n_i^2}.$$

Comme le canal est obstrué lorsque $x_t = d$ pour $V_{GS} = V_{GS_{off}}$ et que l'influence du substrat, dans notre cas, est négligeable, il vient

$$V_{GS_{off}} = -\frac{q N_D d^2}{2\varepsilon} + U_t = -V_p + U_t$$

avec

$$V_p = \frac{q N_D d^2}{2\varepsilon}.$$

Remarquons que **si le substrat est au même potentiel que celui de la grille, la tension de blocage $V_{GS_{off}}$ est divisée par 2.**

— **La conduction du canal dépend de V_{DS} et de V_{GS}.** On déduit l'expression du courant I_D, jusqu'au pincement, à partir d'un calcul intégral non précisé

$$I_D = G_0 \left\{ V_{DS} - \frac{2}{3} \sqrt{\frac{2\varepsilon}{q N_D d^2}} \left[(U_t - V_{GS} + V_{DS})^{\frac{3}{2}} - (U_t - V_{GS})^{\frac{3}{2}} \right] \right\}$$

ou encore

$$I_D = G_0 \left\{ V_{DS} - \frac{2}{3\sqrt{V_p}} \left[(U_t - V_{GS} + V_{DS})^{\frac{3}{2}} - (U_t - V_{GS})^{\frac{3}{2}} \right] \right\}$$

• **Zone ohmique des caractéristiques I_D (V_{DS}).**

Pour $V_{DS} < (U_t - V_{GS})$, l'expression précédente du courant I_D en fonction de la tension V_{DS} devient

$$I_D = G_0 \left[1 - \sqrt{\frac{2\varepsilon}{q N_D d^2} (U_t - V_{GS})} \right] V_{DS}$$

ou encore

$$I_D = G_0 \left[1 - \sqrt{\frac{U_r - V_{GS}}{V_p}} \right] V_{DS}.$$

Cette expression laisse apparaître la relation linéaire $I_D = G'_0 V_{DS}$ correspondant à des droites passant par l'origine. Le transistor JFET est équivalent à une résistance commandée $R'_0 (V_{GS}) = R_{DSon} (V_{GS})$.

De la relation précédente, nous vérifions que pour $U_t - V_{GS} = V_p$, le courant I_D s'annule et nous retrouvons la relation

$$V_{GS_{off}} = U_t - V_p.$$

• **Zone de saturation des caractéristiques I_D (V_{DS}).**

L'apparition du pincement du canal pour V_{GS} et V_{DS} non nulles a lieu lorsque $V_{DS} = V_{DS_{sat}}$, soit

$$V_{DS_{sat}} = (V_p - U_t) + V_{GS} \qquad (V_{GS} < 0).$$

Lorsque $V_{GS} = 0$, $V_{DS_{sat}} = V_p - U_t$.

Remarquons que dans le cas où le potentiel de diffusion U_t est négligeable, nous avons

$$V_p = - V_{GS_{off}}$$

et

$$V_{DS_{sat}} = V_p + V_{GS} = V_p - |V_{GS}|.$$

A cette tension de saturation $V_{DS_{sat}}$ correspond un courant

$$I_{D_{sat}} = + \frac{l \mu_n q^2 N_d^2 d^3}{6 \varepsilon L} \left[1 - 3 \left(1 - \frac{V_{DS_{sat}}}{V_p} \right) + 2 \left(1 - \frac{V_{DS_{sat}}}{V_p} \right)^{\frac{3}{2}} \right].$$

Ces relations traduisent la courbe en pointillé de la figure 4.13 (lieu des coudes) et permettent de déterminer la transconductance $g = \dfrac{d I_D}{d V_{GS}}$ pour $V_{DS} \geq V_{DS_{sat}}$ (en négligeant l'effet Early)

$$g_{fs} = \frac{d I_{D_{sat}}}{d V_{GS}} = G_0 \left[1 - \frac{\sqrt{U_t - V_{GS}}}{V_p} \right] \quad \text{en siemens S}$$

Remarques

— g_{fs} représente la transconductance directe en source commune.

— La qualité d'un transistor à effet de champ à jonction est associée à sa transconductance g_{fs} donc à G_0, ou encore à la mobilité des porteurs dont la vitesse atteint sa limite à la saturation.

— Il ne faut pas confondre la conductance statique du canal $G_0 = \dfrac{1}{R_{DS_{on}}} = \dfrac{I_D}{V_{DS}}$ utilisée dans la zone résistive des caractéristiques de sortie, la conductance dynamique de sortie $g_{os} = \dfrac{d\,I_{D_{sat}}}{d\,V_{DS}}$ et la transconductance dynamique $g_{fs} = \dfrac{d\,I_{D_{sat}}}{d\,V_{GS}}$ utilisée dans la zone de saturation.

— Dans notre cas d'étude, nous avons $G_0' = g_{fs}$ car nous avons supposé que la caractéristique I_D (V_{DS} et V_{GS}) était linéaire jusqu'à la saturation.

— Nous n'avons pas tenu compte des résistances parasites r existant entre le canal et les connexions de drain et de source. En réalité, la résistance $R_{DS_{on}}$ devient $R_{DS_{on}} + r$ et la transconductance maximale s'écrit $g'_{fs0} = \dfrac{g_{fs}}{1 + r\,g_{fs}}$.

4.1.2.4. Relations simplifiées associées au transistor JFET

Expérimentalement, on déduit la valeur approchée des paramètres pour un transistor dont le substrat est relié à la source (deux zones obstruant le canal).

— **Le courant de saturation $I_{DSS} = I_{D_{sat}}$ pour $V_{GS} = 0$** est approximé par la relation

$$I_{DSS} \simeq \frac{|V_{GS_{off}}|}{3\,R_{DS_{on}}}$$

avec $$V_{GS_{off}} = -V_p + U_t.$$

— **Pour $V_{DS} \geq V_{DS_{sat}}$**, le courant de saturation $I_{D_{sat}}$ est fonction de la valeur de V_{GS} (figure 4.14). La lourdeur des expressions précédentes nous autorise à utiliser l'approximation parabolique, très souvent suffisante

$$I_{D_{sat}} \simeq I_{DSS}\left(1 - \frac{V_{GS}}{V_{GS_{off}}}\right)^2 \quad \begin{cases} V_{GS} \leq 0 \\ V_{GS_{off}} < 0 \end{cases}$$

La figure 4.16 représente le graphe de cette fonction mathématique facile à tracer, en utilisant les trois points

$I_D = I_{DSS}$ pour $V_{GS} = 0$

$I_D = \dfrac{I_{DSS}}{4}$ pour $V_{GS} = \dfrac{V_{GS_{off}}}{2}$

$I_D = 0$ pour $V_{GS} = V_{GS_{off}}$

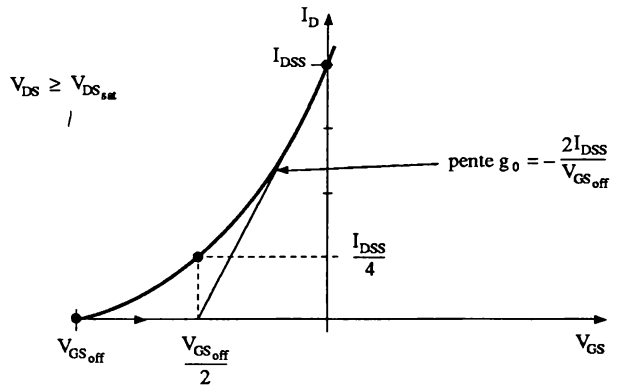


Figure 4.16

La dérivée de cette fonction représente la pente, donc la transconductance, du transistor JFET

$$g = g_{fs} = \frac{d I_{D_{sat}}}{d V_{GS}} = \frac{d}{d V_{GS}} \left[I_{DSS} \left(1 - \frac{2 V_{GS}}{V_{GS_{off}}} + \frac{V_{GS}^2}{V_{GS_{off}}^2} \right) \right]$$

soit $$g = g_{fs} = -\frac{2 I_{DSS}}{V_{GS_{off}}} \left(1 - \frac{V_{GS}}{V_{GS_{off}}} \right) \qquad \text{en siemens S} \quad S = A/V$$

Pour $V_{GS} = 0$, nous avons la pente maximale g_0 (en excluant la possibilité d'une faible tension V_{GS} positive)

$$g_0 = g_{fs0} = -\frac{I_{DSS}}{V_{GS_{off}}/2}.$$

Nous en déduisons une nouvelle expression de la pente

$$g = g_{fs} = g_{fs0} \left(1 - \frac{V_{GS}}{V_{GS_{off}}} \right) = g_0 \left(1 - \frac{V_{GS}}{V_{GS_{off}}} \right).$$

Remarquons que cette relation fournit aux limites

$g = g_{fs} = g_{fs0} = g_0$ pour $I_D = I_{DSS}$ et $V_{GS} = 0$

$g = g_{fs} = 0$ pour $I_D = 0$ et $V_{GS} = V_{GS_{off}}$

4.1.3. TRANSISTORS A GRILLE ISOLÉE MOSFET

Les transistors à grille isolée MOSFET fonctionnent suivant un principe tout à fait différent de celui du transistor JFET. Ils utilisent le phénomène des charges stockées sur les « armatures » d'un condensateur plan. Il est donc nécessaire, dans un premier temps, d'étudier le comportement du condensateur MOS.

4.1.3.1. Condensateur métal-oxyde-semiconducteur*

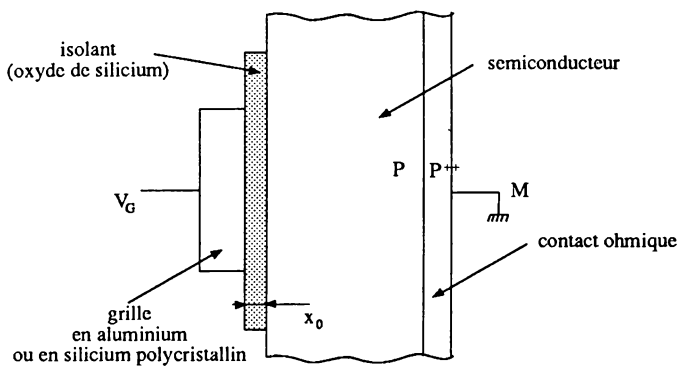
L'étude du condensateur MOS (Métal-Oxyde-Semiconducteur) ou plus généralement MIS (Métal-Isolant-Semiconducteur) est analogue à celle des condensateurs plans. La différence essentielle est que, dans la structure MOS (où l'oxyde de silicium est un très bon isolant), les charges stockées du côté du semiconducteur occupent un volume alors que celles stockées du côté du métal, occupent la surface de contact.

Nous considérons le condensateur MOS de la figure 4.17 avec, comme conditions :

— une épaisseur d'isolant x_0 de 10 à 100 nm telle qu'une faible tension $V_{GM} = V_G$ fournisse un fort champ électrique, permettant le déplacement des charges dans le matériau semiconducteur (courbure des bandes de valence et de conduction),

— un matériau semiconducteur dopé P (en général 10^{15} à 10^{16} cm^{-3}),

— un contact ohmique P^{++} (supérieur à 10^{19} cm^{-3}).



Structure MIS ou MOS (isolant = oxyde)

Figure 4.17

A. Sans polarisation, le diagramme d'énergie est celui de la figure 4.18 (pour comprendre ce diagramme, il faut revenir au chapitre 2.4.2 traitant la barrière Schottky, et plus particulièrement, à la figure 2.115). Par rapport au niveau du vide, le métal présente un travail de sortie W_m et le semiconducteur, un travail de sortie W_s égal ou différent du précédent.

---

* Pour plus de détails, il faut consulter les ouvrages traitant la physique des semiconducteurs, cités en bibliographie.

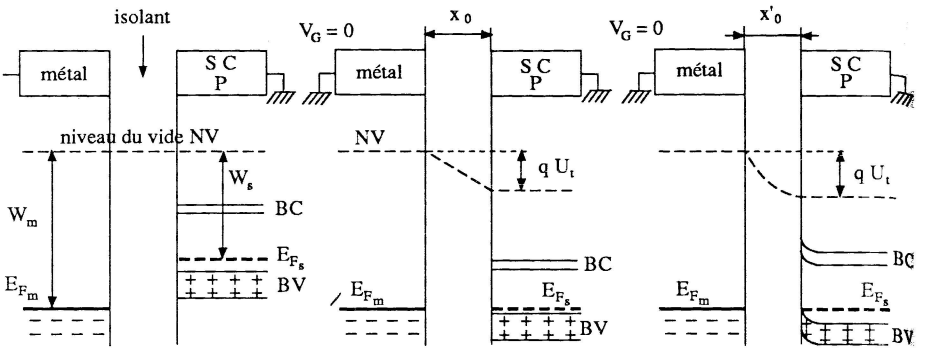


Figure 4.18

— Lorsque ces deux matériaux ne sont pas reliés, ils sont énergiquement indépendants.

— Dans le cas où on les relie ($V_G = 0$), nous sommes en présence d'un seul système thermodynamique. Alors, les niveaux de Fermi s'alignent :

- Si l'épaisseur x_0 de l'isolant est suffisamment importante, **les bandes de conduction *BC* et de valence *BV* du semiconducteur sont plates.**
- Si l'épaisseur x_0 diminue et devient x'_0, **les bandes s'incurvent.**
- Si $x_0 = 0$, nous sommes en présence du contact Schottky de la figure 2.115.

La figure 4.19 représente le diagramme d'énergie détaillé pour $V_G = 0$, dans l'hypothèse des bandes plates. La différence de potentiel de contact $q\,U_t$ qui apparaît est analogue à la tension de diffusion de la jonction *PN* avec, comme relation

$$q\,U_t = W_m - W_s.$$

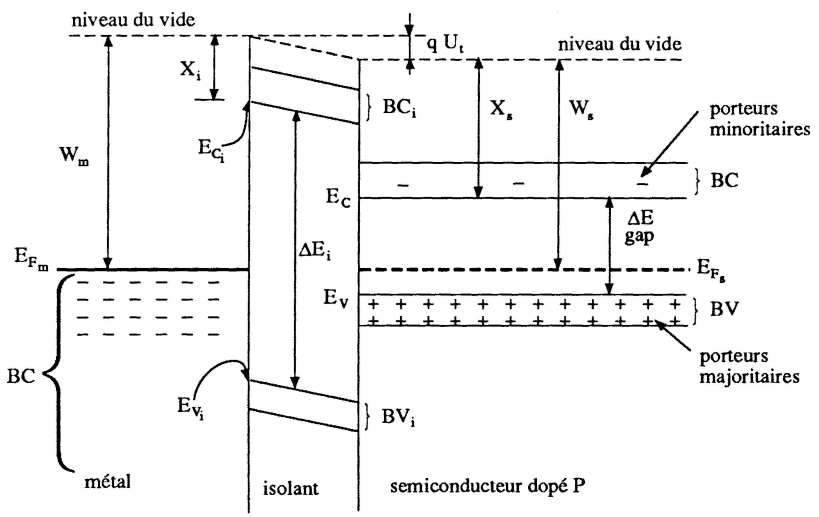


Figure 4.19

Il est évident qu'une capacité MOS est réalisée à partir de matériaux sélectionnés, de manière à obtenir une valeur $q\,U_t$ bien particulière. C'est pour cela qu'en technologie silicium, l'isolant, sauf cas particulier, est de l'oxyde de silicium et le métal, de l'aluminium et plus couramment du silicium polycristallin dont la tenue en température, lors de la fabrication, est meilleure que celle de l'aluminium. Notons que le silicium polycristallin ou polysilicium est du silicium dopé de façon aléatoire et se comporte comme un métal. A ce titre, nous donnons quelques valeurs associées à la figure 4.19 :

— travail de sortie de l'aluminium $W_m = 4{,}3$ eV,

— affinité du silicium $X_s = 4{,}01$ eV,

— gap du silicium $\Delta E = E_C - E_V = 1{,}12$ eV,

— affinité électronique de l'oxyde de silicium $x_i = 0{,}9$ eV,

— gap de l'oxyde de silicium $\Delta E_i = E_{C_i} - E_{V_i} = 8{,}1$ eV.

Le travail de sortie W_s du silicium est calculé à partir de la différence $E_C - E_{F_s}$ (voir chapitre 1 et exercices de fin de section).

B. Avec polarisation $V_G \neq 0$, il y a lieu de considérer plusieurs cas.

— **Régime d'accumulation** (figure 4.20). On polarise la grille par une tension négative V_{G1}. La présence du champ électrique tend à attirer les porteurs majoritaires libres du semiconducteur P vers l'interface oxyde-semiconducteur. Il y a alors, dans cette zone, une charge d'espace positive associée à une **accumulation de trous.**

La charge positive totale Q_s, dans l'interface oxyde-semiconducteur est équilibrée par la charge négative totale Q_m située à la surface du métal.

Le champ électrique E_i, à l'intérieur de l'isolant, est constant (absence de charges dans celui-ci), puis décroît linéairement dans le semiconducteur, à cause de la densité uniforme des charges positives.

Le potentiel ψ obtenu après intégration du champ électrique E nous fournit la tension V_G appliquée à la grille. Cette tension représente la somme de la ddp V_i aux bornes de l'isolant et de la ddp ψ_s interne au semiconducteur, appelée potentiel de surface et traduisant la courbure des bandes.

Ces grandeurs sont associées quantitativement par les relations

$$Q_m = -Q_s$$

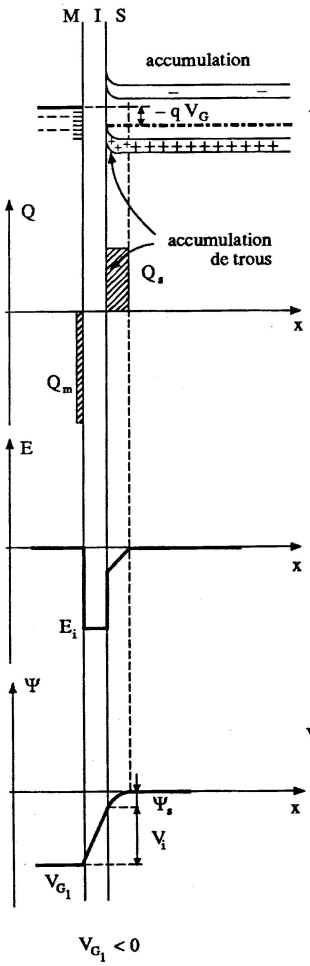
$$V_{G1} = V_i + \psi_s$$

avec

$$V_i = \frac{Q_m}{C_i} = -\frac{Q_s}{C_i}$$

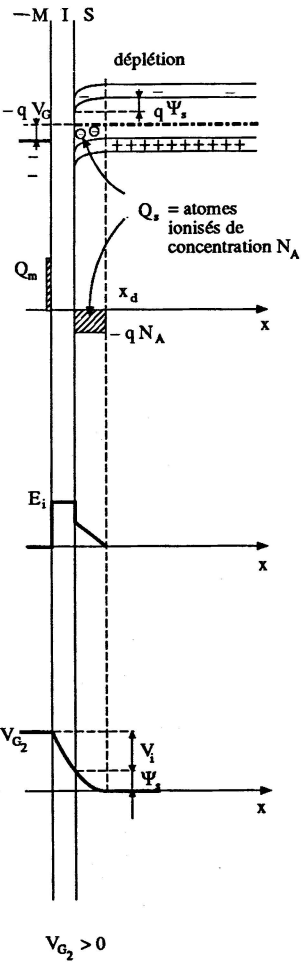
où $C_i = \dfrac{\varepsilon_i\,\varepsilon_0}{x_0}$ représente la capacité par unité de surface de l'isolant.

— **Régime de déplétion ou de désertion** (figure 4.21). La faible polarisation positive V_{G2} chasse quelques trous de l'interface oxyde-semiconducteur créant une



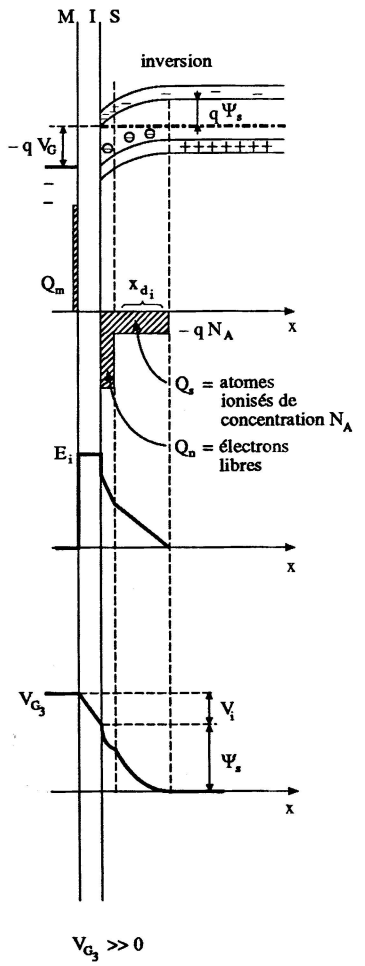
$V_{G_1} < 0$

Figure 4.20



$V_{G_2} > 0$

Figure 4.21



$V_{G_3} >> 0$

Figure 4.22

charge **d'espace négative** dans ce dernier, correspondant aux atomes d'impuretés ionisés. Les relations précédentes deviennent :

$$Q_m = -Q_s = q N_A x_d$$

$$V_{G2} = V_i + \psi_s$$

avec $$V_i = \frac{Q_m}{C_i} = \frac{q N_A x_d}{C_i}$$

et $$\psi_s = \frac{q N_A x_d^2}{2 \varepsilon_r \varepsilon_0} \qquad (\varepsilon = \varepsilon_r \varepsilon_0 \simeq 10^{10} \text{ pour Si}).$$

— **Régime d'inversion** (figure 4.22). Lorsque la polarisation V_{G3} devient très positive, on atteint une répulsion de trous et une attraction des électrons minoritaires du matériau semiconducteur dopé P. La concentration en électrons libres devient supérieure à la concentration en trous. Dans ces conditions, la courbure des bandes est telle que le niveau de Fermi E_{F_s} est plus proche de E_C en surface que de E_V en volume. La couche d'inversion de charge Q_n constituée **d'électrons libres** est séparée du semiconducteur P par une région déserte constituée d'atomes ionisés N_A de charge $-q N_A x_{d_i}$. On en déduit la relation

$$Q_m = -Q_s = -Q_n + q N_A x_{d_i}.$$

Le seuil d'inversion correspond à l'égalité

$$n_s = N_A \qquad \begin{cases} n_s, \text{ nombre d'électrons minoritaires} \\ N_A, \text{ concentration de dopage} \end{cases}$$

(Nous avons vu, dans le chapitre 1, la manière de déterminer n_s.)

A ce seuil d'inversion correspond un potentiel

$$\psi_i = \frac{2kT}{q} \ln \frac{N_A}{n_i}$$

et une épaisseur de la zone déserte

$$x_{d_i} = \sqrt{\frac{4\varepsilon}{q N_A} \cdot \frac{kT}{q} \ln \frac{N_A}{n_i}}.$$

C. Remarques

— La densité de charges à l'interface oxyde-semiconducteur dépend de la valeur du potentiel de surface ψ_s et varie avec lui de manière non linéaire (figure 4.23). La variation de Q_s est lente en régime de déplétion ($0 < \psi_s < 2\,\phi_F$), puis varie exponentiellement en régime d'inversion à partir de $\psi_i \simeq 2\,\phi_F$ (correspondant à $n_s = N_A$). Notons que ϕ_F, appelé improprement potentiel de volume, est obtenu à partir de la relation

$$q\,\phi_F = E_{F_i} - E_{F_p} = kT \ln \frac{N_A}{n_i}.$$

(E_{F_i} et E_{F_p} représentent respectivement le niveau de Fermi du semiconducteur intrinsèque et le niveau de Fermi du semiconducteur dopé P – voir figure 1.68.)

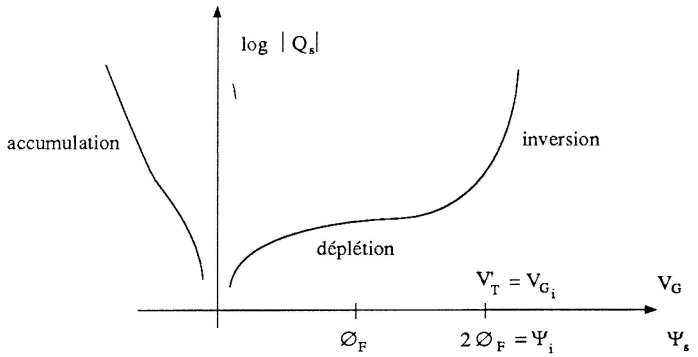


Figure 4.23

— La capacité de la structure MOS (donnée en F/m^2) correspond à la mise en série du condensateur plan C_{ox} dont l'isolant est l'oxyde de silicium et du condensateur variable C_s associé à la courbure des bandes du semiconducteur (présence de charges dans celui-ci).

On détermine la capacité dynamique pour des petits signaux dV_G en utilisant la variation de charge dQ_s. On obtient ainsi

$$C = \frac{dQ_s}{dV_G} = \frac{dQ_s}{dV_i + d\psi_s} = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_s}}$$

- **En régime d'accumulation**, la variation rapide de Q_s en fonction de ψ_s signifie que C_s est de valeur très élevée devant C_{ox}. On en déduit

$$C \simeq C_{ox} = \frac{\varepsilon_{ox}}{x_0} \qquad \text{en F/m}^2.$$

- **En régime de déplétion**, la charge Q_s varie lentement, entraînant une faible valeur de C_s dont l'expression est

$$C_s = \frac{dQ_s}{d\psi_s} = \sqrt{\frac{\varepsilon\, q\, N_A}{2\,\psi_s}} = \frac{\varepsilon}{x_d} \qquad \text{en F/m}^2.$$

Dans ce cas, les deux capacités C_{ox} et C_s sont en série, et cette dernière diminue en fonction de V_G (donc diminution de C).

- **En régime d'inversion,** la variation de Q_s peut correspondre :
  (a) soit à la variation du nombre d'électrons libres en surface, à condition que la régénération thermique puisse s'effectuer. Ainsi, en basses fréquences, la fortevaleur de $C_s = \frac{dQ_s}{d\psi_s}$ nous ramène au cas du régime d'accumulation,

(b) soit au déplacement des porteurs majoritaires dans le volume du semiconducteur (variation du nombre d'atomes ionisés N_A) où nous obtenons $C_s = \frac{\varepsilon}{x_d}$. C'est le cas de la haute fréquence où la capacité totale suit celle du régime de déplétion.

La figure 4.24 illustre la variation des charges pour les quatre cas rencontrés alors que la figure 4.25 représente l'évolution de la valeur de C en fonction de la tension V_G. La tension de transition V_T, correspondant à la transition déplétion-inversion, est associée au potentiel de surface $\psi_i = 2\emptyset_F$ par la relation

$$V_T = V_{G_i} = 2\emptyset_F + K\sqrt{2\emptyset_F}$$

avec

$$K = \frac{1}{C_{ox}}\sqrt{2\,\varepsilon\,q\,N_A}$$

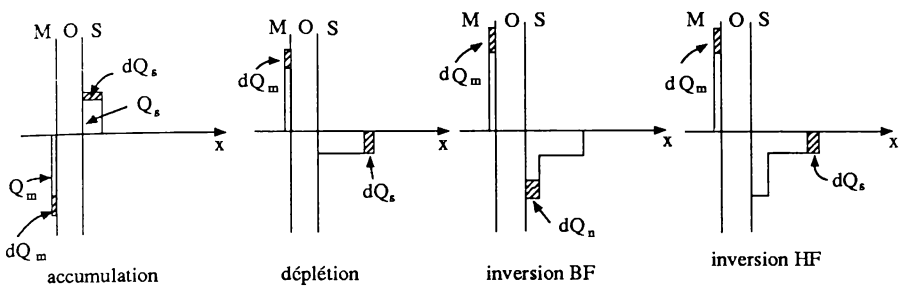


Figure 4.24

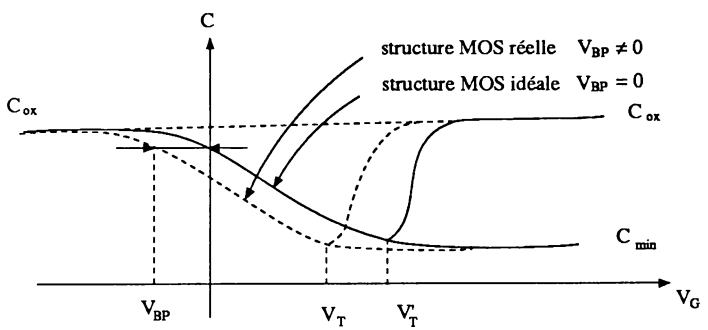


Figure 4.25

Cette tension V'_T est aussi appelée tension de seuil. A titre d'exemple, $2\emptyset_F \simeq 0{,}6$ V pour du silicium dopé P avec $N_A = 10^{15}$ cm^{-3}, à 300°K. C'est la tension de seuil d'une jonction PN.

— Le condensateur MOS que nous venons de présenter est idéalisé (hypothèse des bandes plates). Cette situation n'est pas vraie en pratique à cause de la présence de charges à l'interface isolant-semiconducteur dont l'origine est technologique (présence de charges fixes dans l'isolant N_{ox} par m^2 issues de l'oxydation du silicium) et physique (différence des travaux de sortie entre le métal W_m et le semiconducteur W_s). La courbe C (V_G) réelle se trouve translatée par rapport à la courbe théorique d'une valeur V_{BP} (figure 4.25). Cette tension V_{BP} est celle qu'il faut appliquer à la grille pour revenir à la situation des bandes plates. La tension de seuil s'écrit alors

$$V_T = V_{BP} + 2\varnothing_F + K\sqrt{2\varnothing_F} = V_{BP} + V'_T$$

avec $$V_{BP} = U_t - \frac{Q_{ox}}{C_{ox}} \qquad \begin{cases} q\,U_t = W_m - W_s \\ Q_{ox} = q\,N_{ox} \end{cases}$$

Cette nouvelle relation de la tension de seuil V_T nous indique que, par le choix des matériaux et des dopages (donc des travaux de sortie W_m et W_s), nous pouvons obtenir, pour V_G = 0, un régime d'inversion, de déplétion ou d'accumulation. C'est la base de départ de la fabrication des transistors MOS à enrichissement ou à appauvrissement.

— Comme pour la jonction Schottky, l'influence de la qualité des états de surface est très importante et peut modifier profondément les caractéristiques du condensateur MOS.

4.1.3.2. Étude qualitative du transistor NMOS à enrichissement (enhancement)

Comme pour le transistor bipolaire où le *PNP* est symétrique du *NPN*, nous retrouvons la symétrie dans les transistors à effet de champ. C'est donc l'étude du transistor NMOS que nous présentons à l'aide de la figure 4.26.

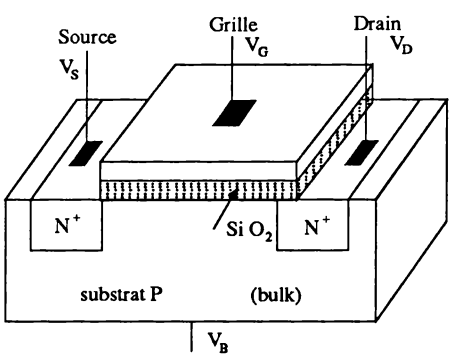


Figure 4.26

A partir d'un substrat P (bulk) faiblement dopé, nous implantons deux îlots N^+ très rapprochés l'un de l'autre (de 1 à 10 µm), correspondant à la source et au drain. L'oxydation du silicium nous fournit l'isolant sur lequel on dépose la partie conductrice de la grille qui est en métal ou à base de silicium polycristallin (par exemple dopé N^+).

Ce transistor NMOS utilise les caractéristiques du condensateur MOS, avec, en plus, l'influence de la polarisation des zones N^+ de la source ou du drain.

La conduction s'effectuant par déplacement des électrons de la source vers le drain (ou, par raison de symétrie du drain vers la source), il est nécessaire de travailler avec $V_{DS} > 0$ (ou $V_{SD} > 0$). Mais, comme le substrat (bulk) doit être polarisé tel que celui-ci n'intervienne pas dans le processus de conduction, il est, en général, relié au potentiel le plus négatif qui est la source, **ce qui annule la symétrie. Dans ce cas, la jonction N^+P drain-substrat est équivalente à une diode inverse connectée entre drain et source et sa tension d'avalanche correspond à la tension BV_{DS}** (voir caractéristiques).

Remarque. Dans le cas des composants discrets, le substrat peut être libre (quatrième électrode) pour des applications en commutation. En ce qui concerne les circuits intégrés MOS, le substrat des NMOS est relié à la borne négative V_{SS} de l'alimentation et le substrat des PMOS est relié à la borne positive V_{DD} de l'alimentation (sauf cas particuliers).

L'étude qualitative du transistor NMOS avec $V_{SB} = 0$ s'effectue en positionnant, sur différentes figures, les zones neutres associées aux jonctions P^+N ou PN.

A. Tension V_{GS} nulle ou très légèrement positive (inférieure à la tension de seuil V_T). La conduction entre drain et source ne peut avoir lieu, à cause de la présence des deux diodes équivalentes tête-bêche série, drain-substrat (N^+P) et substrat-source (PN^+).

— $V_{DS} \simeq 0$ (figure 4.27). Les trois zones (drain, substrat et source) sont sensiblement au même potentiel. Alors la zone neutre ou barrière de potentiel entre chaque jonction est de même épaisseur.

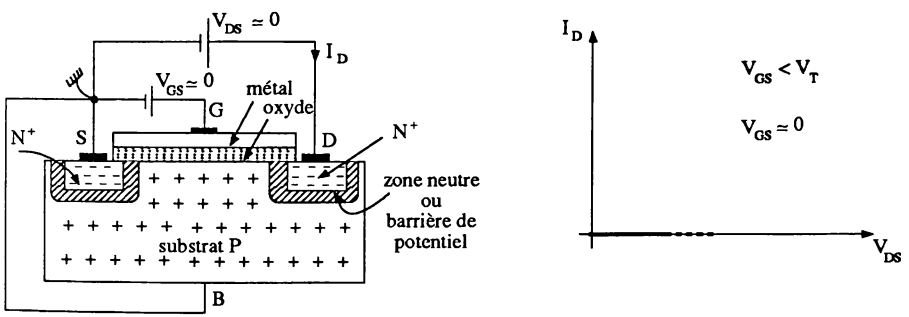


Figure 4.27

— $V_{DS} >> 0$ (figure 4.28). La zone neutre entre drain et substrat augmente (jonction N^+P polarisée en inverse) alors que la zone neutre entre substrat et source reste constante (jonction PN^+ non polarisée à cause de la liaison substrat-source).

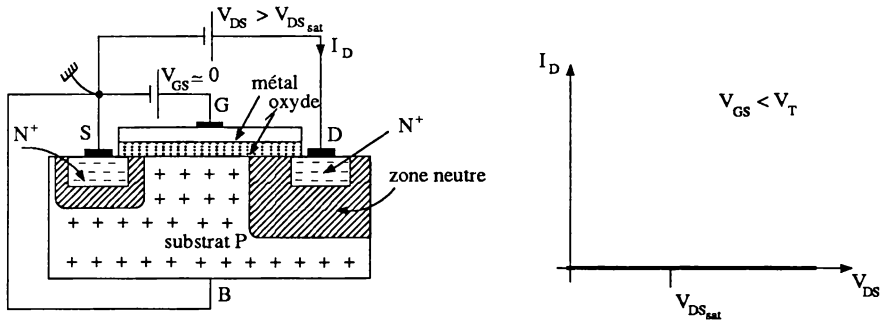


Figure 4.28

B. Tension V_{GS} supérieure à V_T et de valeur constante V_{GSi}. Le condensateur MOS est en situation d'inversion et il est influencé par la tension V_{DS} lorsque celle-ci est différente de zéro.

— $V_{DS} \simeq 0$ (figure 4.29). Le canal entre drain et source présente des électrons issus du substrat (génération thermique – phénomène lent) et surtout des électrons en provenance des îlots N^+ du drain et de la source (ce qui différencie le simple condensateur MOS et **permet un établissement quasi instantané de la couche d'inversion**). La tension V_{DS} voisine de zéro, mais positive, permet aux électrons de circuler **en surface** (mobilité inférieure à la mobilité de volume), de la source vers le drain au travers du canal. La caractéristique I_D (V_{DS}) est celle d'une résistance. Nous sommes dans la zone linéaire.

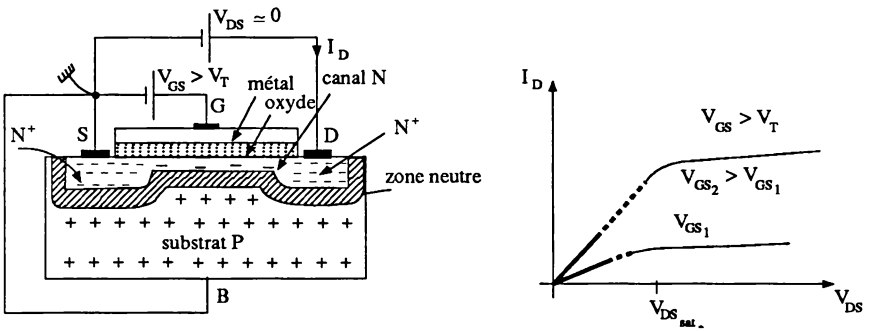


Figure 4.29

— $V_{DS} \simeq V_{DSsat}$ (figure 4.30). L'augmentation de la tension drain-source augmente la largeur de la zone neutre de la jonction N^+P entre drain et substrat. Elle repousse les électrons du canal diminuant ainsi son épaisseur jusqu'au pincement. Nous sommes en présence du même phénomène que pour le transistor JFET où le courant I_D atteint sa valeur limite I_{Dsat}.

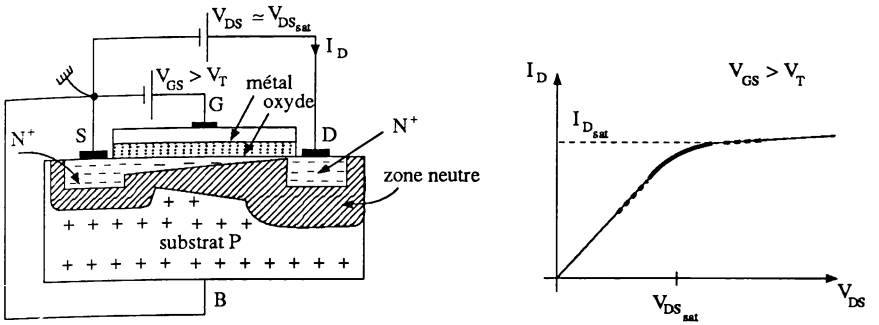


Figure 4.30

— $V_{DS} > V_{DSsat}$ (figure 4.31). Le canal est pincé mais les électrons passent du canal vers le drain à travers la zone neutre grâce au champ électrique (même phénomène que pour le transistor bipolaire où les électrons circulent de la base vers le collecteur à travers la zone neutre de la jonction collecteur-base polarisée en inverse). La diminution de la longueur du canal en fonction du pincement, donc de V_{DS}, augmente sa conductance, ce qui laisse apparaître l'effet Early. La caractéristique I_D (V_{DS}) est celle d'un générateur de courant (plus exactement, un récepteur à courant commandé). Nous sommes dans la zone saturée.

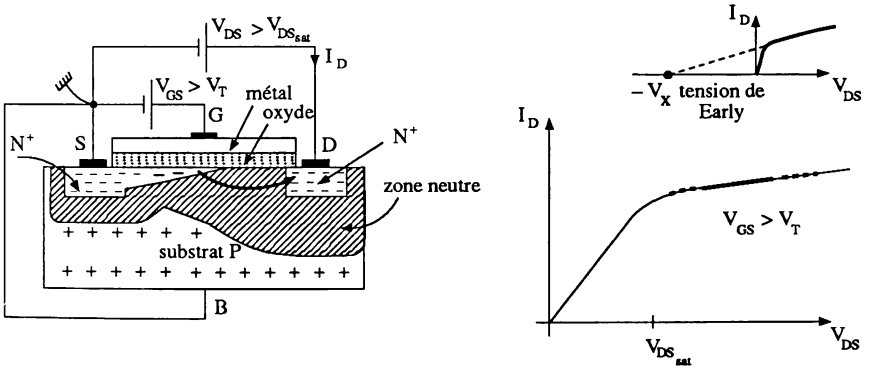


Figure 4.31

Le raisonnement que nous venons de tenir pour une valeur constante $V_{GS} = V_{GSi}$ supérieure à V_T peut être reconduite pour d'autres valeurs de V_{GS}. Si nous revenons à la figure 4.29, nous pouvons constater que la variation de la tension V_{GS} module la quantité d'électrons présents dans le canal d'inversion (une augmentation de V_{GS} augmente le nombre d'électrons) ainsi que la largeur de celui-ci. Ceci se traduit par les caractéristiques I_D (V_{DS}) de la figure 4.32 pour différentes valeurs de V_{GS}. La courbe en pointillé représente le lieu des tensions de saturation $V_{DSsat} = V_{GS} - V_T$ (V_T pour le MOSFET joue un rôle identique à V_p pour le JFET).

Pour une tension $V_{DS} = V_{DS0} > V_{DSsat}$, on déduit la caractéristique de transfert I_D (V_{GS}) de la figure 4.33.

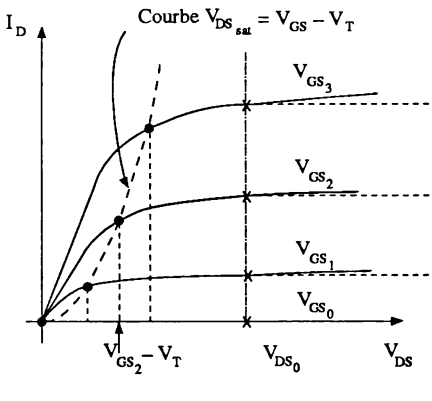


Figure 4.32

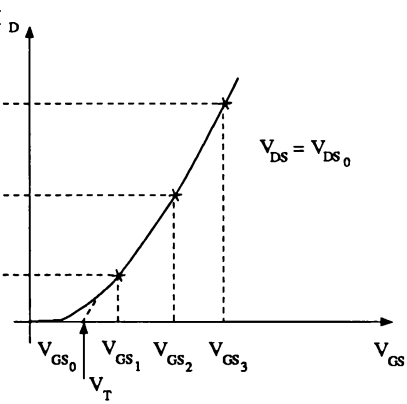


Figure 4.33

4.1.3.3. Étude qualitative du transistor NMOS à appauvrissement (déplétion)

Nous avons vu que, sans polarisation, la capacité MOS pouvait être en régime d'accumulation, de bandes plates, de déplétion ou d'inversion en fonction de la valeur des travaux de sortie du métal W_m et du semiconducteur W_s. L'expression de la tension de seuil

$$V_T = \frac{W_m - W_s}{q} - \frac{Q_{ox}}{C_{ox}} + V'_T$$

en est une preuve puisque le choix des matériaux et des dopages (donc de W_m et W_s) permet d'obtenir des valeurs de V_T positives ou négatives. La figure 4.34 représente deux graphes I_D (V_{GS}) pour $V_{DS} > V_{DSsat}$. **La tension de seuil V_{Te} positive est celle du transistor à enrichissement** présenté précédemment (pour $V_{GS} = 0$, le transistor ne conduit pas, alors il faut enrichir son canal). **La tension de seuil V_{Td} négative est celle du transistor à appauvrissement.** En effet, pour

$V_{GS} = 0$, le transistor conduit, alors il faut appliquer une tension V_{GS} négative pour le bloquer (appauvrir ou dépléter le canal). Ce transistor peut aussi être « plus enrichi » en appliquant une tension de commande positive.

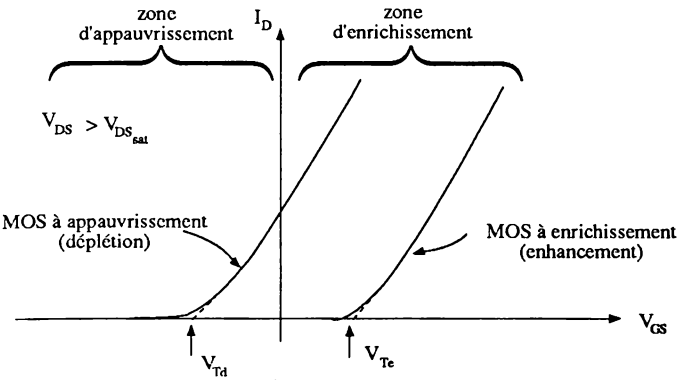


Figure 4.34

En pratique, le transistor NMOS à déplétion (appauvrissement) s'obtient en implantant des atomes donneurs (phosphore, arsenic) dans la zone du canal, à la surface du substrat *P*, sur une profondeur de quelques centaines de nanomètres (figure 4.35). Ce transistor est identique à celui de la figure 4.26, avec une opération de dopage supplémentaire.

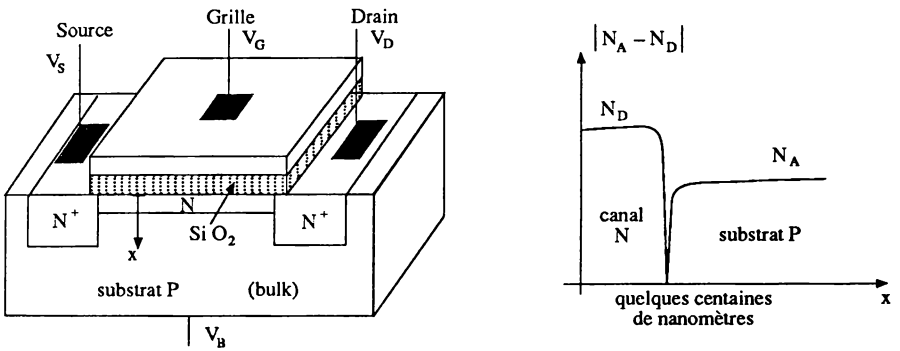


Figure 4.35

Sans commande, le canal pourvu d'électrons permet la conduction entre drain et source. Ces électrons se déplaçant « en volume », sans interaction avec la surface, font que le transistor NMOS à déplétion est plus rapide que le NMOS à enrichissement. L'application d'une tension de grille, négative, repousse les électrons du canal (régime de déplétion donc conduction moindre, puis régime d'inversion donc blocage du transistor). L'application d'une tension de

grille, positive, repousse les trous du substrat et attire les électrons de zones N^+ de source et de drain (régime d'accumulation donc de conduction plus importante).

Les caractéristiques I_D (V_{DS}) pour différentes valeurs de V_{GS} (le substrat étant relié à la source, $V_{SB} = 0$) sont représentées sur la figure 4.36. Elles sont de forme identique à celle de la figure 4.32. On en déduit un graphe I_D (V_{GS}) pour $V_{DS} > V_{DS_{sat}}$ (figure 4.37). Dans la zone de déplétion, le NMOS à appauvrissement des caractéristiques semblables à celles du JFET. On trouvera donc des relations simplifiées de même forme.

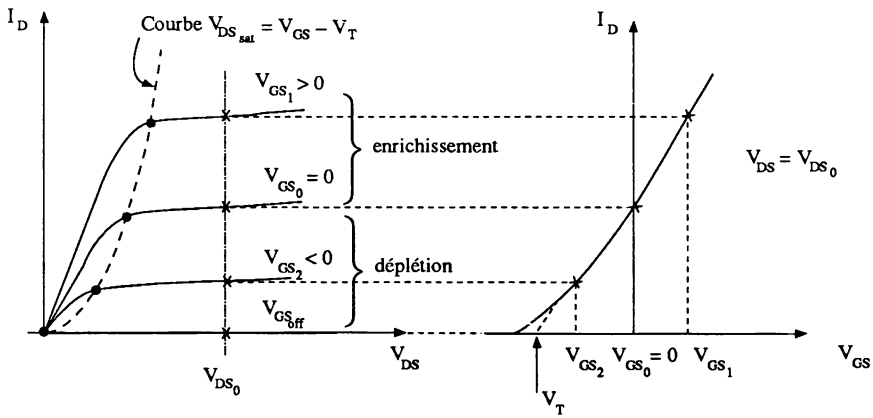


Figure 4.36

Figure 4.37

Remarques

— L'analyse qualitative du NMOS à déplétion s'effectue comme pour le NMOS à enrichissement, c'est-à-dire en positionnant les zones neutres des jonctions PN^+ et PN. Ainsi :

- **Pour $V_{GS} \simeq 0$ et $V_{DS} \simeq 0$**, une barrière de potentiel s'établit régulièrement entre le dopage N et le substrat P identiquement à ce qui se passe sur la figure 4.29. Lorsque V_{DS} augmente, la zone neutre entre drain et substrat augmente (comme sur la figure 4.30) jusqu'au pincement du canal. C'est le régime de saturation.
- **Pour $V_{GS} > 0$**, certains électrons des zones N^+ de source et de drain sont attirés et s'ajoutent aux électrons naturels du canal (charges majoritaires). Le courant I_D est donc plus important que dans le cas précédent.
- **Pour $V_{GS} < 0$**, les électrons du canal sont chassés et la diminution de leur densité réduit la conductance.

— Dans tous les cas, les caractéristiques I_D (V_{DS}) ont été présentées pour une tension $V_{SB} = 0$ (substrat relié à la source). Si le substrat (bulk) est relié à un potentiel plus négatif que celui de la source ($V_{SB} > 0$), l'épaisseur de la zone neutre se trouve augmentée, ce qui a pour effet de diminuer la conductance. La

figure 4.38 positionne les graphes I_D (V_{DS}) pour V_{GS} constante (par exemple V_{GS_1}) et I_D (V_{GS}) pour $V_{DS} > V_{DS_{sat}}$ **lorsque $V_{SB} = 0$ puis $V_{SB} > 0$.** On voit de suite que **cette tension V_{SB} a un rôle de translateur de caractéristiques et modifie la tension de seuil V_T donc diminue le courant et augmente la résistance du canal.** La connexion du substrat peut, dans certains cas, être utilisée comme seconde électrode de commande (cas des composants discrets).

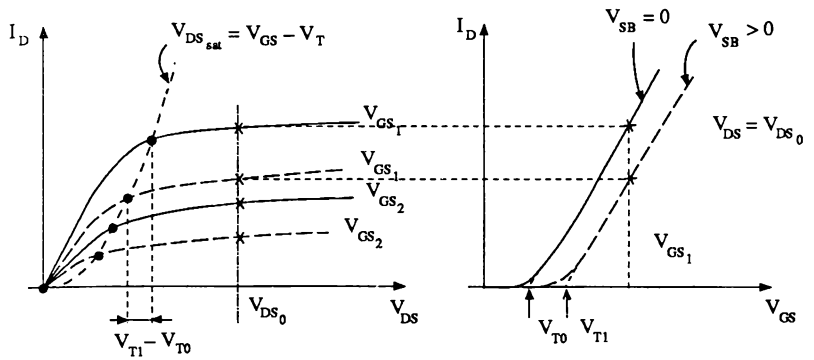


Figure 4.38

4.1.3.4. Étude quantitative des MOSFET, relations simplifiées

Nous indiquons dans ce paragraphe quelques relations théoriques correspondant aux transistors NMOS dont la longueur du canal entre drain et source est L et la largeur de la grille de commande l **(le rapport $\frac{l}{L}$ conditionne l'intensité admissible I_D).**

— **Tension de seuil V_{TO} pour $V_{SB} = 0$.** Nous avons déjà vu cette relation

$$V_{TO} = V_{BP} + 2\emptyset_F + K\sqrt{2\emptyset_F}$$

avec

$$V_{BP} = \frac{W_m - W_s}{q} - \frac{q N_{ox}}{C_{ox}}$$

et

$$K = \frac{1}{C_{ox}} \sqrt{2 \varepsilon q N_A}$$

Si l'épaisseur de l'isolant est faible, le terme $\frac{1}{C_{ox}}$ devient petit, ce qui permet de simplifier la relation précédente

$$V_{TO} \simeq V_{BP} + 2\emptyset_F \simeq V_{BP} + 0{,}6.$$

(Voir exercice 4 de fin de paragraphe.)

— **Tension de seuil V_T pour $V_{SB} \neq 0$.** La figure 4.38 nous a montré l'influence de la tension V_{SB} sur la tension de seuil (augmentation de celle-ci lorsque $V_{SB} > 0$). La nouvelle expression de V_T s'écrit alors

$$V_T = V_{TO} + K\left[\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}\right]$$

soit, à 25°C,

$$V_T \simeq V_{TO} + K\left[\sqrt{V_{SB} + 0{,}6} - 0{,}77\right]$$

— **Tension de saturation V_{DSsat}.** Cette tension dépend de V_T et est fonction de V_{GS} (comme pour le transistor JFET).

$$V_{DSsat} = V_{GS} - V_T.$$

— **Courant de drain dans la zone linéaire** ($V_{DS} < V_{DSsat}$). En utilisant l'hypothèse de la faible épaisseur de l'isolant, nous obtenons

$$I_D \simeq \frac{l}{L} \cdot \mu_n C_{ox}\left[(V_{GS} - V_T) - \frac{V_{DS}}{2}\right] V_{DS}$$

où μ_n représente la mobilité des électrons dans le canal. Cette mobilité est inférieure en surface (MOS à enrichissement) par rapport à la mobilité en volume (MOS à déplétion) et est 2,5 fois plus importante que celle des trous. **Le transistor NMOS à déplétion est le plus rapide.**

— **Courant de saturation I_{Dsat} pour V_{DSsat}.** Nous avons la relation

$$I_{Dsat} \simeq \frac{l}{L} \cdot \frac{\mu_n C_{ox}}{2}(V_{GS} - V_T)^2$$

En remplaçant $V_{GS} - V_T$ par V_{DSsat}, nous obtenons l'équation de la courbe en pointillé des figures 4.32 et 4.36

$$I_D = \frac{l}{L} \cdot \frac{\mu_n C_{ox}}{2} V_{DSsat}^2$$

qui représente la limite entre la zone ohmique et la zone saturée.

— **Courant de drain dans la zone de saturation.** L'influence de la tension V_x de Early (comme pour le transistor bipolaire, tension présentée sur la figure 4.31) nous permet d'écrire

$$I_D \simeq I_{Dsat}\left(1 - \frac{V_{DS} - V_{DSsat}}{V_x}\right) \qquad \text{avec } V_x < 0.$$

L'augmentation de I_D est associée à la diminution de la longueur du canal, donc à l'augmentation de la conductance. Cet effet est aussi appelé modulation de la longueur du canal (en pratique, on a $|V_x| = \alpha L$, soit environ 30 volts pour $L = 10\ \mu m$.

Si on considère $|V_{DS}| >> V_{DSsat}$, la relation précédente se simplifie

$$I_D \simeq I_{Dsat}\left(1 - \frac{V_{DS}}{V_x}\right)$$

On trouve chez certains auteurs :

$$I_D \simeq I_{Dsat}(1 + \lambda V_{DS}) \qquad \text{avec } \lambda = -\frac{1}{V_x}$$

— **Résistance $R_{DS_{on}}$ dans la zone linéaire.** Si on considère $V_{DS} << V_{DS_{sat}}$, la relation précédente de I_D se simplifie

$$I_D \simeq \frac{l}{L} \cdot \mu_n C_{ox} (V_{GS} - V_T) V_{DS}$$

La résistance $R_{DS_{on}} = \dfrac{V_{DS}}{I_D}$ s'écrit :

$$R_{DS_{on}} = \frac{L}{l} \cdot \frac{1}{\mu_n C_{ox}} \cdot \frac{1}{V_{GS} - V_T}$$

Elle est inversement proportionnelle à la mobilité des porteurs. On peut encore l'écrire sous la forme

$$R_{DS_{on}} = \frac{V_{GS} - V_T}{2I_D} \simeq \frac{1}{\dfrac{l}{L} \cdot \mu_n C_{ox} (V_{GS} - V_T)}$$

— **Résistance r_s dans la zone saturée.** Elle est déduite de la relation différentielle

$$r_s = \frac{\Delta V_{DS}}{\Delta I_D} \simeq \frac{V_x}{I_{D_{sat}}} = \frac{1}{g_{os}}$$

Elle représente l'inverse de la conductance dans la zone saturée.

— **Pente ou transconductance dans la zone de saturation.** En négligeant l'effet Early, nous déterminons la transconductance du transistor en dérivant la relation du courant de saturation

$$g_{fs} = \left| \frac{d I_{Dsat}}{d V_{GS}} \right| = \frac{l}{L} \cdot \mu_n C_{ox} (V_{GS_0} - V_T) = 2\sqrt{\frac{l}{L} \frac{\mu_n C_{ox}}{2} \cdot I_{D0}}$$

(g_{fs} **est donnée en Siemens** ou en A/V.)

Remarques

— Les paramètres que nous venons de présenter correspondent à une tension $V_{SB} = 0$ (substrat relié à la source). C'est le cas de la plupart des éléments discrets. Toutefois, dans certains cas de technologie discrète et en intégration, cette tension V_{SB} différente de zéro module la valeur du courant. On tient alors compte de la pente $g_b = dI_D/dV_{SB}$ dont l'expression sera présentée au chapitre 6 (Circuits intégrés analogiques).

— Passer du NMOS au PMOS revient à remplacer μ_n par μ_p.

— Lorsque les dimensions de la grille sont réduites, il est nécessaire d'apporter plusieurs corrections, à cause des effets suivants :

- tension de seuil non constante le long du canal,

• pour une tension $V_{GS} < V_T$, le courant I_D n'est plus nul. En réalité, il suit une loi exponentielle

$$I_D = a \exp b V_{GS} \qquad (a \text{ et } b = \text{constantes})$$

• la mobilité μ_n des électrons (pour un NMOS) diminue lorsque le champ électrique croît. Pour des composants à dimensions extrêmement réduites, la rapidité des NMOS rejoint celle des PMOS,

• la tension de seuil V_T diminue pour une longueur de canal inférieure à 1 μm,

• la tension de seuil V_T augmente pour une largeur de canal inférieure à 2 μm,

• comme pour le JFET, il faut considérer une résistance série avec le canal du côté de la source qui a pour effet de diminuer l'influence de la tension de commande U_{GS} donc diminuer I_D (effet de contre-réaction comme pour un montage drain commun).

4.1.4. RÉSUMÉ DES CARACTÉRISTIQUES DES TRANSISTORS A EFFET DE CHAMP

La grande famille des transistors à effet de champ a ses éléments regroupés sur la figure 4.39. On y trouve les différents symboles dont le premier est le plus utilisé, les polarités en amplificateur (dans la zone de saturation), l'esquisse des caractéristiques de transfert I_D (V_{GS}) pour $V_{DS} > V_{DSsat}$ et des caractéristiques de sortie I_D (V_{DS}) pour quelques valeurs de V_{GS}.

La tension de pincement V_p *(pinch off)* et la tension de seuil V_T sont quelquefois notées V_{th} *(threshold).*

4.1.5. EXERCICES

Exercice 1. **Un transistor à effet de champ à jonction est constitué d'un canal *N* dont l'épaisseur *d* est de 2 μm et d'un substrat neutre (non polarisé). La concentration du canal en atomes donneurs est $N_D = 10^{15}$ cm^{-3}, la concentration de la grille en atomes accepteurs est $N_A = 10^{18}$ cm^{-3}. Quelle est, à température ambiante la tension de blocage V_{GSoff} de ce transistor :**

— en négligeant le potentiel de diffusion U_t ?

— avec le potentiel de diffusion U_t ?

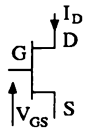
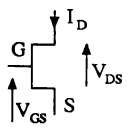
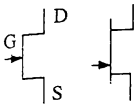
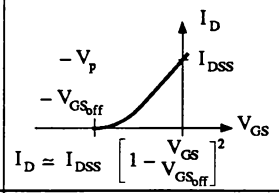
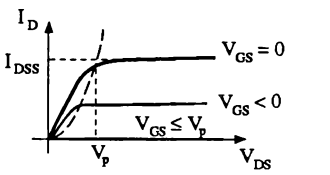
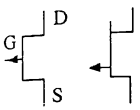
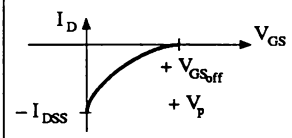
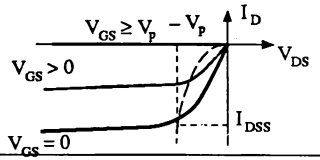
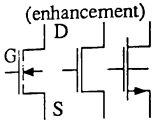
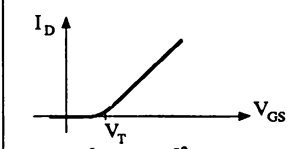
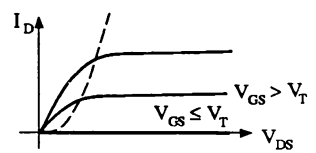
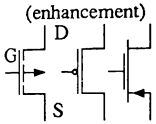
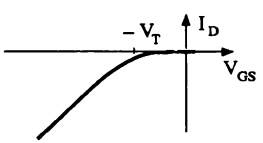
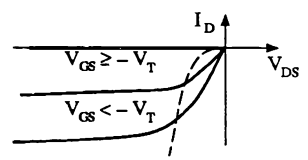
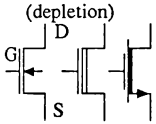
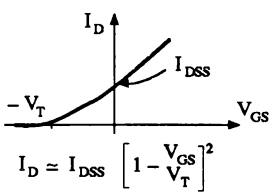
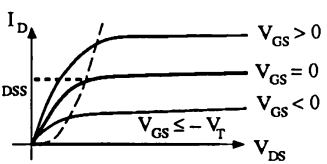
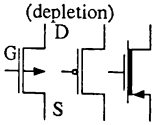
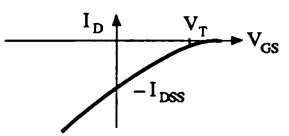
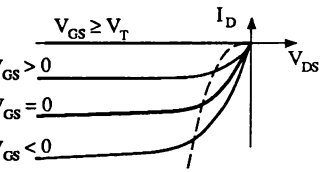
type symboles	polarités en amplificateur	caractéristiques $I_D(V_{GS})$ pour $V_{DS} > V_{DS_{sat}}$ 	caractéristiques $I_D(V_{DS})$ pour V_{GS} constant 
JFET canal N 	$V_{DS} > 0$ $I_D > 0$ $-V_p \le V_{GS} \le 0$		
JFET canal P 	$V_{DS} < 0$ $I_D < 0$ $0 \le V_{GS} \le V_p$		
NMOS enrichissement (enhancement) 	$V_{DS} > 0$ $I_D > 0$ $V_{GS} \ge V_T$		
PMOS enrichissement (enhancement) 	$V_{DS} < 0$ $I_D < 0$ $V_{GS} \le -V_T$		
NMOS enrichissement (depletion) 	$V_{DS} > 0$ $I_D > 0$ $V_{GS} \ge -V_T$		
PMOS enrichissement (depletion) 	$V_{DS} < 0$ $I_D < 0$ $V_{GS} \le V_T$		

Figure 4.39

Solution

— L'expression de la tension de blocage est

$$V_{GSoff} = \frac{-q N_D d^2}{2\varepsilon} + U_t = -V_p + U_t$$

avec $q = 1{,}6 \cdot 10^{-19}$ C

et $\varepsilon = \varepsilon_r \varepsilon_0 = 12 \cdot 8{,}85 \cdot 10^{-12} \simeq 10^{-10}$ F/m

En négligeant U_t nous obtenons

$$V_{GSoff} = \frac{-1{,}6 \cdot 10^{-19} \cdot 10^{21} \cdot 4 \cdot 10^{-12}}{2 \cdot 10^{-10}} = \mathbf{-3{,}2\ volts}$$

Le calcul a été effectué en prenant le mètre comme unité, mais nous aurions pu prendre le centimètre avec $\varepsilon \simeq 10^{-12}$ F/cm.

— En tenant compte du potentiel de diffusion U_t dont l'expression est

$$U_t = \frac{kT}{q} \ln \frac{N_D N_A}{n_i^2}$$

avec $k = 1{,}38\ 10^{-23}$ J · K^{-1}

$n_i = 1{,}5 \cdot 10^{16}$ m^{-3}, concentration intrinsèque

nous obtenons

$$U_t = 0{,}026 \ln \frac{10^{21} \cdot 10^{24}}{2{,}25 \cdot 10^{32}} = 0{,}76 \text{ V}$$

soit $V_{GSoff} = -3{,}2 + 0{,}76 = \mathbf{-2{,}44\ volts.}$

Exercice 2. **Le transistor à effet de champ de l'exercice précédent est utilisé en résistance variable (zone non saturée). Le canal, dont l'épaisseur est $d = 2$ µm présente comme autres dimensions, $l = 100$ µm et $L = 20$ µm.**

— Déterminer la valeur de la résistance R_0 seule (résistance métallurgique).

— Déterminer la valeur de la résistance équivalente du transistor, entre drain et source, ainsi que la tension de saturation pour $V_{GS1} = 0$, $V_{GS2} = -1$ V, $V_{GS3} = -2$ V.

Solution

— L'expression de la conductance métallurgique G_0 du canal nous permet de déterminer sa résistance R_0

$$R_0 = \frac{L}{q N_D \mu_n l d}.$$

La mobilité des électrons à 300°K étant $\mu_n = 1\,500$ cm^2/Vs (tableau 1.2), nous obtenons (unité le cm)

$$R_0 = \frac{20 \cdot 10^{-4}}{1{,}6 \cdot 10^{-19} \cdot 10^{15} \cdot 1{,}5 \cdot 10^3 \cdot 100 \cdot 10^{-4} \cdot 2 \cdot 10^{-4}}$$

$\mathbf{R_0 = 4\,160\ \Omega}$ (soit $G_0 = 0{,}00024$ S).

— La résistance équivalente au transistor, dans la zone linéaire, est extraite de la relation

$$I_D = G_0 \left[1 - \sqrt{\frac{2\varepsilon}{q N_D d^2} (U_t - V_{GS})} \right] V_{DS} = G_0 \left[1 - \sqrt{\frac{U_t - V_{GS}}{V_p}} \right] V_{DS}$$

Les termes V_p et U_t ont été calculés dans l'exercice précédent

$$V_p = 3{,}2 \text{ V} \qquad \text{et} \qquad U_t = 0{,}76 \text{ V}.$$

Nous pouvons alors facilement déterminer la transconductance G'_0 à partir de la deuxième relation précédente

- $V_{GS1} = 0$ **volt**

$$G'_0 = G_0 \left(1 - \sqrt{\frac{0{,}76 - 0}{3{,}2}} \right) = 0{,}52\, G_0 = 0{,}00012 \text{ S}$$

et $$\boldsymbol{R'_0 = 8\,012\ \Omega.}$$

Notons que cette résistance représente R_{DSon} du transistor JFET. Elle est de valeur plus importante que R_0 à cause de l'influence de la barrière de potentiel de la jonction grille canal.

La tension de saturation V_{DSsat} est obtenue par la relation

$$V_{DSsat} = (V_p - U_t) + V_{GS}.$$

soit

$$\boldsymbol{V_{DSsat1} = (3{,}2 - 0{,}76) + 0 = 2{,}44 \text{ V}.}$$

- $V_{GS2} = -1$ **volt**

$$G'_0 = G_0 \left(1 - \sqrt{\frac{0{,}76 + 1}{3{,}2}} \right) = 0{,}26\, G_0 = 0{,}000062 \text{ S}$$

soit $$\boldsymbol{R'_0 = 16\,025\ \Omega}$$

puis $$\boldsymbol{V_{DSsat2} = (3{,}2 - 0{,}76) - 1 = 1{,}44 \text{ V}.}$$

- $V_{GS3} = -2$ **volts**

$$G'_0 = G_0 \left(1 - \sqrt{\frac{0{,}76 + 2}{3{,}2}} \right) = 0{,}14\, G_0 = 0{,}000033 \text{ S}$$

$$\boldsymbol{R'_0 = 29\,760\ \Omega}$$

et $$\boldsymbol{V_{DSsat3} = (3{,}2 - 0{,}76) - 2 = 0{,}44 \text{ V}.}$$

Remarques

— Pour $V_{GS} = V_{GSoff} = -2{,}44$ V, nous obtenons $G'_0 = 0$, $R'_0 = \infty$ et $V_{DSsat} = 0$.

— A partir des résultats précédents, on peut tracer un réseau simplifié de caractéristiques I_D (V_{DS}).

Exercice 3. **Toujours pour le transistor précédent :**

— Déterminer la valeur du courant de saturation I_{DSS} (lorsque $V_{GS} = 0$).

— Déterminer la transconductance $g_{fs} = \dfrac{\Delta I_D}{\Delta V_{GS}}$, lorsque $V_{DS} \geq V_{DSsat}$, pour $V_{GS_1} = 0$, $V_{GS_2} = -1$ volt, $V_{GS_3} = -2$ volts. On utilisera la relation théorique puis la relation simplifiée.

Solution

— Le courant de saturation I_{DSS} correspond à I_{DSsat} lorsque $V_{GS} = 0$. La relation théorique utilisée est

$$I_{DSsat} = + \frac{l\,\mu_n\,q^2\,N^2{}_D\,d^3}{6\,\varepsilon\,L} \left[1 - 3\left(1 - \frac{V_{DSsat}}{V_p}\right) + 2\left(1 - \frac{V_{DSsat}}{V_p}\right)^{\frac{3}{2}} \right]$$

soit en utilisant le cm comme unité

$$I_{DSsat} = \frac{100 \cdot 10^{-4} \cdot 1{,}5 \cdot 10^3 \cdot 1{,}6^2 \cdot 10^{-38} \cdot 10^{30} \cdot 2^3 \cdot 10^{-12}}{6 \cdot 10^{-12} \cdot 20 \cdot 10^{-4}} \cdot \left[1 - 3\left(1 - \frac{2{,}44}{3{,}2}\right) + 2\left(1 - \frac{2{,}44}{3{,}2}\right)^{\frac{3}{2}} \right]$$

soit $I_{DSsat} = I_{DSS} = \mathbf{0{,}41\ mA.}$

L'utilisation de la relation approchée

$$I_{DSS} = \frac{|V_{GS\,off}|}{3\,R_{DSon}}$$

conduit à la valeur $I_{DSS} = \mathbf{0{,}19\ mA.}$ Cette valeur moitié de la précédente est liée au fait que l'on a considéré, au paragraphe 4.1.2.4, un transistor JFET dont le substrat est relié à la grille (deux jonctions obstruant le canal) alors que dans l'exercice, le substrat est neutre (jonction canal-substrat sans influence) et que la relation théorique utilisée tient compte de cette neutralité.

— La transconductance théorique fait appel à la relation

$$g_{fs} = \frac{d\,I_D}{d\,V_{GS}} = \frac{\Delta\,I_D}{\Delta\,V_{GS}} = G_0 \left[1 - \sqrt{\frac{U_t - V_{GS}}{V_p}} \right]$$

Elle nous fournit un résultat déjà obtenu en remarquant que $G'_0 = g_{fs}$. Ainsi :

- pour $V_{GS_1} = 0$, $g_{fs1} = 1{,}2 \cdot 10^{-4}$ S
- pour $V_{GS_2} = -1$ V, $g_{fs2} = 0{,}62 \cdot 10^{-4}$ S
- pour $V_{GS_3} = -2$ V, $g_{fs3} = 0{,}33 \cdot 10^{-4}$ S.

La transconductance simplifiée utilise la relation

$$g_{fs} = -\frac{2\,I_{DSS}}{V_{GS\,off}} \left[1 - \frac{V_{GS}}{V_{GS\,off}} \right]$$

et nous fournit :

- pour $V_{GS_1} = 0$, $g_{fs1} = 1{,}5 \cdot 10^{-4}$ S
- pour $V_{GS_2} = -1$ V, $g_{fs2} = 0{,}9 \cdot 10^{-4}$ S
- pour $V_{GS_3} = -2$ V, $g_{fs3} = 0{,}27 \cdot 10^{-4}$ S.

La valeur relative proche du calcul simplifié (2 jonctions actives) par rapport au calcul théorique (1 jonction active) est liée au fait que l'expression précédente utilise le terme $\frac{I_{DSS}}{V_{GS\,off}}$ dont chaque élément évolue dans le même sens.

Exercice 4. **Un transistor à effet de champ NMOS est constitué d'un canal dopé *P* de densité $N_A = 10^{15}$ cm^{-3}, d'un isolant d'oxyde de silicium d'épaisseur 50 nm et d'une grille d'aluminium. Déterminer à température ambiante la valeur de la tension de seuil V_T :**

— lorsque le substrat est relié à la source, $V_{SB} = 0$ ($V_T = V_{TO}$),

— lorsque le substrat est à un potentiel négatif par rapport à la source, $V_{SB} = +5$ V ($V_T \neq V_{TO}$).

En déduire une relation simplifiée entre V_{TO} et V_T. Le travail de sortie de l'aluminium est $W_m = 4{,}3$ eV et la capacité de grille $C_{ox} = \frac{\varepsilon_{ox}}{x_0} = 3{,}5 \cdot 10^{-8}$ F/cm^2 pour une épaisseur $x_0 = 100$ nm. Le nombre de charges stockées à l'interface Si – SiO_2 est voisin de 10^{11} cm^{-2} (en pratique, entre 10^{10} et $5 \cdot 10^{11}$).

Solution

L'expression de la tension de seuil V_T pour $V_{SB} = 0$ est

$$V_T = V_{TO} = V_{BP} + 2\,\varnothing_F + K\sqrt{2\,\varnothing_F}$$

avec

$$V_{BP} = \frac{W_m - W_s}{q} - q\frac{N_{ox}}{C_{ox}}$$

$$K = \frac{1}{C_{ox}}\sqrt{2\,\varepsilon\, q\, N_A}$$

$$\varnothing_F = \frac{kT}{q}\ln\frac{N_A}{n_i}$$

Nous savons que le potentiel d'inversion ψ_i est égal à $2\,\varnothing_F$ soit

$$\psi_i = 2\,\varnothing_F = 2\,\frac{kT}{q}\ln\frac{N_A}{n_i}$$

$$2\,\varnothing_F = 2 \cdot \frac{1{,}38 \cdot 10^{-23} \cdot 3 \cdot 10^2}{1{,}6 \cdot 10^{-19}} \cdot \ln\frac{10^{15}}{1{,}5 \cdot 10^{10}} = 0{,}58\ \text{V}$$

Nous déterminons la valeur du coefficient K

$$K = \frac{1}{7 \cdot 10^{-4}}\sqrt{2 \cdot 10^{-10} \cdot 1{,}6 \cdot 10^{-19} \cdot 10^{21}} = 0{,}25$$

avec

$$C_{ox} = 3{,}5 \cdot 10^{-4} \cdot \frac{100\ \text{nm}}{50\ \text{nm}} = 7 \cdot 10^{-4}\ \text{F/m}^2$$

puis

$$K\sqrt{2\,\varnothing_F} = 0{,}19.$$

La tension de bandes plates fait intervenir le travail de sortie du semiconducteur W_s. Nous savons que pour le silicium, l'affinité électronique est $X_s = 4{,}01$ eV,

que le gap ΔE vaut 1,12 eV et que la différence des niveaux de Fermi intrinsèque et dopé P s'écrit

$$E_{Fi} - E_{Fp} = kT \ln \frac{N_A}{n_i} = q\,\varnothing_F.$$

On en déduit

$$W_{si} = X_s + \frac{\Delta E}{2} = 4{,}01 + \frac{1{,}12}{2} = 4{,}57 \text{ eV}$$

$$E_{Fi} - E_{Fp} = 1{,}38 \cdot 10^{-23} \cdot 3 \cdot 10^{2} \ln \frac{10^{15}}{1{,}5 \cdot 10^{10}} = 0{,}46 \text{ eV}$$

et

$$W_s = 4{,}57 + 0{,}46 = 5{,}03 \text{ eV}.$$

Ainsi

$$\frac{W_m - W_s}{q} = \frac{(4{,}3 - 5{,}03)}{1{,}6 \cdot 10^{-19}} \cdot 10^{-19} = -0{,}45 \text{ V}.$$

Il reste à calculer le terme $\frac{q N_{ox}}{C_{ox}}$ soit

$$\frac{q N_{ox}}{C_{ox}} = \frac{1{,}6 \cdot 10^{-19} \cdot 10^{11}}{3{,}5 \cdot 10^{-8}} = 0{,}46 \text{ V}.$$

La tension de seuil s'écrit alors

$$V_{TO} = -0{,}45 - 0{,}46 + 0{,}58 + 0{,}19 = \mathbf{-0{,}14\ V}.$$

L'influence de la polarisation négative du substrat modifie la tension de seuil

$$V_T = V_{TO} + K \left[\sqrt{2\,\varnothing_F + V_{SB}} - \sqrt{2\,\varnothing_F}\right]$$

soit

$$V_T = -0{,}14 + 0{,}25 \left[\sqrt{0{,}58 + 5} - \sqrt{0{,}58}\right]$$

$$V_T = 0{,}14 + 0{,}4 = +\,\mathbf{0{,}26\ V}.$$

La relation simplifiée entre V_{TO} et V_T en fonction du potentiel V_{SB} peut s'écrire

$$V_T \simeq V_{TO} + 0{,}25\ \sqrt{V_{SB}}$$

tant que V_{SB} est grand devant 0,6 volt.

Exercice 5. **Le transistor MOS précédent présente une grille en silicium polycristallin N^+, dopé à la limite de la dégénérescence, $N_D = 10^{19}$ cm^{-3}.**

— Que deviennent les tensions V_{TO} et V_T pour respectivement $V_{SB} = 0$ et $V_{SB} = 5$ V ?

— Pour $V_{SB} = 0$, on veut modifier le dopage du canal (surface du substrat sous la grille) de manière à obtenir un transistor à enrichissement de tension de seuil $V_{TO} = +\,0{,}5$ V. Quelles doivent être la nature et la densité des impuretés à implanter sous la grille ?

— Pour $V_{SB} = 0$, on veut obtenir un transistor à déplétion de tension de seuil $V_T = -\,2$ V. Quelle doit être la nature de la nouvelle implantation sous la grille ?

Solution

Dans la relation

$$V_{TO} = \frac{W_m - W_s}{q} - q\frac{N_{ox}}{C_{ox}} + 2\,\varnothing_F + K\sqrt{2\,\varnothing_F}$$

il n'y a que la valeur de W_m qui change par rapport à l'exercice précédent. La grille étant en silicium dopé N^+, la différence des niveaux de Fermi intrinsèque et dopé est

$$E_{Fn} - E_{Fi} = kT \ln \frac{N_D}{n_i} = 0{,}83 \text{ eV}$$

donc

$$W_m = W_{sN+} = W_{si} - 0{,}83$$
$$= 4{,}57 - 0{,}83 = 3{,}74 \text{ eV}$$

Alors

$$\frac{W_m - W_s}{q} = \frac{(3{,}74 - 5{,}03)\ 10^{-19}}{1{,}6 \cdot 10^{-19}} = -0{,}8 \text{ V}$$

La tension de seuil V_{TO} devient

$$V_{TO} = -0{,}8 - 0{,}46 + 0{,}58 + 0{,}19 = \mathbf{-0{,}35\ V}$$

et pour $V_{SB} = 5$ V, nous obtenons

$$V_T = V_{TO} + 0{,}4 = 0{,}05 \text{ V}.$$

Afin de déterminer le nouveau dopage du canal, il faut remarquer que l'expression de V_{TO} peut s'écrire :

$$V_{TO} = \frac{W_m - W_s}{q} - q\frac{N_{ox}}{C_{ox}} + 2\,\varnothing_F + \frac{q}{C_{oc}}Q_C$$

avec $Q_C = \sqrt{\dfrac{2\,\varepsilon N_A\, 2\,\varnothing_F}{q}}$ représentant la densité, par unité de surface, en atomes accepteurs présents à la surface du canal lorsque le MOS devient conducteur.

Pour que le transistor soit un NMOS à enrichissement de tension $V_{TO} = +0{,}5$ V, il faut implanter des impuretés de type P qui, une fois ionisées sous l'action de la tension V_G, vont créer une charge négative s'ajoutant à la charge $-q\,Q_C$. Ainsi, pour que V_{TO} passe de $-0{,}35$ V à $+0{,}5$ V, il faut implanter une dose Q_i d'impuretés telles que

$$\frac{q\,Q_i}{C_{ox}} = 0{,}5 - (-0{,}35)$$

soit

$$Q_i = \frac{0{,}85 \cdot 7 \cdot 10^{-4}}{1{,}6 \cdot 10^{-19}} = \mathbf{3{,}72 \cdot 10^{+15}\ atomes\ par\ m^2}$$

ou encore $\mathbf{Q_i = 3{,}72 \cdot 10^{11}\ atomes\ par\ cm^2}$.

Obtenir un NMOS à déplétion, de tension $V_{TO} = -2$ V, revient à implanter sous la grille, des impuretés de type N telles que

$$\frac{q\,Q_i}{C_{ox}} = 2 - 0{,}35$$

soit
$$Q_i = \frac{1{,}65 \cdot 7 \cdot 10^{-4}}{1{,}6 \cdot 10^{-19}} = \mathbf{7{,}2 \cdot 10^{15}\ \text{atomes par m}^2}$$

Exercice 6. **Le transistor NMOS précédent travaille avec le substrat relié à la source ($V_{SB} = 0$ et $V_T = V_{TO} = +0{,}5$ V). La dimension du canal étant $L = 2$ µm et $\ell = 100$ µm :**

— déterminer les valeurs de V_{DSsat}, I_{DSsat} et R_{DSon} pour une tension de commande $V_{GS} = 5$ V,

— que vaut la transconductance g_{fs} dans la zone saturée ?

On prendra $\mu_n = 1\,000$ cm²/Vs

Solution

La tension de sautration V_{DSsat} est obtenue à partir de la relation

$$V_{DSsat} = V_{GS} - V_T = 5 - 0{,}5 = \mathbf{4{,}5\ V}$$

Le courant de saturation utilise la relation

$$I_{Dsat} = \frac{l\,\mu_n\,C_{ox}}{2L}(V_{GS} - V_T)^2$$

soit
$$I_{D_{sat}} = \frac{10^{-2} \cdot 10^3 \cdot 3{,}5 \cdot 10^{-8}}{2 \cdot 2 \cdot 10^{-4}} \cdot 4{,}5^2 \qquad \text{en cm}$$

$$I_{Dsat} = 1{,}8 \cdot 10^{-2} = \mathbf{18\ mA}$$

Les deux paramètres précédents permettent d'obtenir la valeur de R_{DSon}

$$R_{DSon} = \frac{V_{GS} - V_T}{2\,I_{Dsat}} = \frac{4{,}5}{2 \cdot 1{,}8 \cdot 10^{-2}} = 1{,}25 \cdot 10^2 = \mathbf{120\ \Omega}$$

Dans la zone saturée, nous avons

$$g_{fs} = \frac{l\,\mu_n\,C_{ox}}{L}(V_{GS} - V_T)$$

$$= \frac{10^{-2} \cdot 10^3 \cdot 3{,}5 \cdot 10^{-8}}{2 \cdot 10^{-4}} \cdot 4{,}5 = 7{,}9 \cdot 10^{-3}\ \text{S}$$

$$g_{fs} = \mathbf{7{,}9\ mA/V = 0{,}0079\ S}$$

4.2. ASPECT TECHNOLOGIQUE DES TRANSISTORS A EFFET DE CHAMP

4.2.1. FABRICATION DES FET

La fabrication des composants actifs discrets connaît une évolution permanente. Cette évolution est encore plus marquée dans le domaine de la puissance et de l'intégration. Nous nous contentons, dans ce paragraphe, de présenter succinctement des principes simples de fabrication des transistors à effet de champ discrets, canal *N*, de faible puissance (procédé Planar). Pour plus de détails, on se référera aux ouvrages cités en bibliographie.

4.2.1.1. Transistor à jonction JFET canal *N*

— **Structure annulaire** (figure 4.40). A partir d'un substrat de silicium dopé *P*, on dépose par épitaxie une couche de silicium dopé *N* qui sera le canal. Après revêtement d'oxyde de silicium (non représenté), puis ouverture des fenêtres, nous diffusons les zones P^+ de grille puis N^+ de source et de drain. Les connexions sont ensuite réalisées par métallisation. Cette structure ne permet pas la symétrie (inversion du drain et de la source). Elle est compatible en intégration lorsque les JFET sont associés aux transistors bipolaires (circuits intégrés analogiques).

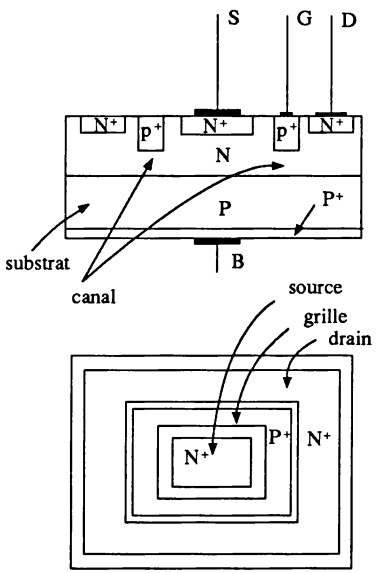


Figure 4.40

— **Structure interdigitée** (figure 4.41). La largeur du canal est augmentée en utilisant la structure en peigne ou interdigitée. En pratique, c'est le nombre de doigts et la distance entre drain et source qui différencie les transistors. Le procédé de fabrication est identique au précédent. A partir d'un substrat de type *P* et d'une couche épitaxiée de type *N*, on diffuse la grille (matériau P^+) puis la source et le drain (matériau N^+) suivis de la métallisation des connexions. Cette structure présente une très bonne symétrie.

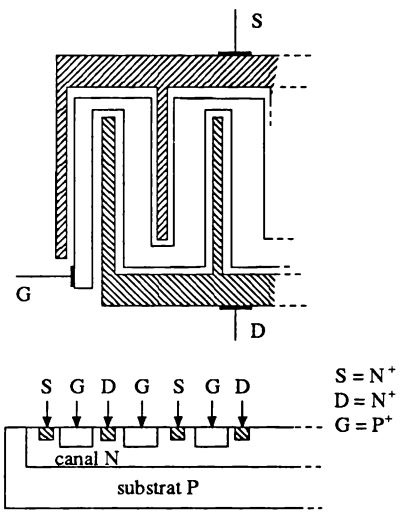


Figure 4.41

En général, le substrat est relié à la grille, mais on peut trouver des transistors JFET dont le substrat, relié au boîtier, présente une connexion extérieure indépendante (quatrième connexion). **On rencontre aussi, dans les transistors récents, l'absence de grille, le substrat jouant ce rôle** (donc une seule jonction grille-canal).

La fabrication des transistors à effet de champ canal *P* ne diffère pas des précédentes.

4.2.1.2. Transistors NMOS

Dans tous les domaines, l'utilisation des MOSFET, et plus particulièrement des NMOS, va en croissant. Pour les faibles puissances et en intégration, on utilise la structure à canal horizontal et plus récemment, à canal vertical. En forte puissance, le canal est vertical ou en forme de V. Nous présentons ici les structures latérales (faible puissance) dont la disposition des éléments est comme pour le JFET, annulaire ou interdigitée.

— **Structure NMOS simple** (figure 4.42). Cette figure représente la coupe d'un transistor NMOS à enrichissement. A partir d'un substrat de type *P*, on diffuse les zones N^+ de source et de drain. Après dépôt d'oxyde mince, on métallise la grille puis les autres connexions *S* et *D*. Ces transistors peuvent être utilisés symétriquement lorsque le substrat *B* représente une quatrième électrode « libre ». Notons que, sur la figure, le substrat peut être connecté sur la face supérieure du composant (cas des circuits intégrés).

La réalisation d'un NMOS à déplétion impose des impuretés *N* ou N^- à la surface du canal.

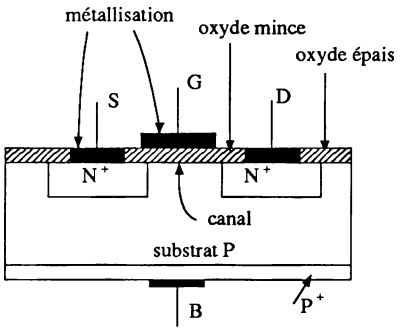


Figure 4.42

— **Structure DMOS** (figure 4.43) La structure MOS classique présente des limitations (I_{Dmax} de quelques milliampères et V_{DSmax} de quelques dizaines de volts). Lorsque l'on veut dépasser ces chiffres, sans atteindre pour cela des fortes puissances, on réalise la structure DMOS (MOS à double diffusion), dont la différence technologique par rapport à la structure précédente, consiste à implanter une zone *P* sous l'îlot N^+ de la source, et d'utiliser un substrat P^-. Il y a alors présence du canal réduit 1 de tension de seuil classique en série avec le canal 2 de très faible tension de seuil (cette structure est équivalente à deux NMOS en série, commandés simultanément). Rappelons que la tension de seuil est fonction

- de la nature du métal de grille,
- du dopage du substrat,
- de l'épaisseur de la couche d'oxyde.

(Voir exercices précédents.)

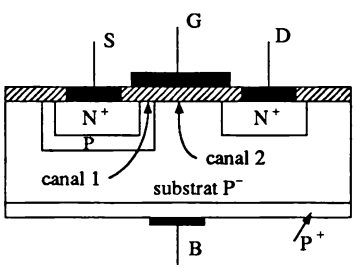


Figure 4.43

Les transistors DMOS sont très utilisés en commutation rapide, à cause de leurs faibles capacités parasites, dans les domaines discrets et intégrés.

4.2.1.3. Exemples de procédés de fabrication et de géométries réelles

Les figures ci-après représentent le principe simplifié de fabrication des transistors à effet de champ (annulaires ou interdigités).

— **Figure 4.44.** C'est la conception moderne des transistors JFET dont le substrat représente la grille (canal *N*).

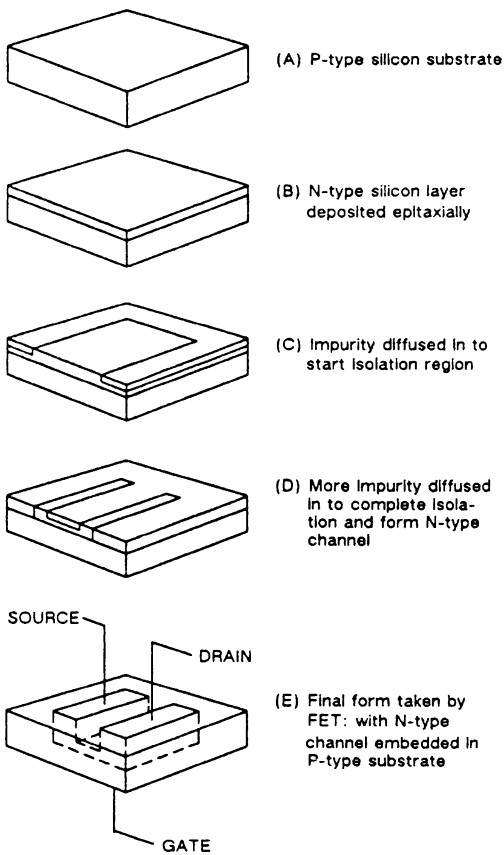


Figure 4.44
***Source* : Siliconix**

— **Figure 4.45.** Fabrication du transistor NMOS classique à grille polycristalline.

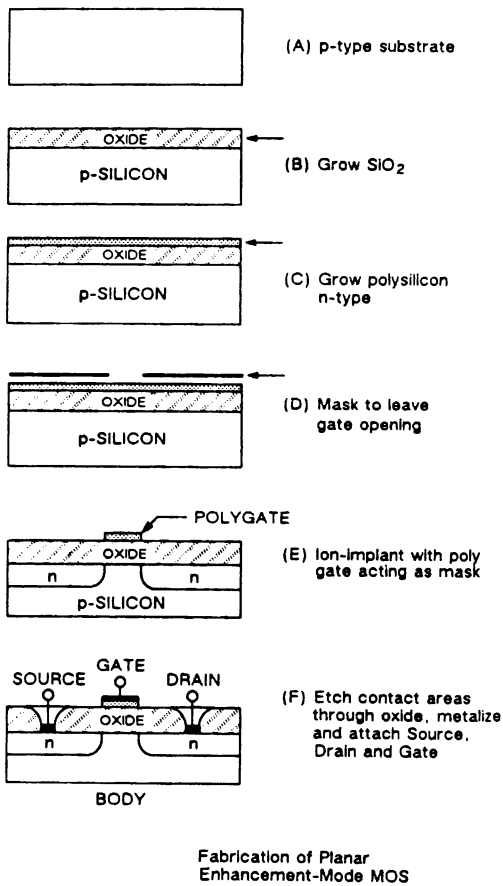


Figure 4.45

Source : **Siliconix**

— **Figure 4.46.** Fabrication du transistor DMOS dont la grille est en nitrure de silicium.

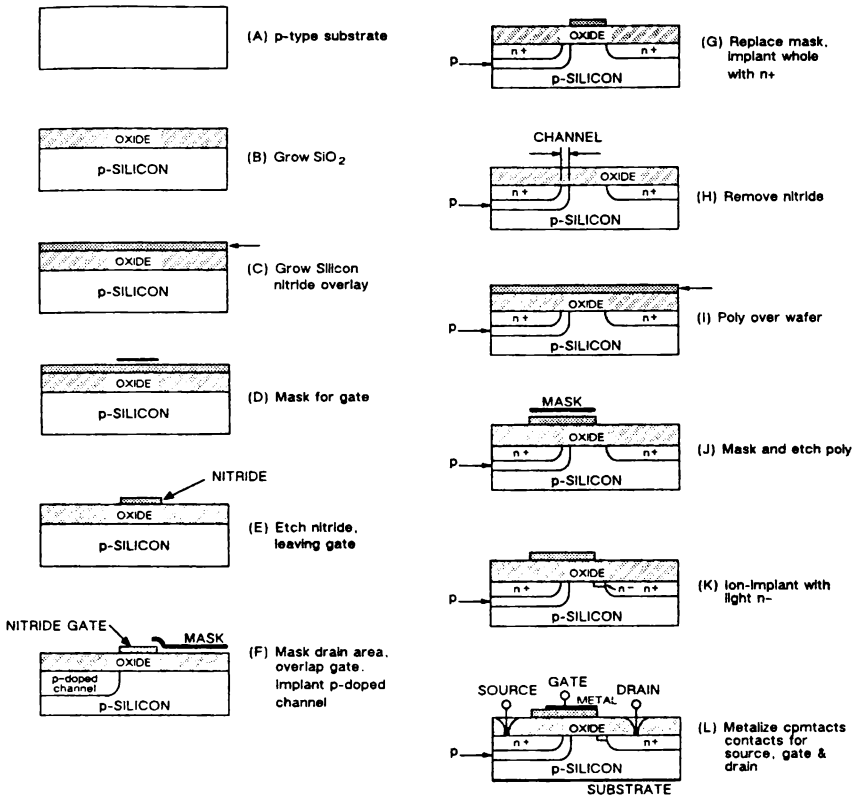


Figure 4.46
***Source*: Siliconix**

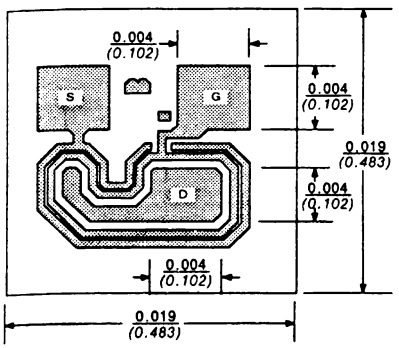
Dans son Data Book, la société Siliconix indique, pour ces transistors, la géométrie d'implantation. La figure 4.47 fournit quatre exemples dont les dimensions sont données en pouces (ou en millimètres) :

a. transistor DMOS à déplétion, utilisé en commutation rapide,

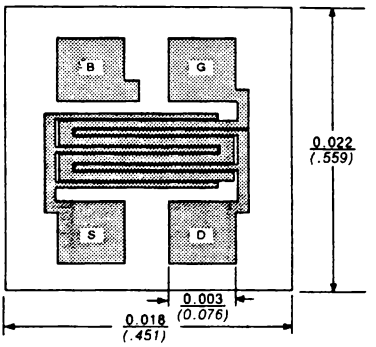
b. transistor PMOS à enrichissement, utilisé en commutateur et amplificateur,

c. transistor JFET canal *N*, utilisé en commutateur, résistance commandée,

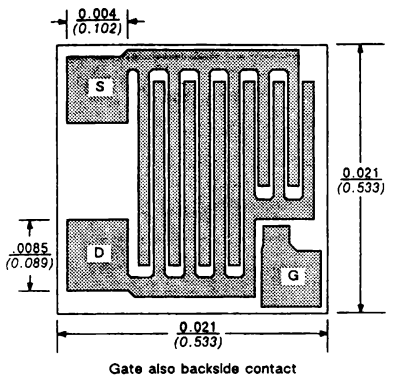
d. transistor JFET canal *N*, utilisé dans les amplificateurs VHF/UHF et les commutateurs rapides (faible capacité parasite).



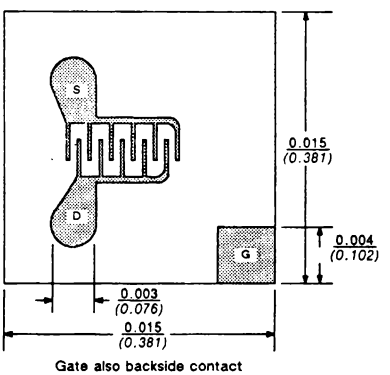
a. NMOS à déplétion (DMOS)



b. PMOS à enrichissement



c. JFET canal N



d. JFET canal N

Figure 4.47
***Source* : Siliconix**

4.2.2. CARACTÉRISTIQUES STATIQUES RÉELLES

Les caractéristiques présentées sont celles des transistors à effet de champ, canal *N*. Dans le cas du canal *P*, nous raisonnons par symétrie.

4.2.2.1. Caractéristiques statiques du JET canal *N*

A. Caractéristiques de sortie en direct I_D (V_{DS}) pour différentes valeurs de la commande V_{GS} (figure 4.48).

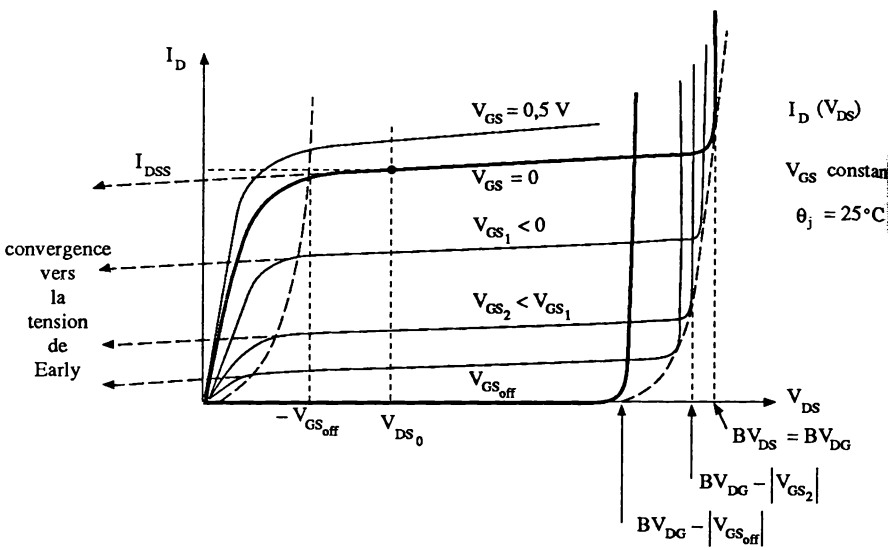


Figure 4.48

On retrouve les éléments de la figure 4.13 auxquels nous avons ajouté les limites technologiques.

La tension d'avalanche BV_{DS} est celle de la jonction canal-grille côté drain. Pour se rendre à l'évidence, il suffit de représenter le schéma équivalent électrique du transistor JFET constitué de n diodes et de $n-1$ résistances (figure 4.49). Ainsi :

— lorsque $V_{GS} = 0$, $BV_{DS} = BV_{DG}$,
— lorsque $V_{GS} = -1$, $BV_{DS} = BV_{DG} - 1$,
— lorsque $V_{GS} = V_{GSoff}$, $BV_{DS} = BV_{DG} - |V_{GSoff}|$.

Le transistor est à déplétion. Toutefois il est à enrichissement lorsqu'on travaille à $V_{GS} > 0$ et $I_G \simeq 0$ ($V_{GSmax} \simeq 0{,}5$ V).

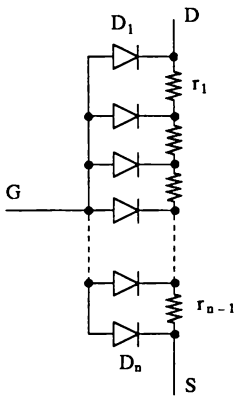


Figure 4.49

Le courant I_{DSS} est le courant de drain pour $V_{GS} = 0$ et $V_{DS} = V_{DS0} > V_{DSsat}$ (rappelons ce terme, I_{DSS} = *current drain to source with shorted gate*). La tangente aux caractéristiques I_D (V_{DS}) dans la zone saturée converge vers la tension de Early ($-V_X$).

B. Caractéristiques de sortie en inverse I_D (V_{DS}) pour différentes valeurs de V_{GS}

La figure 4.50 représente trois réseaux de caractéristiques I_D (V_{DS}) à échelles différentes, pour un transistor 2N4393 polarisé en direct et en inverse.

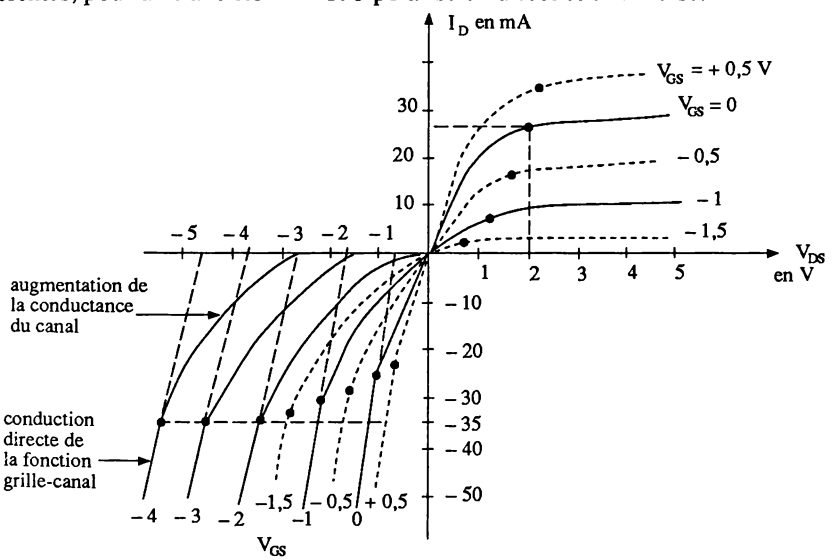


Figure 4.50 (a)

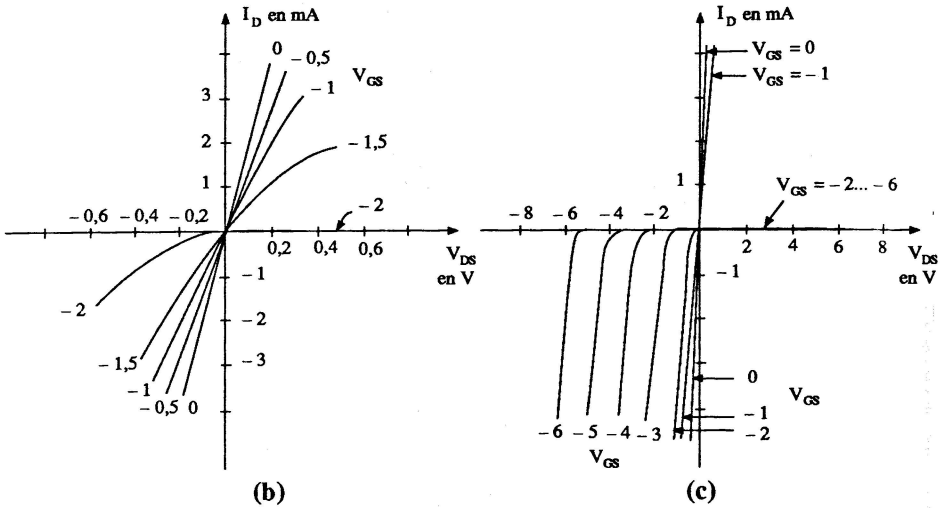


Figure 4.50 (suite)

Ce transistor est géométriquement symétrique, car la permutation du drain et de la source ne modifie pas les caractéristiques. La partie située dans le premier quadrant est celle de la figure 4.48.

— **Figure 4.50a** (troisième quadrant)

• **Pour $V_{GS} = 0$,** il y a prolongement de la caractéristique I_D (V_{DS}), puis un chargement de pente apparaît à partir de $I_D = -25$ mA.

• **Pour $V_{GS} > 0$,** on retrouve le prolongement de la caractéristique, puis le changement de pente à partir de $I_D = -22$ mA.

• **Pour $V_{GS} < 0$,** si nous nous servons de la figure 4.49, nous pouvons supposer que le canal présente une résistance constante jusqu'à ce que la diode D_1 conduise ($v_{DS} \simeq 0{,}6$ V). Ceci n'est vrai qu'au voisinage de zéro car **la polarisation directe des diodes grille-canal diminue la largeur de la barrière de potentiel, augmentant la largeur du canal, donc la conductance.** Ainsi, jusqu'à $V_{DS} = V_{GS} - 0{,}6$, le courant I_D augmente plus qu'il ne devrait. A partir de cette valeur de V_{DS}, les diodes conduisent (pour I_D atteignant – 35 mA). En effet, la prolongation de la partie linéaire des caractéristiques (en traits pointillés) coupe l'axe des abscisses à la valeur $V_{GS} - 0{,}6$.

— **Figure 4.50b.** C'est la dilatation des caractéristiques à l'origine des axes. On retrouve la linéarité pour V_{GS} compris entre 0 et – 1 volt. Au delà, les courbes s'incurvent à cause de la diminution de la conductance en direct (pincement du canal) et de l'augmentation de la conductance en inverse (augmentation de la largeur du canal). Ces caractéristiques sont utilisées dans le chapitre 4.3.3 (fonctionnement en résistance commandée).

— **Figure 4.50c.** Ce sont les caractéristiques pour $V_{GS} = 0, -1, -2, \ldots, -6$ volts utilisables pour le fonctionnement en commutateur analogique (chapitre 6). Il faut remarquer que pour une tension V_{GS} de – 6 volts (par exempleà, la conduction inverse apparaît lorsque $V_{DS} = -5$ volts au lieu de – 6,6 volts. La cause est, qu'il y a d'abord augmentation de la conductance du canal par effet de la polarisation V_{DS}, puis conduction des diodes (nous sommes à l'échelle des mA et non des dizaines de mA comme pour la figure 4.50a).

C. **Caractéristique de transfert I_D (V_{GS}).** On a l'habitude de représenter cette caractéristique lorsque le transistor travaille dans la zone saturée ($V_{DS} \geq V_{DSsat}$). La figure 4.51 en donne les éléments principaux dont certains ont été vus précédemment. La tension V_{GS} peut évoluer de + 0,5 V (diode grille-canal polarisée en direct) jusqu'à la tension d'avalanche inverse BV_{GS}. Les constructeurs fournissent :

— soit directement la caractéristique I_D (V_{GS}),

— soit le couple de valeurs I_{DSS} et V_{GSoff}, permettant de tracer cette caractéristique.

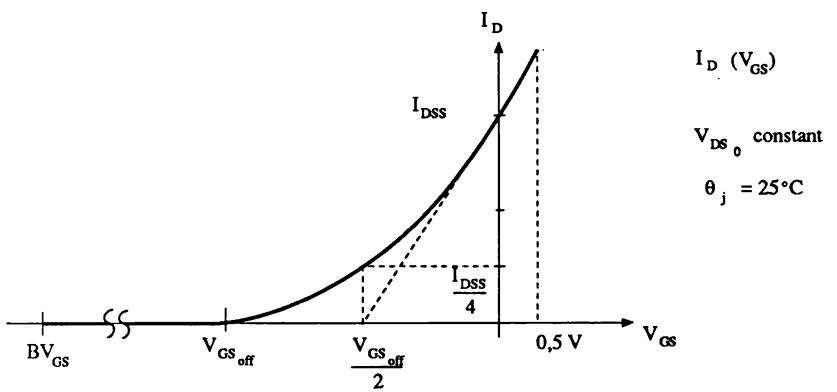


Figure 4.51

Remarque. On peut aussi représenter tout un réseau de caractéristiques I_D (V_{GS}) pour différentes valeurs de V_{GS} positives et négatives (figure 4.52). Pour $-0,2\text{ V} < V_{DS} < +0,2\text{ V}$, correspondant à la zone ohmique (résistances linéaires), ces caractéristiques sont des droites définies par la relation

$$I_D = AV_{GS} - B$$

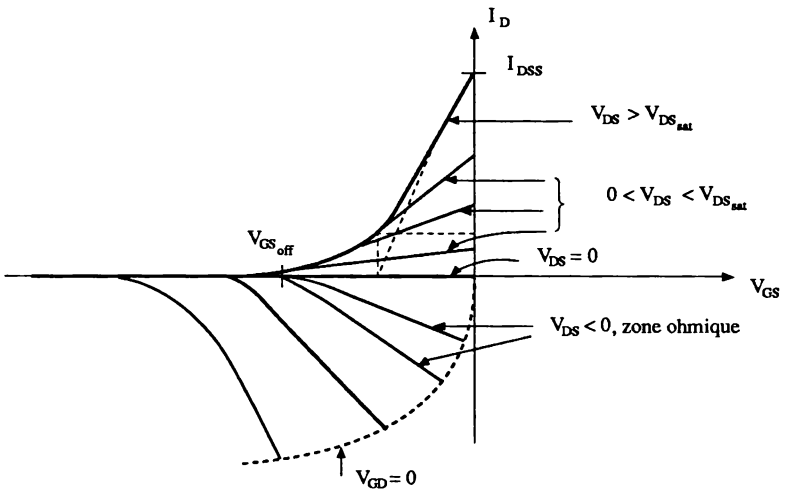


Figure 4.52

D. Caractéristique d'entrée I_G (V_{GS}). C'est la caractéristique d'une diode (figure 4.53). Les limites d'utilisation correspondent à une valeur de courant direct I_G fourni par le constructeur et à la tension d'avalanche inverse BV_{GS} définie suivant certaines conditions de mesure ainsi que nous l'indiquons par la suite. En pratique, on essaie de travailler dans la zone de caractéristique confondue avec l'axe des abscisses où le seul courant qui existe est le courant inverse de diode dont la valeur peut être négligeable à la température ambiante (voir l'influence de la température sur ce courant).

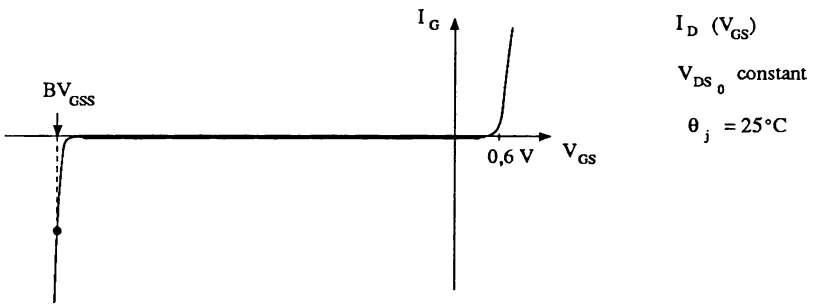


Figure 4.53

E. **Terminologie des paramètres électriques des transistors JFET en statique et méthodes de mesure.** Nous énumérons les termes utilisés par les constructeurs sur les caractéristiques fournies en donnant leur définition et la méthode de mesure. **Signalons que l'on peut visualiser le réseau de caractéristiques I_D (V_{DS}) en utilisant le traceur de courbes** présenté au paragraphe 3.2.2.7. Ce qui différencie la mesure par rapport au transistor bipolaire, c'est la commande V_{GS} en tension et non en courant.

— **Tensions et courants en fonctionnement normal.**

V_{DS},	tension continue drain-source,
V_{DSsat},	tension de saturation drain-source,
V_{GD},	tension continue grille-drain,
V_{GS},	tension continue grille-source,
V_{GSoff} ou $V_{(p)GS}$,	tension grille-source de blocage,
I_D,	courant continu de drain,
I_{DSS},	courant continu de drain pour $V_{GS} = 0$ et V_{DS} spécifié,
I_G,	courant de grille,
I_S,	courant continu de source.

Ces tensions et courants sont mesurés à 25°C avec les méthodes classiques utilisant un voltmètre et un ampèremètre. **Il est donc très important de tenir compte de la puissance dissipée dans le composant dont l'effet est l'élévation de la température du silicium** (donc mesures faussées).

— **Tensions d'avalanche.** Ces tensions correspondent aux valeurs limites absolues d'utilisation, et sont mesurées avec un voltmètre et un ampèremètre.

BV_{DSS} ou $V_{(BR)DSS}$,	tension d'avalanche drain-source avec $V_{GS} = 0$ et I_D spécifié,
BV_{DSX},	tension d'avalanche drain-source avec V_{GS} de blocage et I_D spécifié,
BV_{GDO},	tension d'avalanche entre grille et drain, source en l'air,
BV_{GSO},	tension d'avalanche entre grille et source, drain en l'air,
BV_{GSS},	tension d'avalanche entre grille et drain-source court-circuités.

— **Courants de fuite.** Ces courants sont mesurés traditionnellement dans les zones normales de fonctionnement.

I_{GDO},	courant de grille correspondant à la jonction grille-drain polarisée en inverse, source en l'air ($I_S = 0$) et V_{GD} spécifié,
I_{GSO},	courant de grille, drain en l'air ($I_D = 0$) et V_{GS} spécifié,
I_{GSS},	courant de grille lorsque drain et source sont court-circuités,
I_{DSX},	courant résiduel de drain avec V_{GSoff} et V_{DS} spécifié.

Remarques

— Les tensions d'avalanche non destructives sont, en général, mesurées pour un courant de quelques μA (composants de faible puissance). Lorsque la tension est destructive, elle est appelée tension de claquage (phénomène irréversible).

— La puissance totale indiquée est définie pour une température ambiante précisée et une température maximale de jonction inférieure, en général, à 200°C (on trouve souvent $\theta_{max} = 150°C$). Le graphe P_{max}, en fonction de θ_{amb} est identique à celui de la figure 3.22 correspondant au transistor bipolaire. On en déduit la valeur de la résistance thermique

$$R_{th\ j.a} = \frac{\theta_{max} - \theta_{min}}{P_{max}} \qquad \text{en} \quad \begin{matrix} \text{K/W} \\ \text{°C/W} \end{matrix}$$

Prenons l'exemple du transistor BFR30 présenté au paragraphe 4.2.8 (figure 4.86) avec $\theta_{jmax} = 150°C$ et $P_{max} = 250$ mW (pour $\theta_{amb} = 40°C$). La valeur de $R_{th\ j.a}$ est alors

$$R_{th\ j.a} = \frac{150 - 40}{0{,}25} = 440 \text{ K/W}.$$

— Certains constructeurs fournissent la valeur de la résistance statique du canal R_{DSon} pour $V_{GS} = 0$ et V_{DS} spécifié. En dynamique, on utilise le paramètre $r_{DS\ on}$.

— Nous présenterons la transconductance $g_{fs} = \dfrac{d I_D}{d V_{GS}}$ dans la section 4.4.

4.2.2.2. Caractéristiques statiques des NMOS

Les caractéristiques statiques des NMOS à enrichissement et à déplétion varient en fonction du potentiel du substrat.

A. Caractéristiques de sortie I_D (V_{DS}) pour $V_{BS} = 0$ et différentes valeurs de V_{GS}. Prenons l'exemple du transistor NMOS à enrichissement :

— soit la tenue en tension BV_{DS} (ionisation en surface du canal) est supérieure à BV_{DB} (avalanche de la jonction drain-substrat),

— soit l'inverse, $BV_{DS} < BV_{DB}$.

La figure 4.54 illustre le premier cas.

— **Caractéristiques directes**

• Dans la zone linéaire, le transistor est équivalent à une résistance commandée.

• A partir de la zone saturée, l'oblicité des graphes caractérise l'effet Early (augmentation de la conductance liée à la diminution de la longueur du canal).

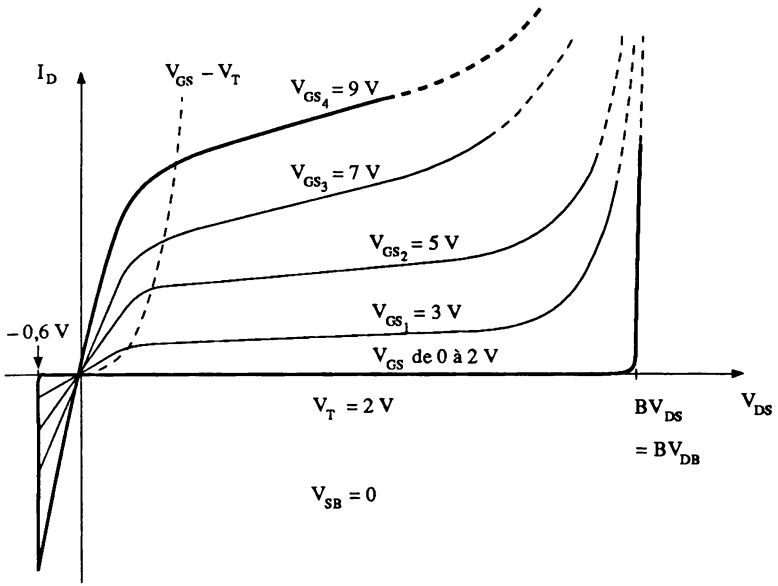


Figure 4.54

• Puis apparaît la zone d'avalanche avec $BV_{DS} = BV_{DB}$ pour $V_{GS} = 0$. Lorsque le transistor conduit ($V_{GS} > V_T$), le déplacement des charges à travers la zone de pincement favorise le phénomène d'avalanche, d'autant plus que le courant I_D est important (on retrouve le même phénomène que dans les transistors bipolaires).

— **Caractéristiques inverses**

• Nous retrouvons une zone linéaire quasi symétrique à celle du premier quadrant (donc favorable pour un fonctionnement à résistance commandée).

• La brusque augmentation du courant I_D pour $V_{DS} = -0{,}6$ V correspond à la conduction en direct de la jonction substrat-drain.

B. Caractéristiques de sortie I_D (V_{DS}) pour $V_{BS} < 0$ et différentes valeurs de V_{GS}. La figure 4.55 représente quelques caractéristiques pour une polarisation du substrat de – 10 volts ($V_{SB} = 10$ V).

— **Caractéristiques directes.** Elles sont de formes identiques à celles correspondant à $V_{SB} = 0$. Toutefois, l'avalanche n'a pas lieu à la valeur BV_{DB} mais à la valeur $BV_{DB} - V_{SB}$. Le courant I_D, obtenu pour une tension V_{GS} imposée, est plus faible que dans le cas précédent car une tension $V_{SB} > 0$ entraîne une augmentation de la tension de seuil V_T donc une diminution de I_D.

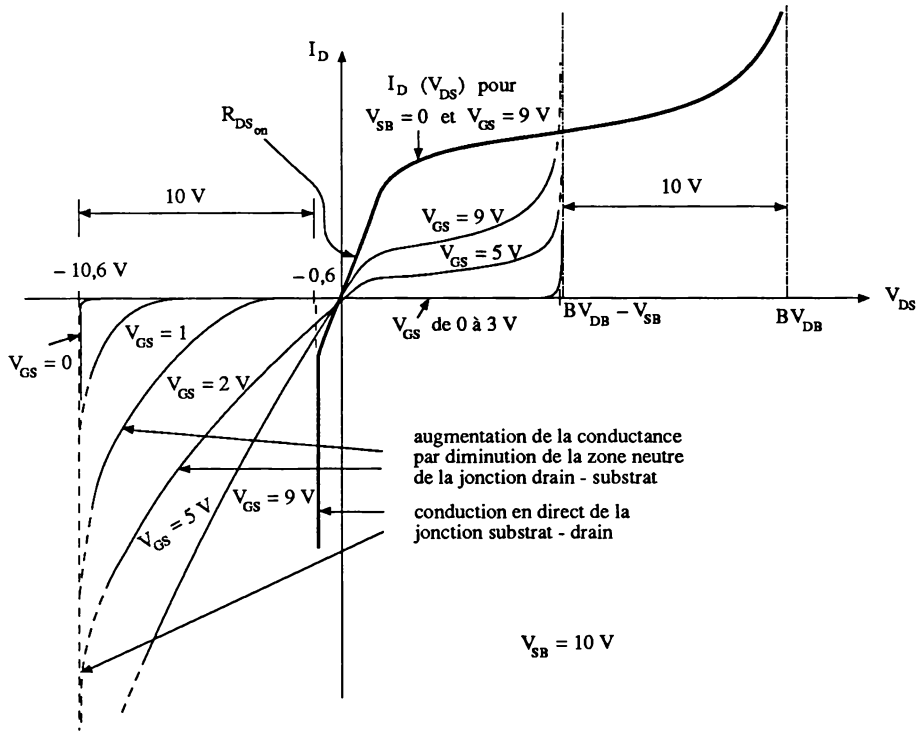


Figure 4.55

— **Caractéristiques inverses.** La symétrie des caractéristiques n'est vraie qu'autour de zéro. En effet, si en direct la zone de saturation apparaît à cause du pincement du canal (augmentation de la zone neutre au niveau de la jonction drain-substrat), il n'en est pas de même pour $V_{DS} < 0$ dont l'effet est de diminuer cette zone neutre donc augmenter la conductance du canal (il ne peut y avoir de pincement). C'est pourquoi, dans le troisième quadrant, les caractéristiques sont celles d'une résistance qui diminue en fonction de $|V_{DS}|$ (comme pour le transistor JFET).

La jonction substrat-drain conduit pour une tension égale à $V_{SB} + 0{,}6$.

Remarques

— Le fonctionnement en résistance commandée ne peut s'effectuer qu'au voisinage de zéro ($-0{,}2\ V \leq V_{DS} \leq +0{,}2\ V$). Dans ce cas, la tension V_{SB} est nulle donc $R_{DS_{on}}$ minimale.

— Le fonctionnement en commutateur analogique s'effectue correctement lorsque le substrat est relié au potentiel – V d'alimentation et que la commande est

$$V_{GS} \leq 0 \quad \text{pour} \quad r_{DS} = \infty$$
$$V_{GS} >> V_T \quad \text{pour} \quad r_{DS} \text{ minimale.}$$

On obtient une conductance quasi constante en utilisant deux transistors MOS complémentaires (*N* et *P*) connectés en parallèle (voir commutateurs analogiques, chapitre 6).

C. Caractéristique de transfert I_D (V_{GS}). La caractéristique de transfert pour un transistor à enrichissement a été présentée sur la figure 4.38, pour une tension $V_{DS} > V_{DS_{sat}}$ constante. Cette caractéristique est translatée lorsque $V_{SB} > 0$.

Si on prend différentes valeurs de V_{DS} ($V_{DS} > 0$, $V_{DS} = 0$, $V_{DS} < 0$) avec V_{SB} constant, on obtient un réseau de caractéristiques I_D (V_{GS}), de formes identiques à celles de la figure 4.52 (correspondant au transistor JFET), translatées vers la droite de l'axe des ordonnées.

Remarques

— Pour un transistor NMOS à déplétion, la caractéristique I_D (V_{GS}) est translatée vers la gauche avec V_T négatif (figure 4.37).

— Pour ce même transistor NMOS, le réseau I_D (V_{DS}) est semblable à celui présenté précédemment (voir les quelques caractéristiques réelles du paragraphe 4.2.8).

D. Caractéristique d'entrée. Il est difficile de définir une caractéristique d'entrée I_G (V_G) comme pour le transistor JFET. En pratique, on rencontre :

— des NMOS ou PMOS dont le substrat est indépendant, sans diode de protection. Alors on donne la tension maximale $\pm V_{GB}$ correspondant à la limite de claquage de l'isolant (phénomène irréversible),

— des NMOS ou PMOS dont le substrat est indépendant, mais protégé par rapport à la grille par deux diodes Zener connectées en tête-bêche série,

— des NMOS ou PMOS où le substrat est relié à la source sans protection ou avec protection par rapport à la grille avec une seule diode Zener.

E. Terminologie des paramètres électriques des MOS. Beaucoup de termes utilisés pour les transistors JFET, se retrouvent avec les MOS. Citons en complément :

V_{DB},	tension drain-substrat
V_{SB},	tension source-substrat
BV_{DSX} (BV_{SDX}),	tension d'avalanche entre drain et source (source et drain) pour une tension $V_{GS} = V_{BS}$ donnée ($V_{GD} = V_{BD}$ donnée)
BV_{DBO} (BV_{SBO}),	tension d'avalanche entre drain et substrat, source ouverte (entre source et substrat, drain ouvert).

4.2.3. INFLUENCE DE LA TEMPÉRATURE

Les éléments théoriques présentés dans ce paragraphe sont concrétisés par les graphes des caractéristiques réelles du paragraphe 4.2.8.

4.2.3.1. Variation des paramètres du JFET canal *N*

A. Courant de fuite de la jonction canal-grille (courant dans la grille). Nous avons vu (paragraphe 1.4.3.3) que le courant inverse d'une jonction présentait trois composantes :

— un courant de diffusion I_D,

— un courant de génération thermique I_{GT},

— un courant de surface dont la valeur est associée à la technologie de fabrication.

Pour une jonction abrupte P^+N, les deux premières composantes s'écrivent

$$I_D = -I_S = q\, n_i^2 \frac{D_p}{L_p N_D} \cdot S$$

$$I_{GT} = q\, x_t \frac{n_i}{2\tau} \cdot S.$$

A température ambiante, nous avons $I_{GT} >> I_D$, puis l'inverse lorsque la température atteint une valeur voisine de 100°C (voir exercices 2 et 3 du paragraphe 1.4.5). **On peut alors admettre que, en moyenne, le courant de fuite de grille double tous les 10°C** (exemple de la figure 4.56, pour un transistor de faible puissance).

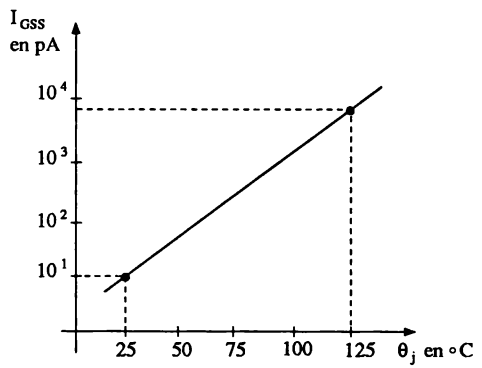


Figure 4.56

B. Courant de saturation I_{DSS}. Ce courant correspondant à $V_{GS} = 0$ et $V_{DS} > V_{DS_{sat}}$, est défini par une relation vue au paragraphe 4.1.2.3. Sa variation en fonction de la température dépend plus de la variation de la mobilité des charges

que de la variation de V_p (donc de U_t). Comme cette mobilité diminue en fonction de la température, il en est de même pour I_D, donc pour I_{DSS} (figure 4.57). Ceci a pour conséquence fondamentale que, **contrairement aux transistors bipolaires, il n'y a pas d'emballement thermique, mais un phénomène d'auto-stabilisation** (phénomène que nous retrouverons avec les MOS).

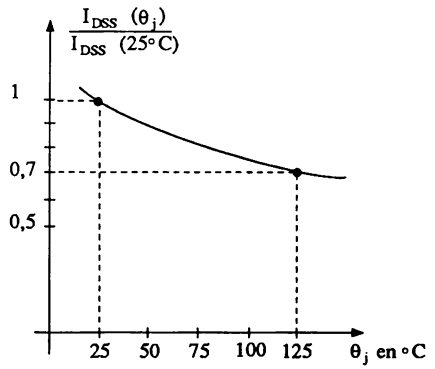


Figure 4.57

C. **Tension de blocage $V_{GS_{off}}$.** Cette tension $V_{GS_{off}} = -V_p + U_t$ varie en fonction de la température à cause de U_t. Comme pour le transistor bipolaire, $\frac{\Delta U_t}{\Delta \emptyset} \simeq -2$ mV/°C. Il s'ensuit une augmentation de la tension $|V_{GS_{off}}|$ ainsi que l'indique la figure 4.58. Quelle que soit la tension de blocage, cette variation $\frac{\Delta V_{GS_{off}}}{\Delta \emptyset}$ est constante. Elle est d'influence d'autant négligeable que $V_{GS_{off}}$ est important.

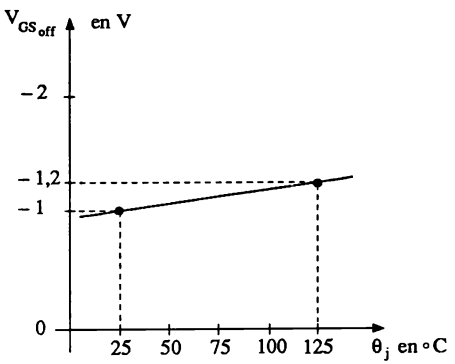


Figure 4.58

D. Point à dérive nulle. Comme en fonction de la température, I_{DSS} diminue et $|V_{GS_{off}}|$ augmente, il s'ensuit que la caractéristique I_D (V_{GS}) pivote autour d'un point appelé point à dérive nulle (figure 4.59). Comme ces caractéristiques sont peu souvent indiquées par les constructeurs, on détermine la valeur I_{D0} (de I_D à dérive nulle) à partir de la dérivée de la fonction I_D (V_{GS}) obtenue au paragraphe 4.1.2.3. Après approximation, on trouve que cette dérivée s'annule pour la valeur

$$I_{D0} = I_{DSS}\left(\frac{0{,}66}{V_{GSS}}\right)^2$$

(cas où substrat et grille sont reliés et forment une double jonction).

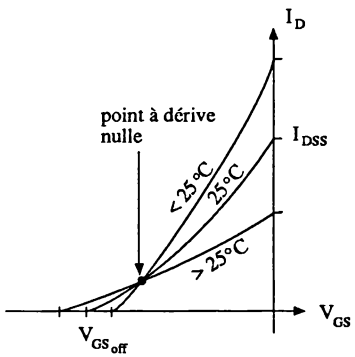


Figure 4.59

E. Résistance $R_{DS_{on}}$. La résistance du canal dans la zone linéaire et pour $V_{GS} = 0$ a été définie au paragraphe 4.1.2.3 et concrétisée dans l'exercice 2 du paragraphe 4.1.5. Si on ne tient pas compte de la largeur de la zone neutre de la jonction grille-canal, ni des résistances parasites séries, on voit que cette résistance $R_{DS_{on}}$ est inversement proportionnelle à la mobilité des électrons. Il s'ensuit que, lorsque la température augmente, la mobilité diminue et la résistance $R_{DS_{on}}$ augmente. **On peut admettre que $R_{DS_{on}}$ double lorsque $\emptyset$ varie de 25°C à 125°C.**

4.2.3.2. Variation des paramètres des transistors NMOS

La littérature est peu bavarde en ce qui concerne l'influence de la température sur les caractéristiques des transistors NMOS. Nous avons essayé d'analyser les quelques caractéristiques des constructeurs et de justifier l'évolution des paramètres à partir des relations présentées lors de l'étude quantitative de ces composants.

A. Courant I_D pour une tension V_{DS} et V_{GS} données. Comme pour les transistors à jonction, le courant I_D dépend entre autre de la mobilité des charges. La diminution de cette mobilité en fonction de la température est le facteur principal de la diminution de I_D. Mais avant de conclure, il est important de connaître l'évolution des graphes I_D (V_{GS}) pour différentes températures. Les figures 4.60 et 4.61 représentent ces graphes pour, respectivement, les transistors à enrichissement et les transistors à déplétion. Dans les deux cas, il y a présence d'un point à dérive nulle ; cela veut dire que les tensions V_T (enrichissement) ou $V_{GS_{off}}$ (déplétion) diminuent en fonction de la température. Ceci est normal sachant que V_T ou $V_{GS_{off}}$ font intervenir le potentiel de volume $\emptyset_F$.

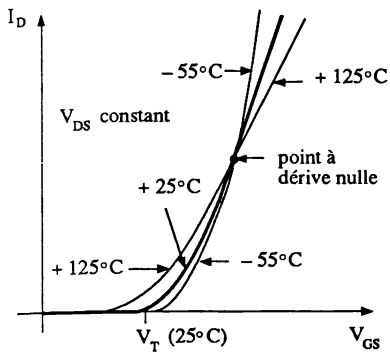


Figure 4.60

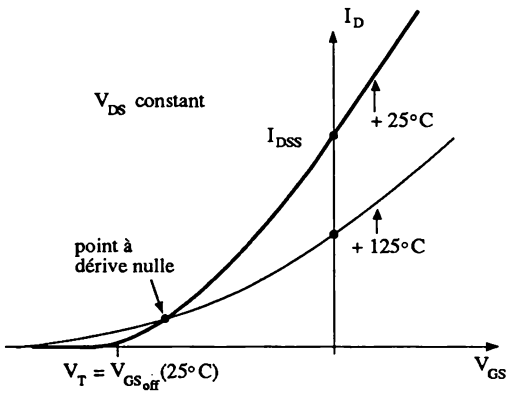


Figure 4.61

On peut admettre qu'il y a une diminution de 1 volt pour une variation de température de 100°C.

En conclusion, en fonction de la température :

— pour le transistor à enrichissement, le courant I_D ne diminue qu'à partir du courant I_{D0} (point à dérive nulle),

— pour le transistor à déplétion, nous avons les mêmes variations qu'avec le JFET (I_{DSS} diminue avec θ_j).

B. Courant de fuite de drain I_D(off). Quel que soit le type de transistor, le courant de fuite I_D(off) correspond au courant de drain lorsque le transistor est bloqué. **Il représente le courant inverse de la jonction drain-substrat qui double environ tous les 10°C.** Pour une température donnée, ce courant de fuite dépend aussi de la tension V_{SB}. On donne quelquefois la valeur de $I_{DS_{off}}$ pour V_{SB} et θ_j imposés.

C. Courant de fuite de grille I_{GSS}. Ce courant dépend de la qualité de l'isolant (oxyde de silicium). Au vu des caractéristiques, il augmente. **Le facteur**

multiplicatif n'est que de quelques unités pour $\Delta\theta = 100°C$. Mais attention, la plupart des transistors MOS ont leur grille protégée par une ou plusieurs diodes. Alors **le courant de fuite est celui de la ou des diodes qui double environ tous les 10°C.**

D. Résistance $R_{DS_{on}}$. La conséquence de la diminution du courant I_D en fonction de la température, et au-delà du point à dérive nulle, est que la résistance $R_{DS_{on}}$ augmente. **On peut admettre un doublement de R_{DS} (zone linéaire) pour $\Delta\theta = 100°C$.**

E. Tension d'avalanche BV_{DSS}. L'évolution de cette tension est intéressante à connaître pour les composants haute tension. Les caractéristiques des constructeurs nous donnent **une augmentation de 10 % de cette tension pour $\Delta\theta = 100°C$.**

4.2.3.3. Résistance thermique – limitation en puissance

Les problèmes de la limitation en température (donc en puissance) pour les MOS sont les mêmes que pour les transistors bipolaires et les JFET. On trouve sur les caractéristiques :

— soit la valeur de P_{max} pour θ_{min} et $P = 0$ pour θ_{max},

— soit le graphe P_{max} admissible, en fonction de θ_a (qui permet d'obtenir R_{thja}) ou P'_{max} admissible, en fonction de θ_b (qui permet d'obtenir R_{thjb}).

Exemple : transistor BSS83 – RTC

$$P_{max} = 23 \text{ mW pour } \theta_a = 25°C$$
$$\theta_{max} = 125°C.$$

On en déduit :

$$R_{thj.a} = \frac{125 - 25}{0{,}23} = 434 \text{ K/W}.$$

4.2.4. DISPERSION DE FABRICATION

Comme pour les transistors bipolaires, la principale dispersion de fabrication se situe au niveau de la caractéristique de transfert I_D (V_{GS}) pour V_{DS} et θ_j imposés.

4.2.4.1. Transistors à jonction JFET canal *N*

Nous avons regroupé sur la figure 4.62 les caractéristiques I_D (V_{GS}) pour $V_{DS} > V_{DS_{sat}}$ et I_D (V_{DS}) pour $V_{GS} = 0$ (caractéristiques maxima, typique, minima). On peut admettre que le courant I_{DSS} varie d'un facteur 3 (comme le gain en courant β d'un transistor bipolaire).

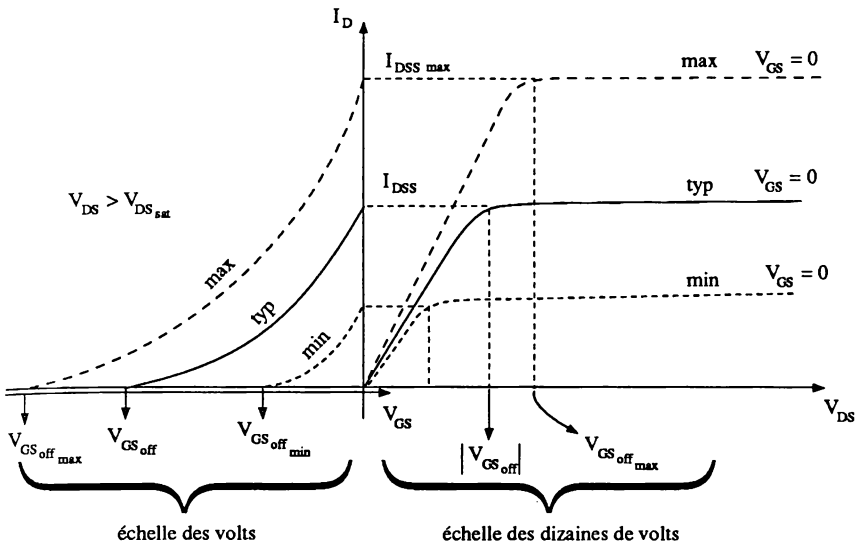


Figure 4.62

Les constructeurs fournissent :

— soit les caractéristiques précitées, sous forme de graphes,

— soit les valeurs extrêmes de I_{DSS} et $V_{GS_{off}}$. Dans ce cas, il est facile d'obtenir les graphes I_D (V_{GS}) et I_D (V_{DS}) en se reportant aux figures 4.13 et 4.16.

4.2.4.2. Transistors NMOS

Pour ces composants, il est plus difficile de « glaner » des renseignements. Toutefois, on peut dire que :

— dans le cas des transistors à déplétion, on trouve certaines indications identiques à celles du JFET (soit les caractéristiques, soit les valeurs extrêmes),

— dans le cas des transistors à enrichissement, les constructeurs fournissent les valeurs extrêmes de la tension de seuil V_T.

Dans tous les cas, il faut tenir compte de la tension de polarisation V_{SB} du substrat.

4.2.5. POINT DE REPOS ET POLARISATION

Connaître le point de repos d'un montage revient à tracer **la droite de charge** dans le réseau I_D (V_{DS}) et **la droite de polarisation** dans le réseau I_D (V_{GS}). Il est en effet difficile, en comparaison avec le transistor bipolaire (où $V_{BE} \simeq 0{,}6$ V à 25°C), d'utiliser une tension V_{GS0} connue. Il faut donc, d'abord raisonner graphiquement, puis, avec une certaine habitude, approximer les résultats.

4.2.5.1. Droites de charges statique et dynamique

Il est nécessaire de revenir au paragraphe 3.2.4 (cas du transistor bipolaire). La figure 4.63 représente le schéma qui pourrait être amplificateur avec une polarisation V_{GS0} et une liaison capacitive vers la résistance R d'utilisation. L'équation statique du circuit s'écrit

$$E = R_D I_D + V_{DS}.$$

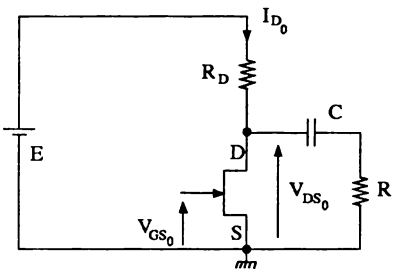


Figure 4.63

On en déduit l'équation de la droite de charge

$$I_D = -\frac{1}{R_D} V_{DS} + \frac{E}{R_D}$$

équation représentée sur le système d'axes de la figure 4.64.

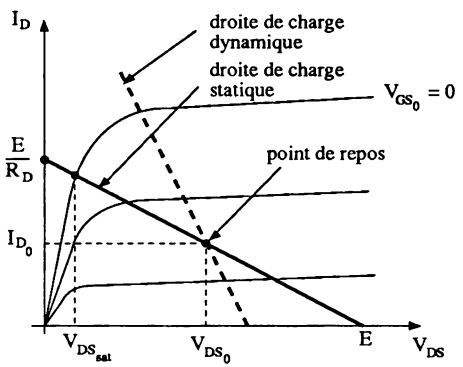


Figure 4.64

Remarques

— La droite de charge statique coupe les axes aux valeurs E ($I_D = 0$) et $\frac{E}{R_D}$ ($V_{DS} = 0$).

— Le point de repos correspond au couple de valeurs $I_{D0} - V_{DS0}$.

— La tension minimale aux bornes du transistor est $V_{DS_{sat}}$, celui-ci étant équivalent à une résistance $R_{DS_{on}}$. Il est important, en régime de commutation de choisir la valeur E/R_D telle que la droite de charge statique coupe la caractéristique I_D (V_{DS}) pour $V_{GS} = 0$, dans la zone linéaire.

— La condition de blocage du JFET est $V_{GS} < V_{GS_{off}}$ et une faible température de fonctionnement (sinon il y a influence du courant de fuite de grille).

— La droite de charge dynamique de pente $-\frac{1}{R_D // R}$ pivote autour du point de repos et est définie mathématiquement en remplaçant le condensateur chargé (à la mise sous tension) par une fem V_{DS0} équivalente. Dans le cas de l'amplification, le transistor à effet de champ est toujours utilisé en préamplificateur (petits signaux). Il n'est donc pas nécessaire de positionner le point de repos au milieu de la droite de charge, comme on le fait pour le transistor bipolaire (étage de sortie).

— Les remarques précédentes restent valables pour les transistors MOS. Toutefois, la commande du MOS à enrichissement diffère (transistor bloqué pour $V_{GS} = 0$).

4.2.5.2. Polarisation des transistors à effet de champ

La polarisation d'un transistor représente la valeur statique imposée (point de repos), dans le cas d'un fonctionnement, en général, en classe A, c'est-à-dire $I_{D0} \neq 0$ et $V_{DS_{sat}} < V_{DS} < E$. La stabilité du point de repos dépend :

— de la dispersion des caractéristiques,

— de l'influence de la température.

Ce dernier critère peut être secondaire sachant que :

— il existe un point à dérive nulle pouvant faire le choix du point de repos,

— le courant de fuite de grille devient très important à température élevée, ce qui fait perdre l'avantage du FET par rapport au bipolaire.

Nous allons donc présenter les différents types de polarisation, pour un transistor JFET canal *N*, en tenant compte de la dispersion de la caractéristique I_D (V_{GS}), puis donner quelques exemples de polarisation des transistors MOS.

A. Polarisation à $V_{GS} = 0$, en source commune (figure 4.65). La grille est reliée à la source (qui est la masse) par l'intermédiaire d'une résistance R_G (cette résistance R_G représente la résistance d'entrée de l'étage). Il faut considérer deux cas.

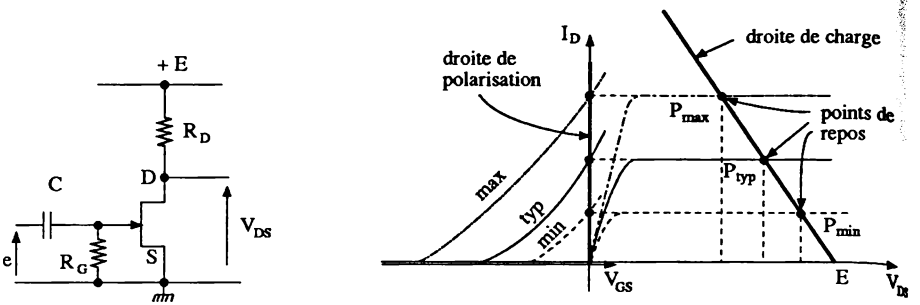


Figure 4.65

— **Le courant de fuite de grille n'intervient pas.** Alors, la tension V_{GS_0} est nulle et la droite de polarisation est confondue avec l'axe des ordonnées. On obtient un point de repos P dans le réseau I_D (V_{DS}), situé entre P_{max} et P_{min}.

— **Le courant de fuite de grille intervient.** Il est la cause d'une chute de tension aux bornes de R_G telle que $V_{GS} > 0$. La droite de polarisation est toujours verticale et translatée vers la droite de l'axe des ordonnées.

Remarques

— Ce type de polarisation n'est utilisable que pour des signaux d'entrée ne dépassant pas quelques centaines de millivolts (amplitude inférieure à la tension de seuil).

— Si le générateur d'attaque est permanent, il polarise directement la grille, ce qui permet d'obtenir une résistance d'entrée infinie (figure 4.66).

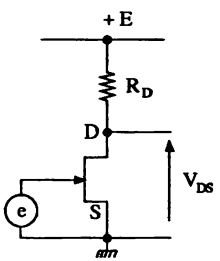


Figure 4.66

— Pour que le montage fonctionne correctement, il faut que la résistance R_D soit suffisamment petite, afin que la droite de charge rencontre les caractéristiques I_D (V_{DS}) dans la zone de saturation. Sinon, nous travaillons dans la zone ohmique (figure 4.67) et le gain en tension $\frac{s}{e}$, déjà faible pour D_1 (quelques unités), devient négligeable pour D_2, avec une forte distorsion (zone coudée).

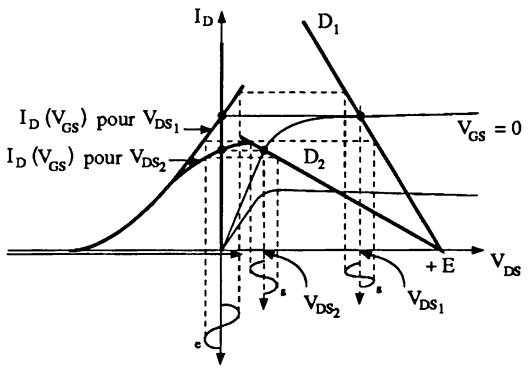


Figure 4.67

B. **Polarisation à $V_{GS} = -V$, en source commune** (figure 4.68). La grille est reliée à un potentiel $-V$ fixe, par l'intermédiaire d'une résistance R_G. La droite de polarisation est verticale. Dans l'exemple que nous avons pris, le transistor est bloqué pour la caractéristique minimale.

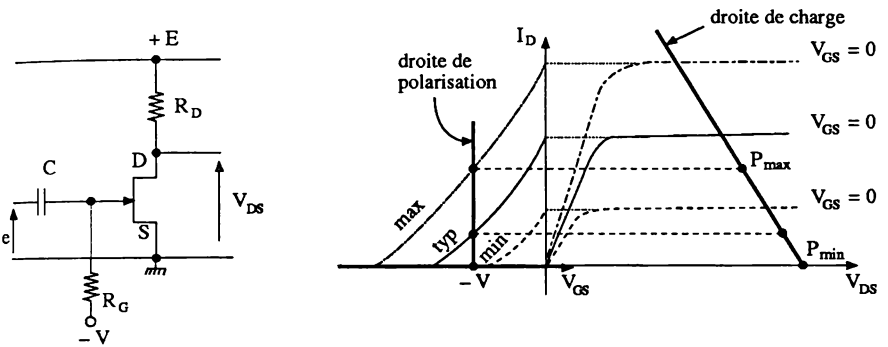


Figure 4.68

Si nous nous imposons un courant de repos I_{D0}, il faut prévoir un réglage permanent de $-V$ en cas de changement de transistor, ce qui est à exclure en pratique.

Remarques

— Cette polarisation permet un fonctionnement correct, mais ne permet pas un point de repos figé. Elle ressemble à la polarisation « en courant » pour le transistor bipolaire (I_B constant).

— La résistance R_G présente la résistance d'entrée du montage. Si on veut polariser la grille par le générateur d'attaque (résistance d'entrée infinie), il faut

que la source soit à un **potentiel positif fixe** (par exemple, en utilisant un diviseur de tension alimenté par + E et découplé pour le régime variable).

C. Polarisation automatique par résistance de source, en source commune (figure 4.69). A la mise sous tension du montage, le courant I_D est nul ainsi que la tension V_{GS}. Alors le transistor conduit. Le courant I_D augmente, la tension $R_S I_D$ aussi, ce qui rend négative la tension V_{GS} ; il y a alors un phénomène d'équilibre automatique. Le point de repos est obtenu en traçant la droite de polarisation définie à partir de la maille d'entrée de Kirchoff, par la relation

$$+ R_S I_D + V_{GS} - 0 = 0$$

en négligeant le courant de grille ($R_G I_G = 0$).

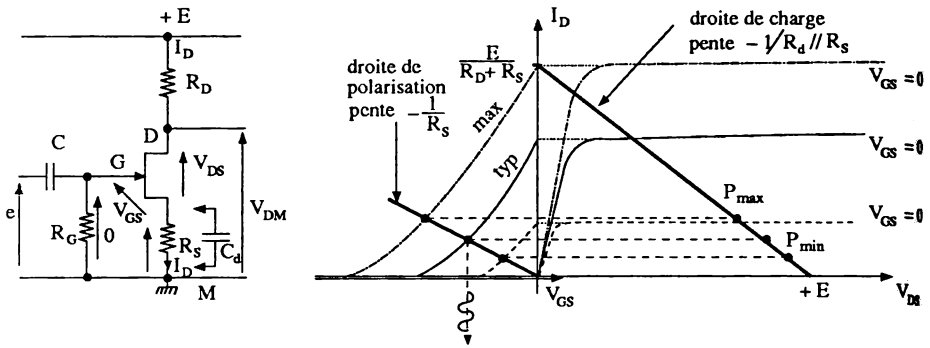


Figure 4.69

Ainsi, la fonction

$$I_D = -\frac{1}{R_S} V_{GS}$$

de pente $-\frac{1}{R_S}$, passe par l'origine et coupe toutes les caractéristiques I_D (V_{GS}) possibles. Le point de repos de sortie est tel que le courant I_D n'est jamais nul. C'est la valeur de ce courant qui impose la valeur de R_S donc de R_D pour V_{DS} imposé.

Remarques

— Sans être « vieillot », cette polarisation était celle des tubes.

— Le choix des résistances sera vu dans un exercice de fin de section.

— En source commune, il faut découpler la résistance R_S par un condensateur C_d sinon, la pente équivalente au montage diminue et le gain en tension aussi.

— Le générateur d'attaque peut directement polariser la grille afin d'obtenir une résistance d'entrée infinie.

D. Polarisation automatique par résistance de source et tension auxiliaire, en source commune (figure 4.70). La tension auxiliaire est obtenue à partir d'un diviseur de tension $R_1 - R_2$. La résistance d'entrée du montage est alors $R_1 // R_2$. Cette résistance d'entrée peut être améliorée en connectant une résistance R de forte valeur, entre le diviseur de tension (qui peut être découplé) et la grille (figure 4.71). Pour déterminer le point de repos, il faut écrire l'équation de la droite de polarisation en négligeant le courant de grille

$$R_S I_D + V_{GS} - \frac{R_2}{R_1 + R_2} E = 0$$

soit

$$I_D = -\frac{1}{R_S} V_{GS} + \frac{R_2}{R_1 + R_2} \cdot \frac{E}{R_S}$$

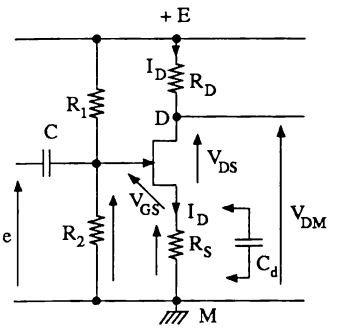


Figure 4.70

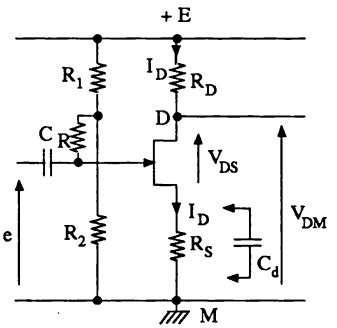


Figure 4.71

Cette droite coupe l'axe des abscisses à la valeur $V_{GS} = E \dfrac{R_2}{R_1 + R_2}$ et l'axe des ordonnées pour $I_D = \dfrac{R_2}{R_1 + R_2} \cdot \dfrac{E}{R_S}$ (figure 4.72).

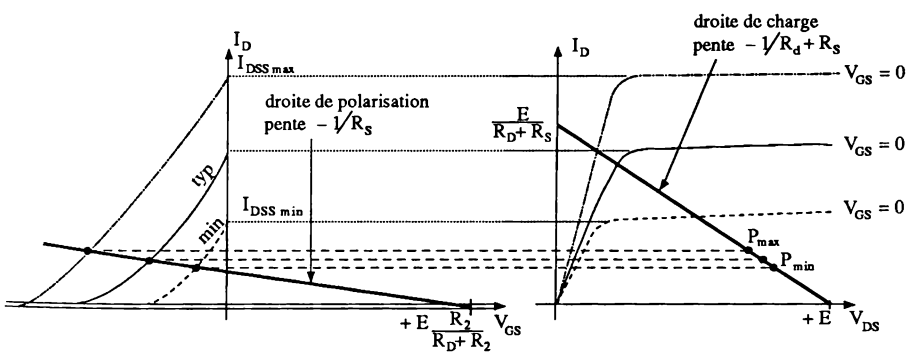


Figure 4.72

Remarques

— Comme pour les transistors bipolaires, plus la tension de pont $\frac{R_2}{R_1 + R_2} \cdot E$ est importante, meilleure est la polarisation.

— Dans le cas d'alimentation symétrique $\pm E$, on peut polariser la grille au potentiel de la masse, soit directement par le générateur, soit par une résistance R_G (figure 4.73). Dans ce cas, la droite de polarisation est déduite de la relation

$$R_S I_D + V_{GS} - E = 0$$

soit

$$I_D = -\frac{1}{R_S} V_{GS} + \frac{E}{R_S}.$$

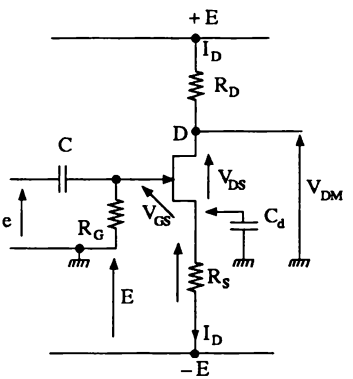


Figure 4.73

Les points de repos extrêmes possibles P_{max} et P_{min} sont alors très rapprochés l'un de l'autre.

— La conduite de calcul des éléments impose de choisir comme courant de drain :

- $I_D = \frac{R_2}{R_1 + R_2} \cdot \frac{E}{R_S} = \frac{I_{DSSmin}}{2}$ dans le cas de la polarisation par pont,
- $I_D = \frac{E}{R_S} = \frac{I_{DSSmin}}{2}$ dans le cas de la polarisation par une tension négative d'alimentation.

E. Polarisation par source de courant, en source commune (figure 4.74). On intercale une source de courant I_0 entre la source du transistor et la ligne négative d'alimentation (soit la masse, soit $-E$). Ce courant I_0 circule dans la résistance R_D et impose un potentiel V_{DM} fixe. Droite de polarisation et droite de charge statique sont horizontales (parallèles à l'axe des abscisses – figure 4.75). Le point de repos en sortie $I_D - V_{DM}$ est unique, par contre la tension V_{DS0} dépend de V_{GS0}

$$V_{DS0} = E + V_{GS0} - R_D I_D \qquad (V_{GS0} < 0).$$

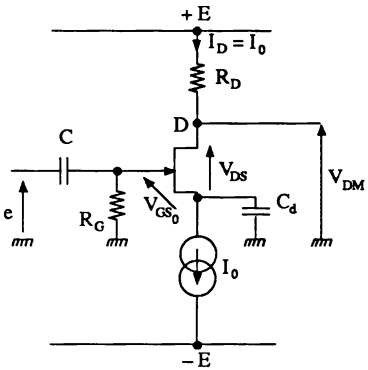


Figure 4.74

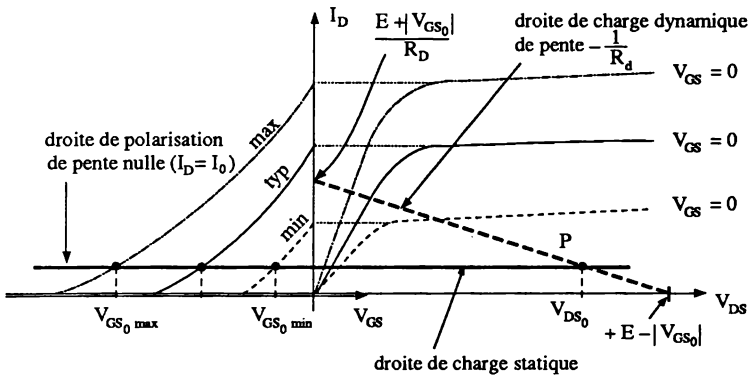


Figure 4.75

Remarques

— Sans condensateur de découplage, ce montage ne peut pas fonctionner avec la sortie sur le drain car $R_D I_D$ est constant. Par contre, il est bien adapté pour un montage drain commun ou un montage grille commune.

— En source commune (avec le condensateur de découplage C_d), on représente la droite de charge dynamique dont la pente est $-\frac{1}{R_D}$.

— Le point de repos est constant quel que soit le transistor utilisé (on prendra $I_D = \frac{I_{DSS_{min}}}{2}$).

— La source de courant est réalisée avec un transistor bipolaire ou plus souvent avec un transistor à effet de champ (voir paragraphe 4.3).

F. Polarisation d'un montage drain commun (figure 4.76). La sortie d'un montage drain commun s'effectue sur la source, le drain étant connecté, en général, à la ligne positive + E de l'alimentation. La polarisation est alors :

— soit automatique en connectant une résistance R_S entre la source et – E,

— soir par un générateur de courant I_0.

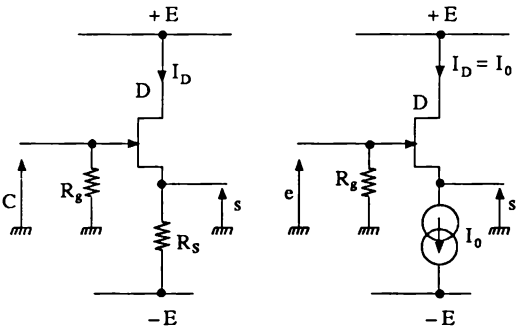


Figure 4.76

Ces deux cas sont identiques (en raisonnement) à ceux présentés pour la source commune.

G. Polarisation d'un montage drain commun utilisant un bootstrapp (figure 4.77). Le bootstrapp est une réaction à coefficient de retour quasi unitaire entre la sortie et l'entrée d'un montage suiveur (ici entre la source et la grille). Il permet d'augmenter la résistance d'entrée.

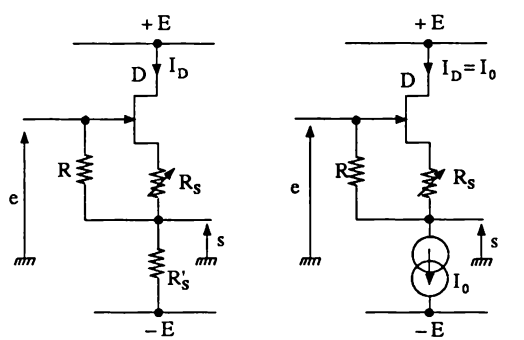


Figure 4.77

Dans les montages proposés, on peut s'arranger pour que le potentiel de l'entrée e et de la sortie s soient à zéro. La figure 4.78 représente la droite de

charge de pente $-\dfrac{1}{R_S + R'_S}$ quasi parallèle à l'axe et les droites de polarisation extrêmes, obtenues à partir de la relation

$$I_D = -\frac{1}{R_S} V_{GS}.$$

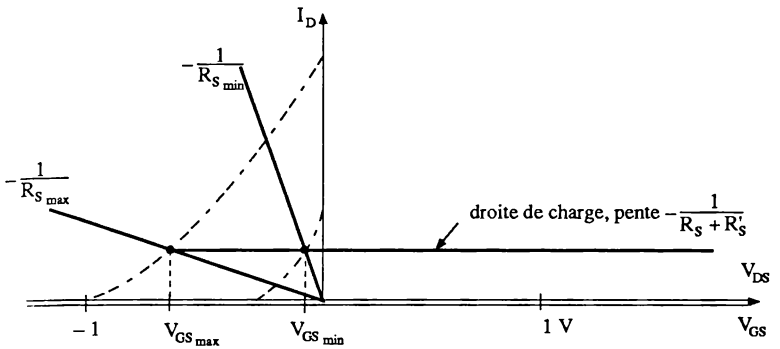


Figure 4.78

La valeur de V_{GS} possible est comprise entre V_{GSmin} et V_{GSmax}, ajustable en agissant sur R_S.

Remarques

— La résistance $R'_S >> R_S$ peut être remplacée par une source de courant I_0. La droite de charge statique est alors horizontale.

— L'inconvénient de ce montage est l'ajustement nécessaire de la résistance R_S, en fonction de la dispersion des composants.

H. Polarisation d'un NMOS à déplétion. Le transistor NMOS à déplétion se comporte comme un JFET, excepté que sa zone d'enrichissement est plus étendue. La figure 4.79 représente deux droites de polarisation :

— l'une à tension V_{GS} constante ($V_{GS} = 0$) où la dispersion des composants fournit deux positions extrêmes du point de repos P_{max} et P_{min},

— l'autre à courant constant où le point de repos P en sortie est unique. Dans ce cas, si $I_{D0} > I_{DSS_{min}}$, le transistor peut travailler, soit dans sa zone de déplétion [caractéristique I_D $(V_{GS})_{max}$], soit dans sa zone d'enrichissement [caractéristique I_D $(V_{GS})_{min}$].

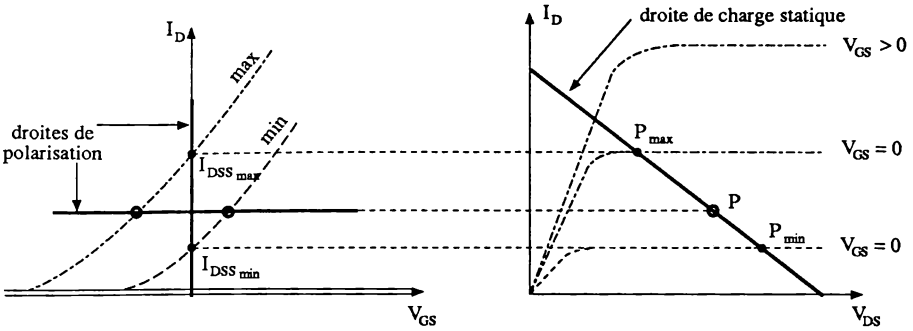


Figure 4.79

I. Polarisation d'un NMOS à enrichissement. Malgré ses caractéristiques I_D (V_{GS}) différentes des cas précédents, on retrouve des problèmes de polarisation similaires. Une polarisation à tension V_{GS} constante fournit un grand écart de positionnement du point de repos. La polarisation idéale est celle utilisant une résistance R_S et une tension auxiliaire. La figure 4.80 en est un exemple. Les équations permettant de tracer les droites de polarisation et de charge (en statique), sur la figure 4.81 sont

$$I_D = -\frac{1}{R_S} V_{GS} + \frac{R_2}{R_1 + R_2} \frac{V}{R_S}$$

et

$$I_D = -\frac{1}{R_D + R_S} V_{DS} + \frac{V}{R_D + R_S}$$

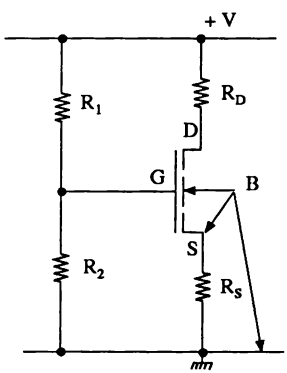


Figure 4.80

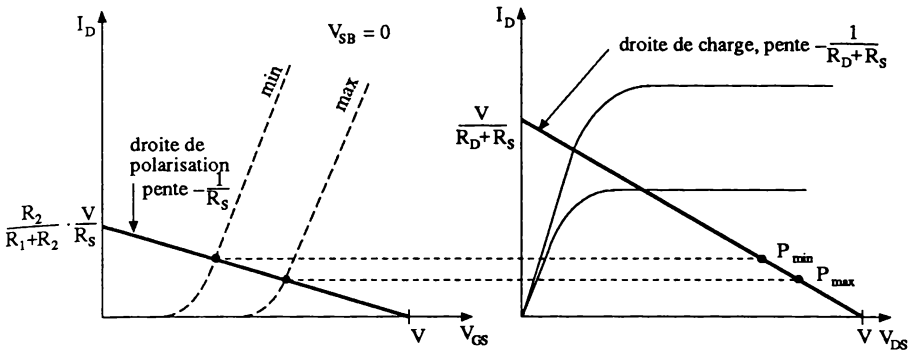


Figure 4.81

Remarques

— Les caractéristiques précédentes ont été tracées pour $V_{SB} = 0$. Dans le cas où le substrat B est relié à la masse, nous avons $V_{SB} > 0$. Il y a translation vers la droite des caractéristiques I_D (V_{GS}), donc déplacement vers la droite du point de repos P (diminution du courant I_D).

— Si R_S est remplacée par une source à courant constant, la droite de polarisation est horizontale et I_D est constant quelles que soient les caractéristiques et la valeur de V_{SB}.

— Le fonctionnement en source commune impose un découplage de la source par rapport à la masse.

4.2.6. ASSOCIATION DE TRANSISTORS FET ET BIPOLAIRES

Le transistor à effet de champ présente l'intérêt d'une grande impédance d'entrée, mais l'inconvénient de mauvaises caractéristiques amplificatrices (voir section 4.4). Comme pour le transistor bipolaire c'est l'inverse, on associe, dans certains cas, ces deux types de transistors. La figure 4.82 représente le schéma d'un montage amplificateur où le transistor T_1 travaille en source commune (avec découplage) ou en charge répartie (sans découplage) et le transistor T_2 en émetteur commun. Deux inconvénients apparaissent :

— le courant I_D est très faible (courant de base de T_2), donc une faible pente g_{fs} du transistor à effet de champ,

— le point de repos ne peut être stable :

- ni en fonction de la température,
- ni en fonction de la dispersion des composants.

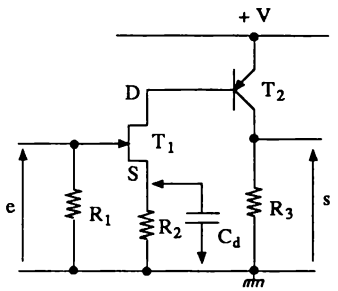


Figure 4.82

Pour pallier ces deux inconvénients, il faut
— une résistance supplémentaire sur le drain de T_1
— **réaliser un asservissement statique** (présenté au paragraphe 3.4.5).

La figure 4.83 représente un tel montage. Le transistor FET est polarisé par un pont de résistances $R_1 - R_2$ de fortes valeurs imposant une tension constante sur la grille. Pour comprendre qualitativement le phénomène de stabilisation du point de repos en sortie, il faut considérer $I_D >> I_B$ et $I_C >> I_D$. Alors, on représente la droite de polarisation à partir de l'équation

$$\frac{R_2}{R_1 + R_2} V = V_{GS} + R_4 I_D + S_0 \qquad (S_0 = R_6 I_C)$$

soit

$$I_D = -\frac{1}{R_4} V_{GS} + \frac{R_2}{R_1 + R_2} \cdot \frac{V}{R_4} - \frac{S_0}{R_4}.$$

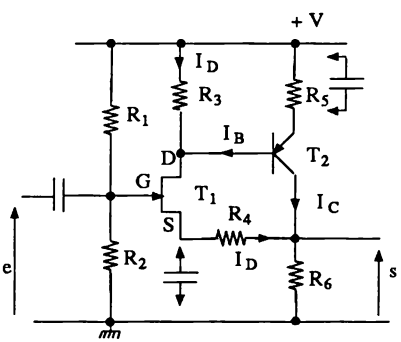


Figure 4.83

Cette droite coupe l'axe des ordonnées (I_D) à la valeur

$$\frac{R_2}{R_1 + R_2} \cdot \frac{V}{R_4} - \frac{S_0}{R_4}.$$

Si, pour une cause quelconque, **le courant I_C augmente,** alors S_0 augmente, la droite de polarisation se rapproche de l'axe des abscisses, I_D diminue. **Le courant I_C diminue et se maintient à la valeur initiale.**

Remarques

— La méthode d'étude théorique de cet asservissement se fait à partir des schéma-blocs donc des équations linéaires statiques, associées au montage.

— D'autres associations FET-bipolaire existent. Elles sont présentées dans la section 4.4 et leur polarisation est obtenue suivant le même principe que précédemment.

4.2.7. TRANSISTORS A EFFET DE CHAMP SPÉCIAUX

La consultation des Data Books des fabricants (RTC/Philips Composants, Siliconix) nous indique qu'il existe des transistors à effet de champ pour des applications très diverses. Ceux que nous avons présentés, font partie des applications générales (amplification, commutation, résistance commandée ...). Citons les cas spéciaux.

4.2.7.1. Transistors JFET pour amplificateurs différentiels

Les amplificateurs différentiels fonctionnant en régime linéaire travaillent à bas niveau. Il est nécessaire qu'ils présentent un très faible bruit, d'où l'utilisation des transistors JFET. La faible tension d'offset ainsi que sa dérive impose un appariement rigoureux (cas des circuits intégrés linéaires avec implantation ionique). Toutefois on trouve dans le commerce :

— deux JFET dans un même boîtier (même puce de silicium),

— deux JFET, chacun dans leur boîtier, mais appariés et reliés par un clip.

Ces JFET « dual » sont présentés dans les amplificateurs continus de la section 4.4.

4.2.7.2. Transistors JFET utilisés en diode

On trouve des JFET Diodes (Siliconix) ne présentant que deux connexions extérieures. Ce sont des JFET dont on a relié la source et le drain, utilisés en diode entre grille et source-drain. L'intérêt de ce composant est son très faible courant de fuite (de l'ordre du picoampère à 25°C), permettant de protéger l'entrée de certains amplificateurs opérationnels à très forte impédance d'entrée.

4.2.7.3. Transistors MESFET

Le transistor à effet de champ MESFET (MEtal Semiconductor) est un transistor à jonction Schottky. La figure 4.84 représente son principe de fabrication. A partir d'un substrat semi-isolant en arséniure de gallium, on dépose par épitaxie une couche GaAs dont le dopage évolue tel que celui-ci soit de 10^{17} cm^{-3} à la surface du semiconducteur sur une épaisseur inférieure au micron. Les contacts ohmiques de la source et du drain sont à base d'or-germanium alors que la grille, constituée d'aluminium, correspond à l'anode d'une diode Schottky. En utilisant les mêmes repères de dimensions que pour les transistors à effet de champ classiques, la longueur L de cette grille est inférieure à 1 µm alors que la largeur l dépasse très largement la centaine de microns. La géométrie de la grille est soit rectiligne, soit circulaire.

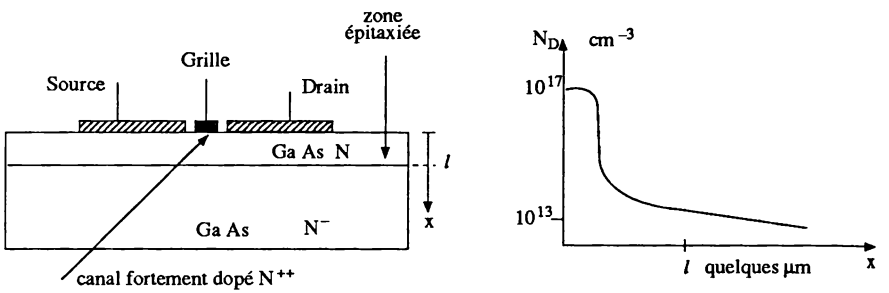


Figure 4.84

Les caractéristiques des MESFET sont de forme identique à celles des JFET, et les paramètres principaux (V_p, I_{DSS} ...) sont obtenus à partir des relations de la jonction Schottky.

Ces transistors utilisent l'arséniure de gallium dopé N (mobilité supérieure au silicium dopé N) permettant de réaliser des fonctions travaillant dans le domaine des micro-ondes. On les rencontre, soit discrets, soit intégrés (de plus en plus dans le domaine du numérique et de l'analogique).

Historiquement, les MESFET (ou GaAsFET) ont été utilisés par IBM, HP ... au début des années soixante-dix. Ces sociétés ont commercialisé des amplificateurs travaillant à des fréquences supérieures à 8 GHz. Les circuits intégrés ont fait leur apparition au début des années quatre-vingt. Actuellement, les MESFET travaillent à des fréquences supérieures à 30 GHz.

4.2.7.4. Transistors à effet de champ à double grille

Ces transistors appelés aussi tétrodes, sont fabriqués à partir de deux matériaux semiconducteurs différents :

— **le silicium.** Ce sont des transistors NMOS à déplétion (grille isolée),

— **l'arséniure de gallium.** Ce sont des transistors MESFET à double grille Schottky.

Dans les deux cas, les grilles se succèdent entre la source et le drain. Leur largeur est :

— différente pour les transistors au silicium (la première grille, proche de la source a une largeur plus faible que la seconde, proche du drain. Ceci afin de compenser l'effet de polarisation drain-source) ;

— identique dans le cas des MESFET.

La figure 4.85 représente une vue de dessus de l'implantation des électrodes d'un transistor MESFET à simple grille et à double grille.

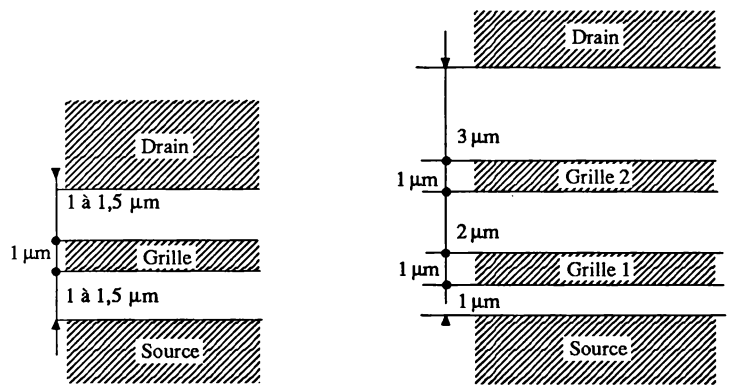


Figure 4.85

Les transistors à effet de champ à double grille présentant les avantages suivants :

— très faible capacité de retour,

— contrôle de gain,

— très faible bruit,

sont utilisés dans les applications VHF, UHF et micro-ondes telles que :

— la fonction produit dans les tuners TV et FM (mélangeurs),

— l'amplification cascode,

— la commande automatique de gain, etc.

Quelques schémas d'application sont indiqués dans la section 4.5.

4.2.7.5. Transistors à effet de champ de puissance

Les transistors de puissance doivent travailler suivant des contraintes de haute tension et de forte intensité. La limite en avalanche de la jonction canal-grille du transistor JFET (quelques dizaines de volts) fait que seuls les transistors MOS sont utilisables. Les Data Books des constructeurs (International Rectifier, Siliconix ...) fournissent les caractéristiques des transistors MOS à enrichissement, soit unitaires, soit en pont, permettant de réaliser des hacheurs et des onduleurs.

Ces transistors MOS de puissance, à structure verticale ont été présentés dans les ouvrages **Électronique industrielle** et **Amplificateurs de puissance.** Nous les retrouverons au chapitre 5.

Notons qu'il existe des MESFET de puissance (quelques watts) utilisés dans le domaine des micro-ondes.

4.2.8. EXEMPLES DE CARACTÉRISTIQUES

Malgré l'ère avancée du circuit intégré, il existe encore une multitude de composants discrets. Les transistors à effet de champ ne font pas exception à la règle et de nombreux types sont présents dans les Data Books spécialisés. Nous fournissons dans ce paragraphe quelques éléments de ces caractéristiques, qui permettront de concrétiser la théorie et seront utilisés dans les exercices de fin de section.

A. Transistors JFET, BFR30, BFR31 (Philips Composants).

— **Figure 4.86.** Elle fournit les valeurs limites en tension, en intensité et en température. Ces transistors de tenue en tension 25 V permettent un courant I_D de 10 mA. Le courant de fuite de grille est de 0,2 nA à 25°C, la dispersion de I_{DSS}, de 4 mA à 10 mA (BFR30) ou de 1 mA à 5 mA (BFR31). La tension de blocage maximale vaut 5 volts (BFR30) ou 2,5 volts (BFR31).

RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

Drain-source voltage	$\pm V_{DS}$	max.	25	V
Drain-gate voltage (open source)	V_{DGO}	max.	25	V
Gate-source voltage (open drain)	$-V_{GSO}$	max.	25	V
Drain current	I_D	max.	10	mA
Gate current	I_G	max.	5	mA
→ Total power dissipation up to T_{amb} = 40 °C*	P_{tot}	max.	250	mW
→ Storage temperature range	T_{stg}		−65 to + 150	°C
→ Junction temperature	T_j	max.	150	°C

THERMAL RESISTANCE

From junction to ambient*	$R_{th\ j\text{-}a}$	=	430	K/W

CHARACTERISTICS

T_j = 25 °C unless otherwise specified

			BFR30	BFR31	
Gate cut-off current					
$-V_{GS}$ = 10 V; V_{DS} = 0	$-I_{GSS}$	max.	0.2	0.2	nA
Drain current					
V_{DS} = 10 V; V_{GS} = 0	I_{DSS}	min.	4	1	mA
		max.	10	5	mA
Gate-source voltage					
I_D = 1 mA; V_{DS} = 10 V	$-V_{GS}$	min.	0.7	0	V
		max.	3.0	1.3	V
I_D = 50 μA; V_{DS} = 10 V	$-V_{GS}$	max.	4.0	2.0	V
Gate-source cut-off voltage					
I_D = 0,5 nA; V_{DS} = 10 V	$-V_{(P)GS}$	max.	5	2.5	V
y parameters					
Transfer admittance at f = 1 kHz; T_{amb} = 25 °C					
I_D = 1 mA; V_{DS} = 10 V	$\|y_{fs}\|$	min.	1.0	1.5	mS
		max.	4.0	4.5	mS
I_D = 200 μA; V_{DS} = 10 V	$\|y_{fs}\|$	min.	0.5	0.75	mS
Output admittance at f = 1 kHz					
I_D = 1 mA; V_{DS} = 10 V	$\|y_{os}\|$	max.	40	25	μS
I_D = 200 μA; V_{DS} = 10 V	$\|y_{os}\|$	max.	20	15	μS

Figure 4.86

***Source* : Philips Composants**

— **Figure 4.87.** Elle représente les caractéristiques de sortie I_D (V_{DS}) pour différentes valeurs de V_{GS}, dans le cas typique ainsi que la dispersion des caractéristiques I_D (V_{GS}) pour le transistor BFR30.

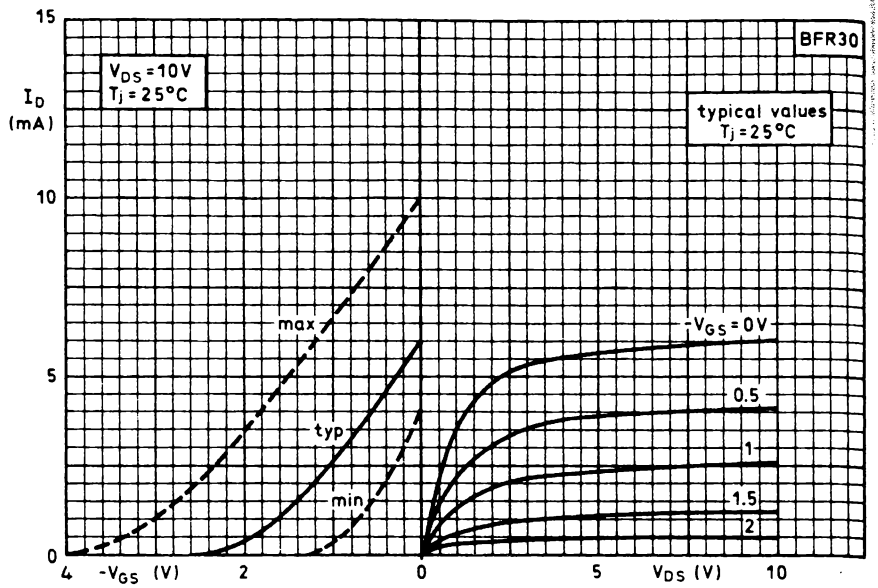


Figure 4.87
Source **: Philips Composants**

— **Figure 4.88.** Nous voyons l'évolution du courant I_D en fonction de la température pour diférentes valeurs de V_{GS} (transistor BFR30). Remarquons que pour les fortes valeurs du courant, I_D décroît avec la température, pour les faibles valeurs, c'est l'inverse et pour $I_D \simeq 0{,}8$ mA, la température est sans influence. C'est le point I_{D0} à dérive nulle.

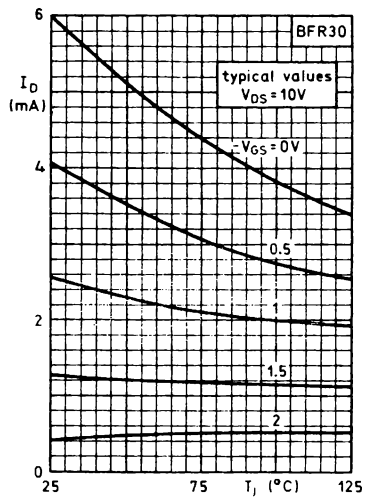


Figure 4.88
Source **: Philips Composants**

— **Figure 4.89.** Elle représente l'évolution du courant de fuite de grille I_{GSS} en fonction de la température. Si on prend deux valeurs :

$$T_j = 50°C, \qquad I_{GSS} = 10^{-2} \text{ nA}$$
$$T_j = 150°C, \qquad I_{GSS} = 2{,}2 \text{ nA}$$

On trouve $\dfrac{I_{GSS}\,(150)}{I_{GSS}\,(50)} = 220$ pour $\Delta\theta = 100°C$.

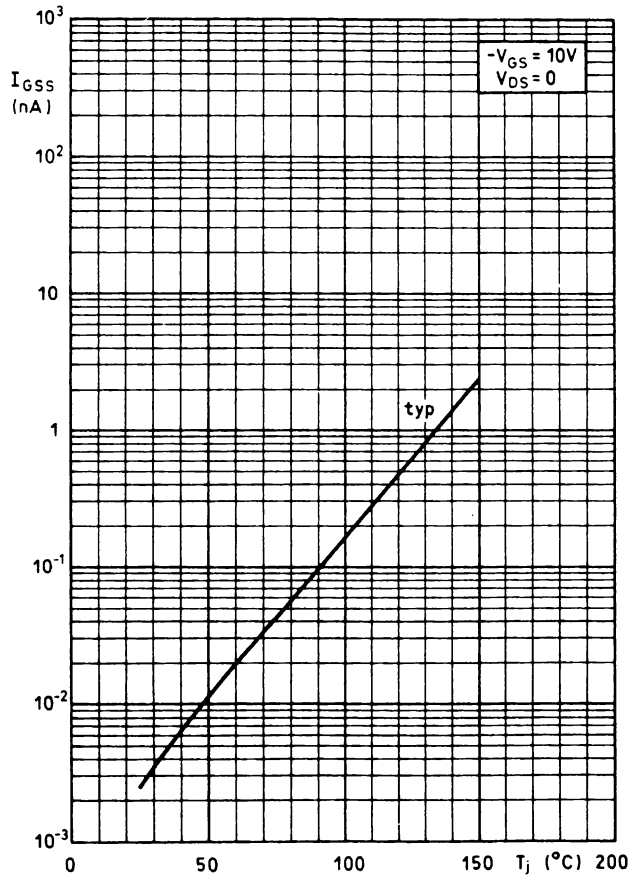


Figure 4.89

***Source* : Philips Composants**

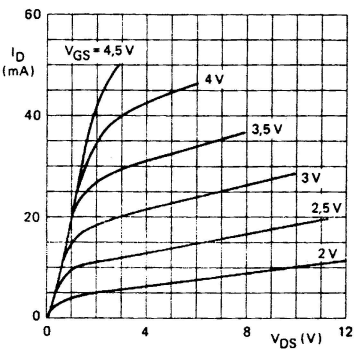
B. Transistor NMOS à enrichissement BSS83 (Philips Composants). La figure 4.90 nous indique que ce transistor présente une tenue en tension $V_{DS_{max}} = V_{SB_{max}} = 10$ V et $V_{DB_{max}} = V_{SB_{max}} = 15$ V ainsi qu'une intensité $I_{D_{max}} = 50$ mA. Remarquons la température maximale de jonction de 125°C. Les graphes représentés sont :

— I_D (V_{DS}) pour différentes valeurs de V_{GS} et $V_{SB} = 0$,
— I_D (V_{GS}) pour différentes valeurs de la polarisation du substrat V_{SB},
— I_D (V_{DS}) dans la zone ohmique pour différentes valeurs de V_{GS} et deux valeurs de V_{SB} (ce transistor est prévu pour les applications en commutation).

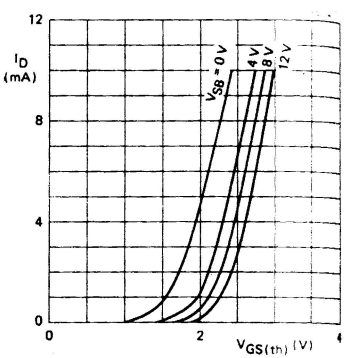
RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

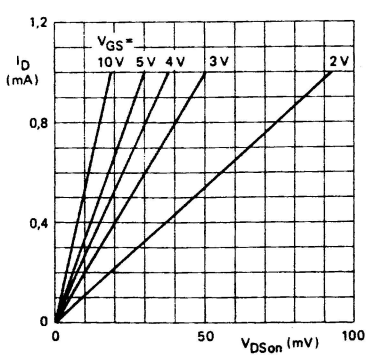
Drain-source voltage	V_{DS}	max.	10 V
Source-drain voltage	V_{SD}	max.	10 V
Drain-substrate voltage	V_{DB}	max.	15 V
Source-substrate voltage	V_{SB}	max.	15 V
Drain current (DC)	I_D	max.	50 mA
Total power dissipation up to T_{amb} = 25 °C*	P_{tot}	max.	230 mW
Storage temperature range	T_{stg}		−65 to + 150 °C
Junction temperature	T_j	max.	125 °C



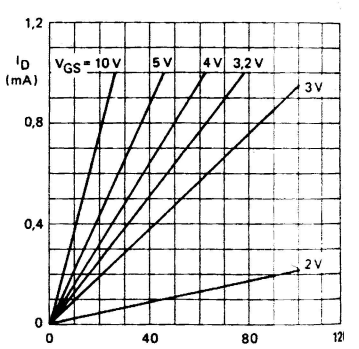
V_{SB} = 0; typical values.



V_{SB} = 6,8 V; typical values.



V_{SB} = 0; typical values.



$V_{DS} = V_{GS} = V_{GS(th)}$.

Figure 4.90

***Source* : Philips Composants**

C. **Transistor NMOS à déplétion BFR29** (RTC/Philips Composants). La figure 4.91 nous fournit $V_{DB_{max}} = 30$ V, $V_{SB_{max}} = 30$ V et $V_{GB_{max}} = \pm 10$ V. Le courant maximum est $I_{D_{max}} = 20$ mA.

RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

Drain-substrate voltage	V_{DB}	max.	30 V
Source-substrate voltage	V_{SB}	max.	30 V
Gate-substrate voltage (continuous)	$\pm V_{GB}$	max.	10 V
Repetitive peak gate to all other terminals voltage $V_{SB} = V_{DB} = 0$; $f > 100$ Hz	V_{G-N}	max. min.	15 V −15 V
Drain current (d.c.)	I_D	max.	20 mA
Drain current (peak value) $t_p = 20$ ms; $\delta = 0{,}1$	I_{DM}	max.	50 mA
Total power dissipation up to $T_{amb} = 25$ °C	P_{tot}	max.	200 mW
Storage temperature	T_{stg}	−65 to +	125 °C
Junction temperature	T_j	max.	125 °C

THERMAL RESISTANCE

From junction to ambient in free air	$R_{th\ j\text{-}a}$	=	500 K/W

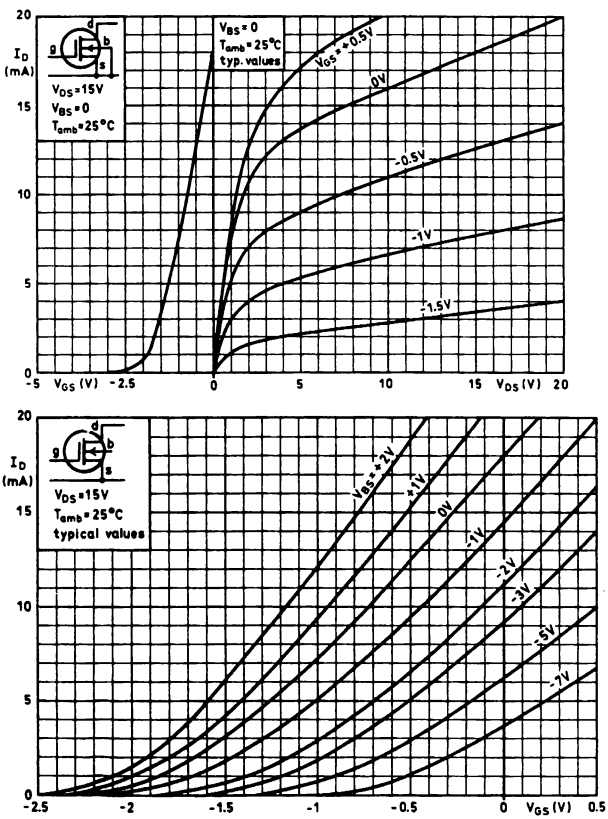


Figure 4.91

Source : **Philips Composants**

Nous trouvons aussi les graphes :
— I_D (V_{DS}) et I_D (V_{GS}) pour $V_{BS} = 0$
— I_D (V_{GS}) pour différentes valeurs de V_{BS}.

D. Transistor NMOS à déplétion, double grille, BFR 84 (RTC/Philips Composants). La figure 4.92 nous fournit :

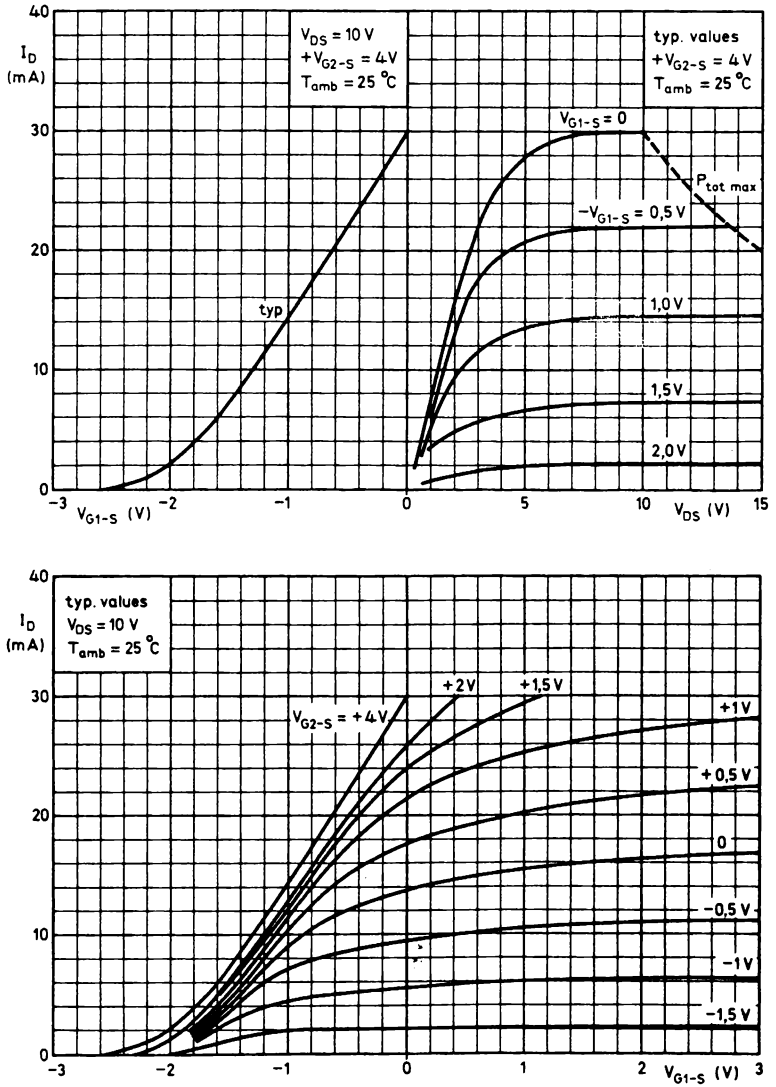


Figure 4.92
***Source* : Philips Composants**

— $I_D\,(V_{DS})$ pour différentes valeurs de V_{G1S} ainsi que $I_D\,(V_{G1S})$ avec $V_{G2S} = +4$ V,

— $I_D\,(V_{G1S})$ pour différentes valeurs de V_{G2S} de + 4 V à – 1,5 V.

Le substrat est relié à la source et chaque double grille est protégée par deux diodes Zener connectées en tête-bêche série. La valeur maximale de la tension V_{GSS} est de 6 V à 20 V, le courant de fuite maximum de grille I_{GSS}, de 10 nA à 25°C et 10 µA à 150°C, et le courant de grille maximum, de 10 mA. Notons en plus que I_{DSS} est compris entre 20 mA et 55 mA, pour $V_{G1S_{off}}$ compris entre 1,5 V et 3,8 V puis $V_{G2S_{off}}$ compris entre 1,5 V et 3,4 V.

4.2.9. EXERCICES

Exercice 1. **On utilise le transistor BFR30 de la figure 4.87 pour réaliser un amplificateur source commune (figure 4.93). La résistance R_S permet une polarisation automatique avec la grille ramenée au potentiel zéro grâce à la résistance R_G de 10 MΩ (on ne tient pas compte du courant de fuite).**

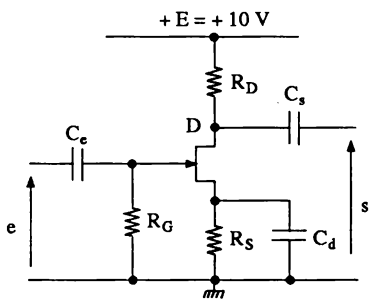


Figure 4.93

— Déterminer la valeur de R_S afin d'obtenir un courant de repos $I_{D_{min}} = \dfrac{I_{DSS_{min}}}{3}$.

— Dans ce cas, déterminer la valeur de R_D afin d'obtenir $V_{DS} = 8$ V.

— Que deviennent I_D et V_{DS} lorsque le transistor présente sa caractéristique de transfert maximale ?

Solution

Nous travaillons à partir de la caractéristique $I_D\,(V_{GS})$ de la figure 4.87, pour $V_{DS} = 10$ V. Dans notre cas, et pour les deux premières questions, nous avons $V_{DS} = 8$ V. Au vu de la caractéristique $I_D\,(V_{DS})$, on peut considérer que le graphe

I_D (V_{GS}) présenté reste valable. Pour bien indiquer le principe de calcul, nous reprenons les éléments de la figure 4.87, que nous reportons sur la figure 4.94 (en réalité, il faudra travailler sur la caractéristique réelle).

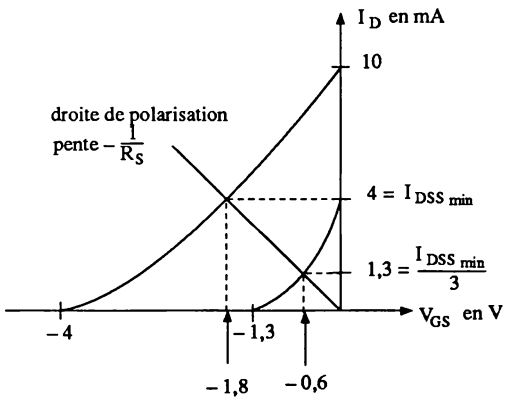


Figure 4.94

— Le cahier des charges nous impose le point $\frac{I_{DSS_{min}}}{3}$ donc I_D = 1,3 mA, associé à V_{GS} = – 0,6 V. La résistance R_S vaut alors

$$R_S = \frac{0{,}6}{1{,}3 \cdot 10^{-3}} = 0{,}46 \cdot 10^3 = \mathbf{460\ \Omega.}$$

— L'équation statique

$$E = R_D I_D + V_{DS} + R_S I_D$$

nous permet d'obtenir la valeur de R_D

$$R_D = \frac{E - V_{DS} - R_S I_D}{I_D} = \frac{10 - 8 - 0{,}6}{1{,}3 \cdot 10^{-3}} = \mathbf{1\ 080\ \Omega.}$$

— Dans le cas où la caractéristique I_D (V_{GS}) est maximale, le point de rencontre de celle-ci et de la droite de polarisation nous fournit

$$\mathbf{I_D = 4\ mA.}$$

On en déduit la valeur de V_{DS}

$$V_{DS} = E - (R_D + R_S) I_D$$
$$V_{DS} = 10 - (1\ 540) \cdot 4 \cdot 10^{-3} = \mathbf{3{,}84\ V.}$$

Remarque. Si nous revenons à la figure 4.69, le point de repos se situe entre :

$P_{max} \rightarrow V_{DS}$ = 3,84 V et I_D = 4 mA
$P_{min} \rightarrow V_{DS}$ = 8 V et I_D = 1,3 mA.

Le maximum de signal que l'on pourra obtenir en sortie, dans le cas le plus défavorable sera *s* crête à crête = 4 V (de 8 V à E = 10 V et symétriquement).

Exercice 2. **L'amplificateur de la figure 4.95 utilise un transistor BFR31, défini par les éléments de la figure 4.86 et polarisé à courant constant. Le transistor bipolaire T_2 présente un gain en courant $\beta = 100$.**

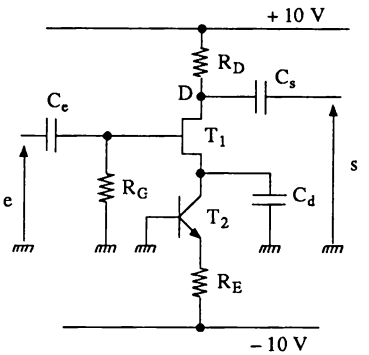


Figure 4.95

— Représenter les caractéristiques extrêmes I_D (V_{GS}).

— Déterminer les éléments statiques du montage, si on veut travailler dans de bonnes conditions (on prendra $R_G = 1$ mΩ et $V_{RD} = 2$ V).

— Quelles sont les valeurs extrêmes possibles de V_{DS} et V_{CE} si on néglige l'influence du courant de fuite de grille ?

Solution

— La figure 4.86 nous fournit

$$\left.\begin{array}{lcl} I_{DSS_{max}} & = & 5\text{ mA} \\ I_{DSS_{min}} & = & 1\text{ mA} \\ V_{(P)GS_{max}} & = & V_{GS_{offmax}} = -2{,}5\text{ V} \end{array}\right\} \quad V_{DS} = 10\text{ V}$$

Comme l'alimentation positive est 10 V et que nous nous imposons $V_{RD} = 2$ V, la tension V_{DS} se situe autour de 7 V. On peut considérer qu'à cette valeur, les caractéristiques précédentes restent valables.

On représente sur la figure 4.96, la caractéristique maximale sachant que sa tangente au point I_{DSS} coupe l'axe V_{GS} à la valeur $V_{GS_{off}}/2 = -1{,}25$ V, et qu'à cette valeur, I_D est égal à $I_{DSS}/4$.

La caractéristique minimale est déduite de la précédente, par translation de la tangente précitée et passant par le point $I_{DSS_{min}} = 1$ mA et $V_{GS_{offmin}}/2$.

— Travailler dans de bonnes conditions impose de polariser le transistor à $I_D = I_{DSS_{min}}/2$, soit $I_D = 0{,}5$ mA. La tension aux bornes de R_E étant 9,4 V, on en déduit la valeur de R_E en négligeant le courant I_B ($I_E \simeq I_C = I_D$)

$$R_E = \frac{9{,}4}{0{,}5 \cdot 10^{-3}} = 18{,}8\text{ kΩ}.$$

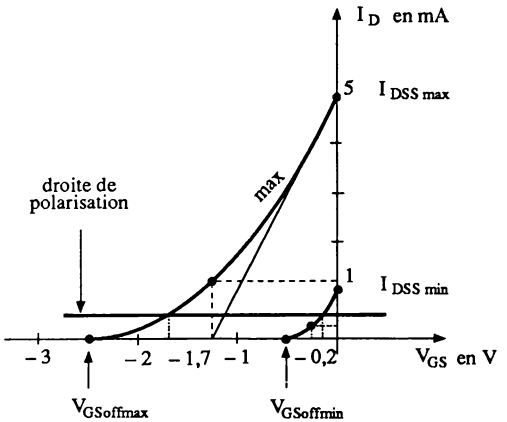


Figure 4.96

La résistance R_D vaut

$$R_D = \frac{2}{0{,}5 \cdot 10^{-3}} = 4\ \text{k}\Omega.$$

— Le courant étant constant, la tension V_{GS} varie de – 1,7 V à – 0,2 V. Le potentiel de la source se situe entre + 1,7 V et + 0,2 V et les tensions aux bornes des transistors :

- caractéristique minimale

$$V_{CE} = 0{,}2 - (-0{,}6) = +\,\mathbf{0{,}8\ V}$$
$$V_{DS} = 8 - 0{,}2 = \mathbf{7{,}8\ V}$$

- caractéristique maximale

$$V_{CE} = 1{,}7 - (-0{,}6) = +\,\mathbf{2{,}3\ V}$$
$$V_{DS} = 8 - 1{,}7 = \mathbf{6{,}3\ V}$$

Exercice 3. **On considère le schéma de la figure 4.71 avec E = 10 V, R_1 = 30 kΩ, R_2 = 20 kΩ, R = 1 000 MΩ et un transistor BFR30. La température de fonctionnement est de 25°C.**

— En utilisant la caractéristique typique I_D (V_{GS}) de la figure 4.87, déterminer la valeur de R_S si on veut travailler au point à dérive nulle. Que vaut V_{DS} si R_D = 2 kΩ ?

— Malgré les précautions précédentes, le point de repos I_D – V_{DS} varie lorsque la température est de 125°C. Indiquer la cause de cette variation ainsi que la nouvelle valeur de I_D.

Solution

— Le point à dérive nulle est donné par les caractéristiques I_D (T_j) de la figure 4.88. Le courant $I_D \simeq 0{,}8$ mA est constant pour $V_{GS} \simeq -1{,}75$ V. On

positionne ce point sur la caractéristique typique I_D (V_{GS}) de la figure 4.97 (copie de la figure 4.87). La droite de polarisation passe obligatoirement par ce point et coupe l'axe des abscisses à la valeur

$$V_{GS} = \frac{R_2}{R_1 + R_2} \cdot E = \frac{2}{5} \cdot 10 = 4 \text{ V}$$

en vérifiant que la chute de tension aux bornes de R est négligeable (la figure 4.89 nous donne un courant de fuite de grille de 2,5 pA à 25°C donc $V_R = 2{,}5 \cdot 10^{-12} \cdot 10^{-9} = 2{,}5$ mV).

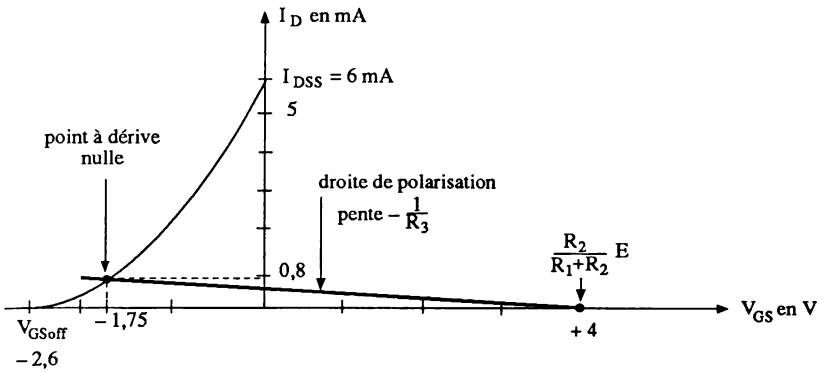


Figure 4.97

La résistance R_S conditionnant la pente de la droite de polarisation vaut

$$R_S = \frac{\Delta V_{GS}}{\Delta I_D} = \frac{4 + 1{,}75}{0{,}8 \cdot 10^{-3}} = \mathbf{7{,}18\ k\Omega.}$$

La tension V_{DS} est déduite de la relation

$$E = R_D I_D + V_{DS} + R_S I_D$$

soit

$$V_{DS} = 10 - (2 \times 0{,}8) - 5{,}75 = \mathbf{2{,}65\ V.}$$

Remarque

Nous avons vu, au paragraphe 4.2.3 que le point à dérive nulle pouvait être obtenu en utilisant la relation approchée

$$I_{D0} \simeq I_{DSS} \left(\frac{0{,}66}{V_{GSoff}} \right)^2.$$

L'application numérique nous donne $I_{D0} \simeq 0{,}38$ mA. Cette valeur, moitié de celle indiquée pour le transistor BFR30, laisse supposer que celui-ci utilise le substrat comme grille (une seule jonction canal-grille).

— Lorsque la température varie de 25°C à 125°C, le courant I_D ne reste constant que si le potentiel de la grille est lui aussi constant. Ce n'est pas le cas pour

notre montage, car le courant de fuite de grille atteint une valeur de 0,5 nA (figure 4.89) et la chute de tension aux bornes de R n'est plus négligeable

$$V_R = 5 \cdot 10^{-8} \cdot 10^{-9} = 0{,}54 \text{ V}$$

donc une tension de grille par rapport à la masse

$$V_{GM} = \frac{R_2}{R_1 + R_2} E + 0{,}5 = 4{,}5 \text{ V}$$

La nouvelle valeur de I_D est obtenue en représentant une nouvelle droite de polarisation translatée par rapport à la précédente (même pente, $-\frac{1}{R_S}$), coupant l'axe des abscisses à la valeur V_{GS} = 4,5 V. Cette droite non représentée serait si proche de la première qu'elle nous fournirait un courant I_D très légèrement supérieur à 0,8 mA.

Exercice 4. **Un transistor NMOS à enrichissement, de référence BSS83, est polarisé par un pont de résistances (figure 4.98). En utilisant les caractéristiques de la figure 4.90 :**

— Déterminer la valeur du point de repos V_{DS} lorsque le substrat est relié à la source.

— Que devient ce point de repos lorsque le substrat est relié à la masse (valeur approchée) ?

— Déterminer la valeur V_X de Early.

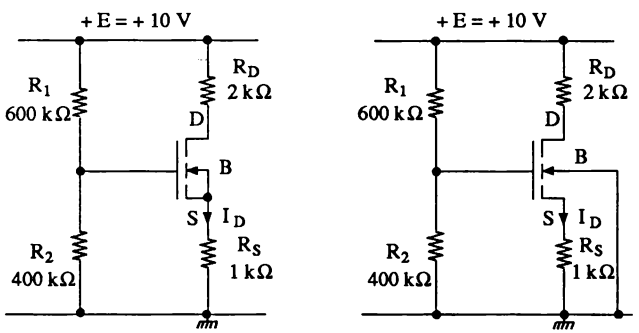


Figure 4.98

Solution

— Nous reportons la caractéristique I_D (V_{GS}) sur la figure 4.99. La droite de polarisation dont l'équation est

$$\frac{R_2}{R_1 + R_2} \cdot E = V_{GS} + R_S I_D$$

soit $$I_D = -\frac{1}{R_S} V_{GS} + \frac{R_2}{R_1 + R_2} \cdot \frac{E}{R_S}$$

coupe les axes aux valeurs $V_{GS} = 4$ V et $I_D = 4$ mA et la caractéristique I_D (V_{GS}) (pour $V_{SB} = 0$) aux valeurs $V_{GS} \simeq 1{,}7$ V et $I_D \simeq 2{,}3$ mA.

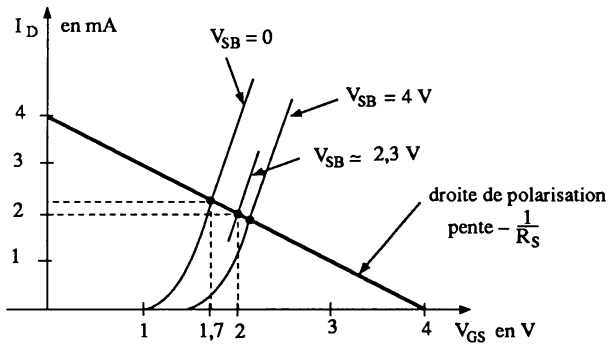


Figure 4.99

On en déduit la tension V_{DS}

$$V_{DS} = E - (R_S + R_D) I_D$$

soit $$V_{DS} = 10 - 3 \cdot 2{,}3 = \mathbf{3{,}1\ V}.$$

— Lorsque le substrat est relié à la masse, il y a modification du courant I_D. La nouvelle valeur de ce courant est difficile à définir avec précision sachant que I_D évolue en fonction de V_{GS} et de V_{SB}. On peut toutefois partir de la valeur $V_{SB} = R_S I_D = 2{,}3$ V obtenue précédemment et interpoler sur la figure 4.99 [ou mieux sur le graphe I_D (V_{GS}) de la figure 4.90]. On trouve approximativement $I_D = 2$ mA donc

$$V_{DS} = 10 - 3 \cdot 2 = \mathbf{4\ V}.$$

— La tension V_X de Early s'obtient en traçant une droite portée par la caractéristique I_D (V_{DS}) pour, par exemple, $V_{GS} = 2$ V. Cette droite coupe l'axe des abscisses à la valeur $\mathbf{V_X = -6\ V}$.

4.3. APPLICATIONS QUASI STATIQUES DES TRANSISTORS A EFFET DE CHAMP

Le fonctionnement quasi statique est un fonctionnement en régime continu et basses fréquences, lorsque les capacités parasites n'interviennent pas. On exclut le fonctionnement en amplificateur qui sera vu dans la section suivante.

4.3.1. SOURCES A COURANT CONSTANT*

4.3.1.1. Utilisation d'un transistor JFET canal *N*

La figure 4.100 représente un transistor JFET polarisé par une résistance d'émetteur R. A la mise sous tension, le courant I_D évolue tel que $RI_D = -V_{GS}$ donc $I_D = \dfrac{|V_{GS}|}{R}$.

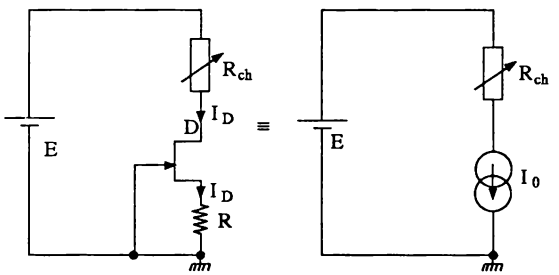


Figure 4.100

Dans le cas d'un transistor parfait, une modification de E et de R_{ch} n'entraîne pas de variation de I_D tant que $V_{DS} > V_{DS_{sat}}$. On pourrait donc prendre une valeur de R correspondant au courant I_D souhaité, de zéro ($R = \infty$) jusqu'à I_{DSS} ($R = 0$). En réalité, il faut tenir compte de la conductance du canal dans la zone saturée

$$g_{os} = \frac{\Delta I_{D_{sat}}}{\Delta V_{DS}}.$$

Ainsi, une valeur de g_{os} égale à 100 µs, correspond à une résistance dynamique de la source de courant de 10 kΩ et à une stabilité du courant de 100 µA par volt. Au vu des caractéristiques réelles (par exemple, celles de la figure 4.87), la conductance g_{os} diminue linéairement lorsque I_D diminue, suivant la relation

$$\frac{I_D}{I_{DSS}} = \frac{g_{os}}{g'_{os}}.$$

On a donc intérêt à travailler avec un courant I_D le plus faible possible.

Les considérations précédentes ne tiennent pas compte de l'évolution possible de V_{GS}. Si tel est le cas, il faut utiliser la relation de la transconductance $g_{fs} = \dfrac{\Delta I_D}{\Delta V_{GS}}$. La figure 4.101 nous indique que, pour deux valeurs de R, donc de I_D,

---

* Extrait de Low Power Discretes Data Book - Siliconix.

la variation ΔI_D pour un même ΔV_{GS} est d'autant plus importante que I_D est important. Voici donc une seconde raison de travailler à faible courant I_D.

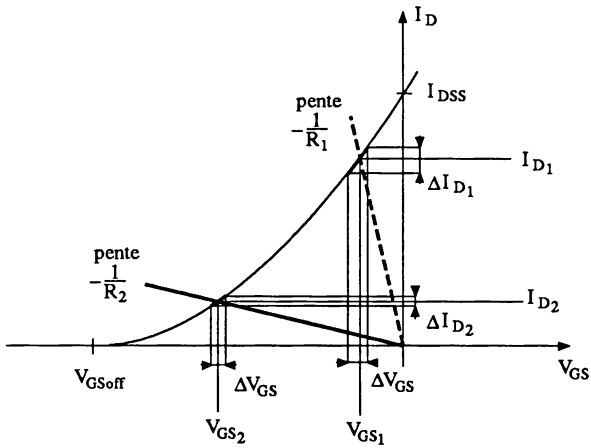


Figure 4.101

Remarque. Cette source de courant, utilisant un transistor JFET et une résistance R, se trouve en pratique intégrée. Elle est utilisée comme limiteur de courant. Siliconix fabrique ce genre de fonction dont le taux de « régulation » atteint 10 %, pour un courant ajusté, compris entre 0,22 mA et 4,7 mA (séries CR022 à CR470, CRR0240 à CRR4300, J500 à J557).

4.3.1.2. Utilisation de deux transistors JFET

La figure 4.102 représente une source de courant utilisant deux JFET connectés en série. Le courant I_D est contrôlé par T_1 et R.

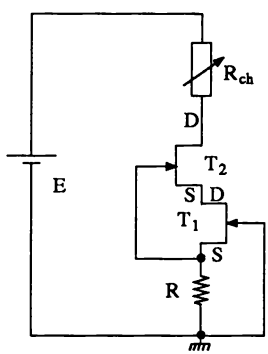


Figure 4.102

On montre (exercices de fin de section 4.4) que la conductance de cette source de courant est

$$g_{\text{équi}} = \frac{g_{os}^2}{g_{fs}\,(1 + R g_{fs})} \qquad \begin{cases} g_{os} = \dfrac{\Delta I_{Dsat}}{\Delta V_{DS}} \\ g_{fs} = \dfrac{\Delta I_{Dsat}}{\Delta V_{GS}} \end{cases}$$

Exemple. Si $g_{os} = 100\ \mu S$, $g_{fs} = 1\ mS = 1\ mA/V$ et $R = 10\ k\Omega$, alors

$$g_{\text{équi}} = \frac{10^{-8}}{10^{-3}\,(1 + 10^4 \cdot 10^{-3})} \simeq 10^{-6}\ S = \mathbf{1\ \mu S}$$

pour $R = 0$

$$g_{\text{équi}} = \frac{10^{-8}}{10^{-3}} = 10^{-5}\ S = \mathbf{10\ \mu S}$$

donc, dans tous les cas, une transconductance

$$g_{\text{équi}} < g_{os}.$$

Remarques

— Il existe, en pratique, des transistors JFET à très faible conductance g_{os} (2N4869, $g_{os} = 1\ \mu S$ pour $V_{DS} = 20\ V$ – Siliconix).

— On peut réaliser une source à courant ajustable en utilisant une résistance de polarisation R variable. La figure 4.103 indique un montage à un seul transistor de référence 2N4869. Le courant peut varier de 5 µA à 1 mA. La résistance équivalente interne à la source de courant est supérieure à 2 MΩ. On peut aussi utiliser le schéma de la figure 4.102, et faire varier la résistance R.

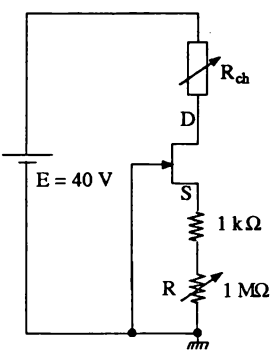


Figure 4.103

— Dans le cas où l'utilisation R_{ch} se situe vers la ligne négative de l'alimentation, le schéma de la source de courant est inchangé (figure 4.104).

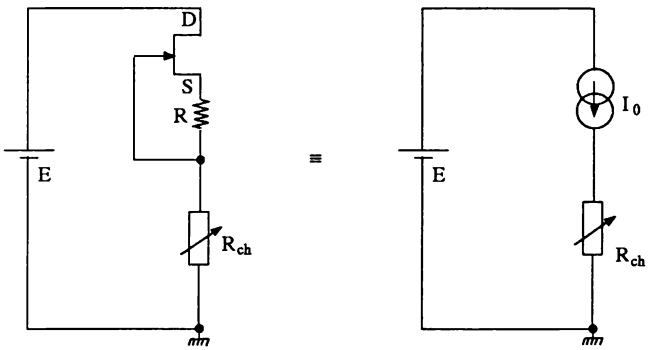


Figure 4.104

4.3.1.3. Utilisation des transistors NMOS

A. Source de courant à transistors NMOS à déplétion. Le schéma de la figure 4.105 ressemble à celui de la figure 4.104. Le transistor NMOS à déplétion a un comportement identique à celui du transistor JFET. Le courant s'établit à une valeur telle que

$$RI_0 = |V_{GS}|.$$

Pour que cette source de courant présente une bonne stabilité en fonction de l'évolution de v_E et de R_{ch}, il faut utiliser un transistor présentant une très faible conductance de sortie g_{os}. Citons le transistor SD2100 de Siliconix avec g_{os} = 350 µS pour V_{DS} = 10 V et I_D = 10 mA.

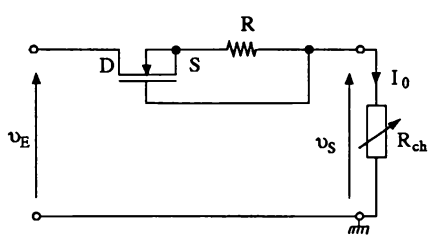


Figure 4.105

Notons que l'utilisation du transistor NMOS ne concurrence pas le transistor JFET.

B. Source de courant à transistor NMOS à enrichissement. L'utilisation des transistors de puissance NMOS à enrichissement permet de réaliser des sources à fort courant, à condition de respecter les contraintes thermiques (radiateur, etc.).

La figure 4.106 représente une telle fonction. Le transistor T_1 (NMOS à déplétion) travaille en source de courant de faible valeur. Il permet d'imposer un courant constant dans la résistance R' qui polarise T_2. Dans ces conditions, V_{GS} de T_2 est constante et on peut supposer que I_D donc I_0 est lui aussi constant.

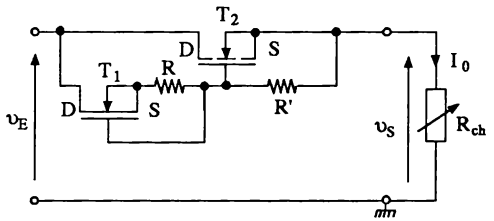


Figure 4.106

Remarques

— Il faut que la conductance de sortie g_{os} du transistor T_2 soit de faible valeur.

— Pour une tension v_E importante, on peut toujours trouver un transistor T_2 supportant cette tension. Il n'en n'est pas de même pour T_1.

— On peut remplacer le transistor NMOS à déplétion par un transistor JFET.

— Pour toutes ces sources de courant, on peut définir les caractéristiques dynamiques à partir du schéma équivalent en régime variable (voir section 4.4).

4.3.2. FONCTIONNEMENT EN INTERRUPTEUR STATIQUE

Comme pour les transistors bipolaires, les transistors à effet de champ peuvent être utilisés en interrupteur statique, c'est-à-dire bloqués ou conducteurs avec des cycles de fonctionnement réduits (nous verrons le problème de la commutation rapide et de puissance au chapitre 5 et de la commutation analogique au chapitre 6).

Remarques

— Le choix d'un transistor à effet de champ travaillant en commutation est un choix de tenue en tension V_{DS}, d'intensité maximale I_D et **surtout de résistance du canal $R_{DS_{on}}$ dans la zone non saturée.**

— L'avantage du transistor à effet de champ comparé au transistor bipolaire est sa commande en tension à intensité quasi nulle.

— Dans le cas des MOS, il faut toujours tenir compte des protections internes éventuelles, entre grille et source ou entre grille et substrat (utilisation de diodes Zener).

— Nous présentons, dans ce paragraphe, la commutation d'une charge résistive, à partir du schéma de la figure 4.107. Dans le cas d'une charge inductive ou capacitive, nous raisonnons comme pour le transistor bipolaire (paragraphe 3.3.3).

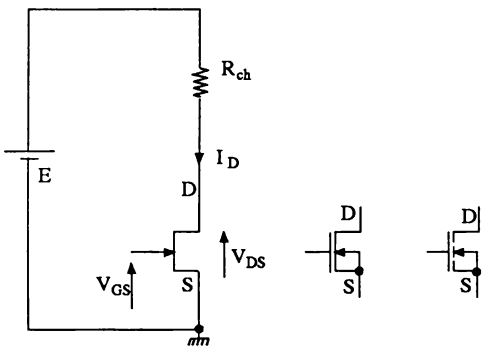


Figure 4.107

4.3.2.1. Transistor JFET et NMOS à déplétion

Nous représentons, sur la figure 4.108, les caractéristiques extrêmes I_D (V_{GS}) et le réseau I_D (V_{DS}). Prenons la droite de charge 1. La condition de blocage est $V_{GS} < V_{GSoffmax}$. La condition de conduction extrême est $V_{GS} = 0$; alors $V_{DS} = V_{DS1}$. Le transistor est équivalent à sa résistance R_{DSon}.

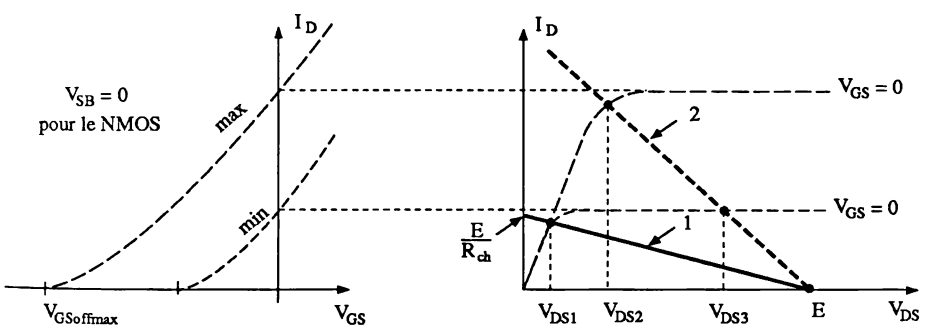


Figure 4.108

Pour la droite de charge 2 et une tension $V_{GS} = 0$, on trouve soit V_{DS2} avec la caractéristique I_D (V_{GS}) maximale, soit V_{DS3} avec la caractéristique I_D (V_{GS}) mini-

male. Ce dernier point de conduction peut être amélioré dans le cas du transistor NMOS à déplétion en le commandant avec une tension V_{GS} positive. On peut toutefois conclure que les bonnes conditions de fonctionnement en interrupteur statique, quel que soit le transistor utilisé sont :

$V_{BRGS} < V_{GS} < V_{GSoffmax}$ (interrupteur ouvert)

$\frac{E}{R_{ch}} < I_{DSSmin}$ et $V_{GS} = 0$ ou $V_{GS} > 0$ pour un transistor NMOS (interrupteur fermé).

4.3.2.2. Transistor NMOS à enrichissement

Il faut, là aussi, considérer les caractéristiques extrêmes I_D (V_{GS}) de la figure 4.109. A partir d'une résistance de charge donnée, on trace la droite de charge et on raisonne avec la caractéristique I_D $(V_{GS})_{max}$ correspondant au cas le plus défavorable. La tension de commande limite est $V_{GSmax\ lim} = V_{GS1}$. Elle nous fournit une tension V_{DS1} trop importante. Pour que cette tension soit plus faible (V_{DS2}), il faut augmenter V_{GS} (V_{GS2}). Ainsi, les bonnes conditions de fonctionnement en interrupteur statique sont :

$V_{GS} < V_{Tmin}$ (interrupteur ouvert)

$V_{GS} > V_{GSmax\ lim}$ (interrupteur fermé).

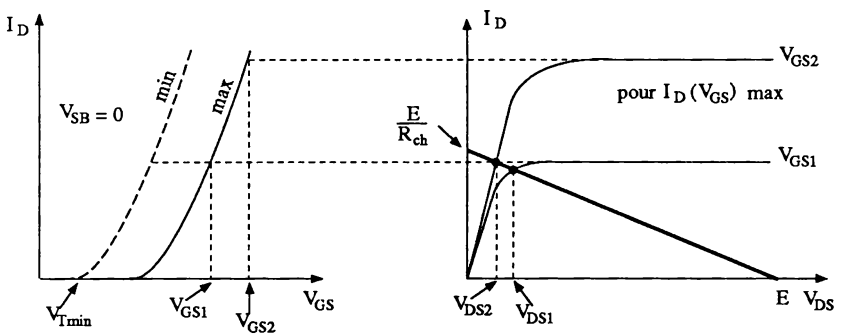


Figure 4.109

Remarque. Dans tous les cas, si on veut que la résistance R_{DSon} soit d'influence négligeable devant R_{ch}, il faut $R_{ch} >> R_{DSon}$, donc une valeur $I_D = E/R_{ch}$ faible.

4.3.3. FONCTIONNEMENT EN RÉSISTANCE COMMANDÉE

Le fonctionnement des transistors à effet de champ en résistance commandée, impose de travailler avec le réseau de caractéristiques I_D (V_{DS}), dans le

premier et le troisième quadrant ($I_D - V_{DS}$, positifs puis négatifs). Ces caractéristiques ont été présentées sur les figures 4.50 (JFET) puis 4.54 et 4.55 (MOSFET). On peut considérer que la zone à peu près linéaire se situe :

pour V_{DS}, entre – 0,2 V et + 0,2 V,
pour I_D, à une valeur très faible devant I_{DSS}.

Dans ce genre d'application, on utilise couramment les transistors JFET canal *N*. Siliconix propose le transistor VCR2N dont la résistance minimale est 20 Ω, la tension $V_{GS_{off}} = -1$ V et le courant de fuite de grille $I_{GSS} = 0{,}5$ pA. On trouve aussi dans cette série le VCR4N ($R_{DS_{on}} = 200$ Ω, $V_{GS_{off}} = -3{,}5$ V, $I_{GSS} = 0{,}2$ pA) et le VCR7N ($R_{DS_{on}} = 4\,000$ Ω, $V_{GS_{off}} = -2{,}5$ V, $I_{GSS} = 0{,}1$ pA). Dans le cas où on utilise les NMOS, le substrat est relié à la source.

On admet que, pour ces transistors, la valeur de la résistance commandée R_{DS} est approximée par la relation

$$R_{DS} = \frac{R_{DS_{on}}}{1 - \left|\frac{V_{GS}}{V_{GS_{off}}}\right|}$$

avec $R_{DS_{on}} = R_{DS}$ pour $V_{GS} = 0$.

4.3.3.1. Exemples d'application

La liste des exemples présentés n'est pas limitative.

— **Atténuateur simple** (figure 4.110). Nous avons la relation

$$\frac{s}{e} = \frac{R_{DS}}{R + R_{DS}} = K.$$

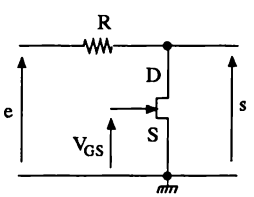


Figure 4.110

Prenons comme application numérique : $R = 10$ kΩ et $R_{DS_{on}} = 100$ Ω. Le coefficient d'atténuation K évolue entre :

$K \simeq 1$ pour $V_{GS} = V_{GS_{off}}$

$K \simeq \frac{1}{100}$ pour $V_{GS} = 0$.

— **Atténuateur double** (figure 4.111). On améliore le montage précédent en utilisant deux atténuateurs simples, en cascade. L'atténuation totale est définie par la relation

$$\frac{s}{e} = \frac{R_{DS}^2}{R^2 + 3R \cdot R_{DS} + R_{DS}^2} = K$$

si les deux transistors sont identiques. En utilisant les mêmes applications numériques que précédemment, nous obtenons

$$K \simeq 1 \qquad \text{pour} \quad V_{GS} = V_{GS_{off}}$$

$$K \simeq \frac{1}{10\,000} \qquad \text{pour} \quad V_{GS} = 0.$$

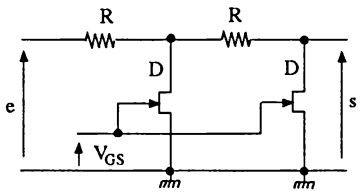


Figure 4.111

— **Filtres du premier ordre ou correcteurs de phase.** Les figures 4.112 et 4.113 représentent respectivement un filtre passe-bas (retard de phase) et un filtre passe-haut (avance de phase). L'application d'une tension de commande V_{GS} fait varier la valeur de la résistance R_{DS} donc la fréquence de cassure $\dfrac{1}{2\pi R_{DS} C}$.

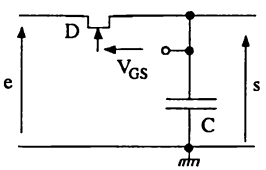


Figure 4.112

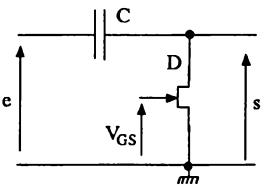


Figure 4.113

Dans le cas du filtre passe-bas, la commande du transistor JFET ne s'effectue plus par rapport à la masse. Elle doit donc être « flottante », ce qui n'est, certes, pas évident à réaliser.

— **Amplificateur à gain commandé** (figure 4.114). Nous prenons le cas d'un amplificateur opérationnel fonctionnant en amplificateur inverseur. Le transistor à effet de champ est connecté au point commun des résistances R_1 et R_2. Associé à R_1, il joue le rôle d'atténuateur simple, en entrée. Un exercice de fin de

section présente ce montage, plus en détail. Nous trouverons d'autres montages amplificateurs à gain commandé dans la section suivante (CAG).

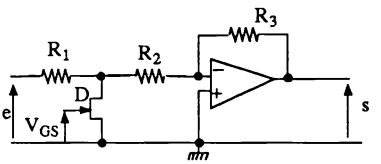


Figure 4.114

— **Filtre sélectif accordable** (figure 4.115). Sans le transistor JFET, la fonction de transfert de ce filtre à double contre-réaction (structure de Rauch) est

$$\frac{S(p)}{E(p)} = -\frac{R_3\,Cp}{\dfrac{R_1+R_2}{R_2} + 2\,R_1\,Cp + R_1\,R_3\,C^2p^2}$$

avec

$$\omega_0 = \frac{\sqrt{1+R_1/R_2}}{C\sqrt{R_1\,R_3}}$$

et

$$Q = \frac{1}{2}\sqrt{\frac{R_3}{R_1}\left(1+\frac{R_1}{R_2}\right)}$$

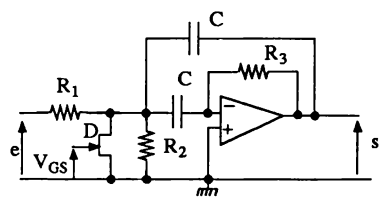


Figure 4.115

Avec le transistor à effet de champ, on modifie la résistance globale $R_2//R_{DS}$, donc la pulsation d'accord ω_0, mais aussi le coefficient de surtension Q. Le montage n'est qu'indicatif. Beaucoup d'autres structures permettent de réaliser un filtre sélectif.

4.3.3.2. Problème de la distorsion

Lorsqu'on reprend le réseau de caractéristiques I_D (V_{DS}) du JFET, pour différentes valeurs de V_{GS} (figure 4.116), on constate que celles-ci ne sont droites que pour $V_{DS} \simeq 0$. Au delà, leur courbure est d'autant plus importante que V_{GS} tend vers $V_{GS_{off}}$, donc que R_{DS} est importante. Ceci se traduit par une distorsion

importante. La figure 4.117 représente un signal sinusoïdal $e = 0{,}2 \sin \omega t$, appliqué à l'entrée de l'atténuateur simple, présenté sur la figure 4.110 et dont la résistance R vaut 10 kΩ. Lorsque $V_{GS} = V_{GS2}$, la résistance R_{DS} au voisinage de $V_{DS} = 0$ vaut 10 kΩ. Dans ces conditions, on obtiendrait un signal $s = 0{,}5 \sin \omega t$ si R_{DS} était constante. Comme ce n'est pas le cas, le signal de sortie s est déformé :

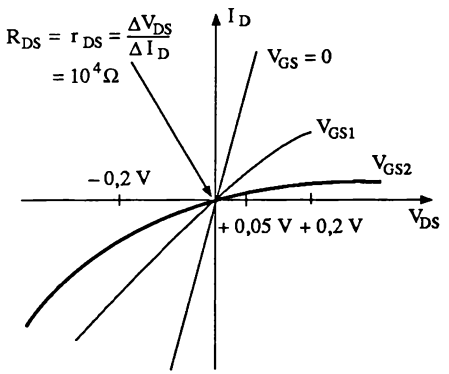


Figure 4.116

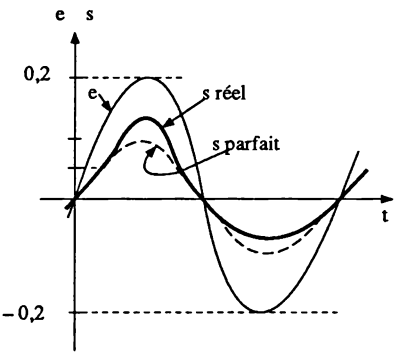


Figure 4.117

— **en positif**, à cause de la faible valeur de $V_{DS_{sat}}$. A partir de cette valeur, le courant I_D est constant ainsi que la chute de tension aux bornes de R. Il y a translation de la tension s par rapport à e ($\Delta s = \Delta e + RI_D$),

— **en négatif**, à cause de l'augmentation de la conductance, donc de la diminution de r_{DS} (résistance différentielle).

On améliore très nettement le fonctionnement du transistor JFET en résistance commandée, en effectuant un « genre » d'asservissement que l'on pourrait appeler contre-réaction *(feedback)*. Le principe en est indiqué sur la figure 4.118. Pour une tension de commande V_C, la tension V_{GS} est fonction du niveau du signal de sortie s. Ainsi, sans contre-réaction, $V_{GS} = V_C$ (tension négative, par exemple – 1 volt), avec contre-réaction, deux cas se présentent :

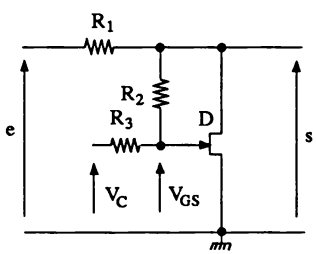


Figure 4.118

— $e > 0$ **donc** $s > 0$, alors V_{GS} augmente et se situe entre – 1 volt et 0 volt. On passe vers les caractéristiques I_D (V_{DS}) supérieures. Le transistor conduit plus, il atténue plus le signal et s réel tend vers s parfait.

— $e < 0$ **donc** $s < 0$, alors V_{GS} diminue et se situe à une valeur inférieure à – 1 volt. On passe vers les caractéristiques I_D (V_{DS}) inférieures. Le transistor conduit moins, il atténue moins le signal et s réel tend vers s parfait.

La figure 4.119 représente deux caractéristiques I_D (V_{DS}) pour un transistor VCR7N (Siliconix), sans feedback en traits pointillés et avec feedback en traits pleins. Pour des tensions de 1 volt crête-à-crête, la distorsion passe de 10 % à 0,8 %.

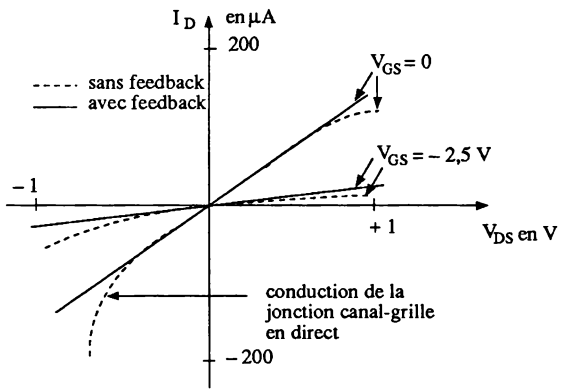


Figure 4.119

Remarque. Les résistances R_2 et R_3 jouent un rôle atténuateur supplémentaire. Leur valeur est alors définie par la relation

$$R_2 = R_3 \geq 10\ (R//R_{DS_{max}}//R_{ch}).$$

Notons que $R//R_{DS}$ représente la résistance de Thévenin de l'atténuateur et R_{ch}, la résistance d'utilisation en sortie (non représentée).

Un inconvénient de cette commande est que la tension V_C doit être double de V_{GS} (inconvénient surmontable).

4.3.3. Étude théorique de la distorsion*

Lorsque $V_{DS} < V_{DS_{sat}}$ (avec $V_{DS_{sat}} = V_{GS} - V_{GS_{off}}$), la relation du courant I_D, dans le premier quadrant, est approximée à la fonction quadratique

---

* Extrait de Proceedings of the IEEE, October 1968, pp. 1718-1719.

$$I_D \simeq I_{DSS}\left[\left(1-\frac{V_{GS}}{V_{GSoff}}\right)^2-\left(1-\frac{V_{GS}-V_{DS}}{V_{GSoff}}\right)^2\right]$$

soit
$$I_D=\frac{2I_{DSS}}{V_{GSoff}^2}\cdot V_{DS}\left(V_{GS}-V_{GSoff}-\frac{V_{DS}}{2}\right).$$

Dans le troisième quadrant, la grille est commandée par rapport au drain. L'expression du courant I_D s'écrit

$$-I_D=-\frac{2I_{DSS}}{V_{GSoff}^2}\cdot V_{DS}\left(V_{GD}-V_{GSoff}+\frac{V_{DS}}{2}\right)$$

avec $V_{GD}=V_{GS}-V_{DS}$.

Dans les deux cas, et à proximité de l'origine des axes, on obtient une conductance statique

$$G_{DS}=\frac{I_D}{V_{DS}}=-\frac{2I_{DSS}}{V_{GSoff}}\left(1-\frac{V_{GS}}{V_{GSoff}}\right)-\frac{I_{DSS}}{V_{GSoff}^2}\cdot V_{DS}$$

Cette conductance statique est aussi égale à

$$G_{DS}=g_{DS}+\frac{g_{DSS}\cdot V_{DS}}{2\,V_{GSoff}}$$

où g_{DS} représente la conductance dynamique à l'origine

et $g_{DSS}=g_{DS}$ pour $V_{GS}=0$.

En reprenant l'atténuateur de la figure 4.110, nous obtenons

$$\frac{s}{e}=\frac{\dfrac{1}{g_{DS}}}{R+\dfrac{1}{g_{DS}}}=\frac{1}{1+Rg_{DS}}.$$

Après utilisation de l'expression G_{DS} et de I_D, puis simplification nous obtenons

$$s=\frac{e}{1+Rg_{DS}}\left[1-\frac{Rg_{DS}\cdot e}{2\,V_{GSoff}\,(1+Rg_{DS})^2}+\text{terme négligeable}\right]$$

En ne considérant que le second harmonique, pour le calcul de la distorsion (voir ouvrage *Amplificateurs de puissance*), on obtient

$$d\simeq\frac{e\cdot Rg_{DS}}{4\,|V_{GSoff}|\,(1+Rg_{DS})^2}\simeq\frac{e}{4\,|V_{GSoff}-V_{GS}|}.$$

Cette relation indique que la distorsion augmente avec V_{GS}, ce que nous avions constaté.

Dans le cas où nous utilisons la contre-réaction de la figure 4.118, nous remplaçons, dans les deux expressions précédentes de I_D :

V_{GS} par $V_C+0{,}5\,V_{DS}$

V_{GD} par $V_C-0{,}5\,V_{DS}$

et on aboutit à l'approximation

$$I_D \simeq \frac{2I_{DSS}}{V_{GSoff}^2} \cdot V_{DS} (V_C - V_{GSoff}).$$

Cette fonction non quadratique nous indique que la caractéristique I_D (V_{DS}) est ramenée à une droite. La distorsion est alors nulle.

4.3.4. EXERCICES

Exercice 1. **On réalise un générateur de courant à partir des schémas des figures 4.100 et 4.102. Les transistors utilisés sont des BFR30 dont les caractéristiques réelles I_D (V_{GS}) et I_D (V_{DS}) sont présentées sur la figure 4.87.**

— Déterminer, dans le cas de la figure 4.100, la valeur de la résistance R si on veut I_{0min} = 1 mA. Quelle sera la valeur possible de I_{0max} ? Quelle doit être la valeur maximale de E ainsi que la valeur de R_{ch}, permettant de travailler dans de bonnes conditions ?

— Pour la figure 4.102, on prend la caractéristique I_D (V_{GS}) typique. Si I_0 = 1 mA, déterminer la valeur de V_{GS1}, V_{GS2} et V_{DS1}. Pour une tension E = 20 V, quelle doit être la valeur maximale de R_{ch} ?

Solution

— On travaille avec les caractéristiques de la figure 4.87 que l'on reporte sur la figure 4.120. Le courant I_{0min} correspond à la caractéristique I_D $(V_{GS})_{min}$. La droite de polarisation de pente $-\frac{1}{R}$ coupe cette caractéristique au point I_D = 1 mA et V_{GS} = – 0,7 V. On en déduit

$$R = \frac{0,7}{10^{-3}} = 700\ \Omega.$$

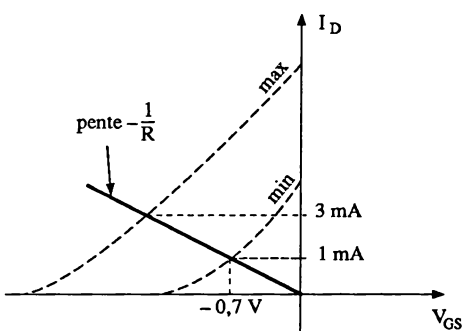


Figure 4.120

Dans le cas de la caractéristique I_D $(V_{GS})_{max}$, pour la même résistance R, on trouve $I_D = I_{0max} = \mathbf{3\ mA}$. Ainsi, la valeur du courant peut se situer entre 1 mA et 3 mA.

La valeur maximale de E correspond à la valeur maximale de la tension V_{DS} donnée par la figure 4.86, soit $V_{DSmax} = \mathbf{25\ V} = E$.

On peut admettre que le transistor fournit un courant constant jusqu'à une tension $V_{DSmin} = 3$ volts (figure 4.87). Comme la tension maximale possible aux bornes de la résistance R est $|V_{GSmax}| = 2{,}1$ volts, le générateur de courant génère un courant constant pour une tension supérieure à 2,1 + 3 = 5,1 volts. La tension maximale disponible aux bornes de R_{ch} est $E - 5{,}1 = 19{,}9$ V, pour un courant maximum possible de 3 mA, ce qui permet d'obtenir la valeur maximale de R_{ch} :

$$R_{chmax} = \frac{19{,}9}{3 \cdot 10^{-3}} = \mathbf{6{,}63\ k\Omega.}$$

— Dans le cas de la figure 4.102, la valeur de la résistance R est déduite de la caractéristique I_D (V_{GS}) (figure 4.87 reportée sur la figure 4.121).

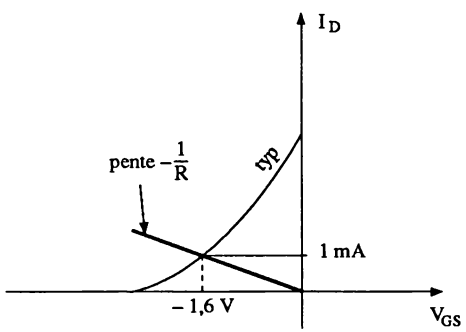


Figure 4.121

On trouve $V_{GS1} = \mathbf{-1{,}6\ V}$. Comme le courant I_0 est le même pour les deux transistors, on a $V_{GS2} = \mathbf{-1{,}6\ V}$ donc $V_{DS1} = \mathbf{+1{,}6\ V}$.

Si on considère, comme dans le cas précédent, une tension $V_{DS2min} = 3$ V, la tension maximale disponible aux bornes de R_{ch} est $E - (V_R + V_{DS1} + V_{DS2min})$ soit $20 - (1{,}6 + 1{,}6 + 3) = 13{,}8$ V, donc une résistance $R_{chmax} = \dfrac{13{,}8}{10^{-3}} = \mathbf{13{,}8\ k\Omega.}$

Exercice 2. **On veut réaliser la source de courant de la figure 4.106. La tension v_E est issue d'un ensemble redresseur-filtrage. Cette tension est la somme d'une tension moyenne $v_E = 30$ V et d'une ondulation $v_e = 5$ V. Les caractéristiques du transistor T_1 sont $V_{DSmax} = 40$ V, $I_{DSS} = 4$ mA, $V_{GSoff} = -2$ V.**

— Quelle doit être la valeur de R si on veut que la résistance R' soit parcourue par un courant constant de 1 mA ?

— Le transistor T_2 génère un courant de 1 ampère pour V_{GS} = + 2 V. Indiquer la valeur de R'.

— La tension V_X de Early, pour ce transistor de puissance, est de − 100 V. En déduire sa conductance de sortie ainsi que la variation relative du courant due à l'ondulation v_e.

— Quelle est la puissance maximale dissipée dans T_2 ?

Solution

— La tenue en tension du transistor T_1 est suffisante pour travailler dans de bonnes conditions. Le courant de 1 mA représente $I_{DSS}/4$. A cette valeur correspond $V_{GS} = V_{GSoff}/2 = -1$ V (revoir figure 4.16). Ainsi

$$R = \frac{1}{10^{-3}} = 1\ \text{k}\Omega.$$

— Pour que le transistor T_2 puisse fournir un courant de 1 A, il faut

$$V_{GS2} = R' I_{D1} = 2\ \text{V}$$

soit

$$R' = \frac{2}{10^{-3}} = 2\ \text{k}\Omega.$$

— La pente de la caractéristique I_D (V_{DS}) du transistor T_2 est associée à la tension de Early. On peut admettre la relation

$$g_{os} = \frac{I_{Dsat}}{|V_X|} = \frac{1}{100} = 10^{-2}\ \text{S} = 10\ \text{mA/V}.$$

La variation de $I_0 = I_{D2}$ sera de 50 mA ($\Delta V_{DS} = v_e = 5$ V) et la variation relative

$$\frac{\Delta I_D}{I_0} = \frac{50 \cdot 10^{-3}}{1} = 0{,}05 \quad \text{soit 5 \%}.$$

— La puissance dissipée dans T_2 est maximale lorsque $R_{ch} = 0$, donc $V_{DS} = V_E$. Ainsi,

$$P_{max} = V_E I_0 = 30\ \text{W}.$$

Exercice 3. **On réalise l'amplificateur à gain commandé de la figure 4.114. Les valeurs des résistances sont R_1 = 9 kΩ, R_2 = 1 kΩ et R_3 = 1 MΩ. L'amplificateur opérationnel est considéré parfait.**

— Entre quelles valeurs varie le gain en tension si la résistance R_{DS} évolue entre 100 Ω et 100 kΩ ?

— Quelle doit être, dans tous les cas, la valeur maximale du signal d'entrée e (crête à crête) si la tension maximale aux bornes du transistor ne doit pas dépasser 0,2 V ?

— Est-il possible de réduire la distorsion du signal de sortie, et de quelle manière ?

Solution

— Pour déterminer le gain en tension de l'ensemble, il faut transformer l'atténuateur d'entrée en un générateur de Thévenin équivalent ($E_{Th} = e \dfrac{R_{DS}}{R_1 + R_{DS}}$ et $R_{Th} = \dfrac{R_1 R_{DS}}{R_1 + R_{DS}}$). Comme $e_- \simeq 0$, on écrit

$$\frac{e \dfrac{R_{DS}}{R_1 + R_2}}{\dfrac{R_1 R_{DS}}{R_1 + R_{DS}} + R_2} = -\frac{s}{R_3}.$$

On peut, toutefois, simplifier et admettre que :

- pour $R_{DS} = 100\ \text{k}\Omega$, $\dfrac{s}{e} \simeq -\dfrac{R_3}{R_1 + R_2} = \mathbf{-100}$
- pour $R_{DS} = 100\ \Omega$, $\dfrac{s}{e} \simeq -\dfrac{R_{DS}}{R_1} \cdot \dfrac{R_3}{R_2} = \mathbf{-11{,}1}$

— La tension maximale d'entrée est définie à partir du diviseur de tension d'entrée. Ainsi :

- pour $R_{DS} = 100\ \text{k}\Omega$, $V_{DS} \simeq \dfrac{R_2}{R_1 + R_2} \cdot e \simeq \dfrac{1}{10} \cdot e$

  soit $\quad e_{max} = 10 \cdot 0{,}4 = \mathbf{4\ V\ crête\ à\ crête.}$

- pour $R_{DS} = 100\ \Omega$, $V_{DS} \simeq \dfrac{R_{DS}}{R_1 + R_{DS}} \simeq \dfrac{1}{90} \cdot e$

  soit $\quad e_{max} = 90 \cdot 0{,}4 = \mathbf{36\ V\ crête\ à\ crête.}$

Remarquons que pour ces deux cas limites, la tension de sortie s est largement saturée.

— Améliorer la distorsion du signal de sortie, revient à utiliser le schéma de la figure 4.118. Il suffit de rajouter deux résistances R_4 et R_5 (équivalentes à R_2 et R_3 de la figure précitée), de valeur

$$R_2 = R_3 \geq 10\ (R_1 // R_2) \simeq 10\ R_2$$

soit

$$R_2 = R_3 \geq 10\ \text{k}\Omega.$$

(Des résistances de 100 kΩ conviendraient très bien.)

4.4. AMPLIFICATEURS CONTINUS ET BASSES FRÉQUENCES

4.4.1. SCHÉMAS ÉQUIVALENTS DU TRANSISTOR À EFFET DE CHAMP EN RÉGIME LENTEMENT VARIABLE

4.4.1.1. Paramètres naturels du JFET

En basses fréquences, les transistors à effet de champ sont représentés par leurs paramètres naturels. La figure 4.122 fait intervenir :

— la résistance dynamique d'entrée r_{gs},

— la résistance dynamique entre drain et source r_{ds},

— le générateur de courant $g\ v_{gs}$ (où g représente la transconductance).

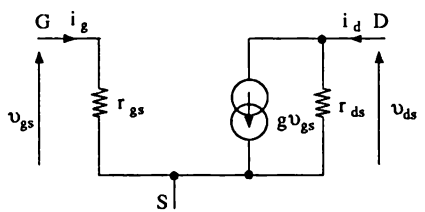


Figure 4.122

Pour alléger les calculs, on peut utiliser le schéma équivalent de la figure 4.123 sachant que la résistance d'entrée est de forte valeur (au-delà de $10^{10}\ \Omega$) et que la résistance r_{ds} est souvent de forte valeur devant les résistances extérieures au transistor.

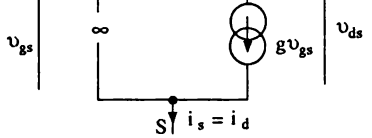


Figure 4.123

4.4.1.2. Détermination des paramètres du JFET

— **Résistance d'entrée r_{gs}.** Ce paramètre est rarement donné directement. Si on considère que la caractéristique courant-tension I_G (V_{GS}) du circuit d'entrée,

dans la zone normale de commande, est une droite (caractéristique d'une résistance de très forte valeur quasi confondue avec l'axe des abscisses), on peut utiliser le point particulier donné par le constructeur : courant de fuite I_{GSS} pour une tension V_{GS} donnée. Ainsi, RTC donne pour le transistor JFET, BFR30 : $I_{GSS} = -0{,}2$ nA pour $V_{GS} = -10$ V à 25°C. On en déduit

$$R_{GS} \simeq r_{gs} = \frac{10}{0{,}2 \cdot 10^{-9}} = 5 \cdot 10^{10}\ \Omega$$

— **Résistance entre drain et source r_{ds}.** Cette résistance est associée à la pente de la caractéristique I_D (V_{DS}), au delà de la saturation. En pratique, sa valeur est donnée sous la forme d'une conductance g_{os} ou d'une admittance y_{os} (à courant I_D et tension V_{DS} imposés). On peut admettre que

$$\frac{1}{r_{ds}} = g_{os} = y_{os} = y_{22s} \simeq \frac{I_{Dsat}}{V_X} = \frac{I_{D0}}{V_X}$$

en Siemens S, ou en mS ou en mA/V. V_X représente la tension de Early.

— **Transconductance g.** Ce paramètre, défini précédemment, représente la pente de la caractéristique de transfert I_D (V_{GS}) au point de repos $I_{D0} - V_{GS0}$ considéré. En pratique, on trouve sur les caractéristiques

$$g_{fs} = y_{fs} = y_{12s} = g = \frac{\Delta I_D}{\Delta V_{GS}} \quad \text{en S ou en mA/V}$$

Toutefois, les relations théoriques permettent d'obtenir

- **Pour le JFET**

$$g = g_{fs} = -\frac{2}{V_{GSoff}} \sqrt{I_{D0} \cdot I_{DSS}} \qquad (V_{GSoff} < 0)$$

à partir de

$$I_{D0} \simeq I_{Dsat} = I_{DSS}\left(1 - \frac{V_{GS}}{V_{GSoff}}\right)^2$$

et

$$g = g_{fs} = -\frac{2\,I_{DSS}}{V_{GSoff}}\left(1 - \frac{V_{GS0}}{V_{GSoff}}\right)$$

- **Pour le MOSFET** ($V_{BS} = 0$)

$$g = g_{fs} = \frac{l}{L}\,\mu_n\,C_{ox}\,(V_{GSO} - V_T)$$

$$= 2\sqrt{\frac{l}{L}\,\frac{\mu_n\,C_{ox}}{2} \cdot I_{D0}}$$

Remarques

— Ces relations sont obtenues à partir des éléments des paragraphes 4.1.2.4 et 4.1.3.4.

— Les paramètres admittances y_{ij} définis en hautes fréquences sont la somme d'une partie réelle et d'une partie imaginaire ($y = a + jb$). Dans le cas des basses fréquences, seul le terme a est utilisable.

— Lorsque le transistor MOS présente une tension $V_{SB} \neq 0$, la variation $\Delta V_{SB} = v_{sb}$ engendre une variation $\Delta I_D = i_d$. La relation complète

$$i_d = g_{fs}\, v_{gs} + g_b\, v_{sb} + g_{os}\, v_{ds}$$

avec g_{fs}, transconductance associée à v_{gs}
g_b, transconductance associée à v_{sb}
g_{os}, conductance associée à v_{ds}

sera utilisée au paragraphe 4.4.3, puis au chapitre 6, à l'occasion de la présentation des circuits intégrés analogiques, en technologie MOS.

4.4.1.3. Exemples de caractéristiques de composants discrets

Les figures 4.124 (transistors JFET-BFR30-31) et 4.125 (transistors NMOS à déplétion-BFR29) représentent l'évolution de $y_{os} = \dfrac{1}{r_{ds}}$ en fonction de la valeur du courant I_D, pour une tension $V_{DS} > V_{DS_{sat}}$ imposée. De toute évidence, si on veut utiliser le schéma équivalent simplifié de la figure 4.123, il faut une très faible valeur de y_{os} (très forte valeur de r_{ds}), donc un faible courant de repos I_{D0}. Prenons deux exemples :

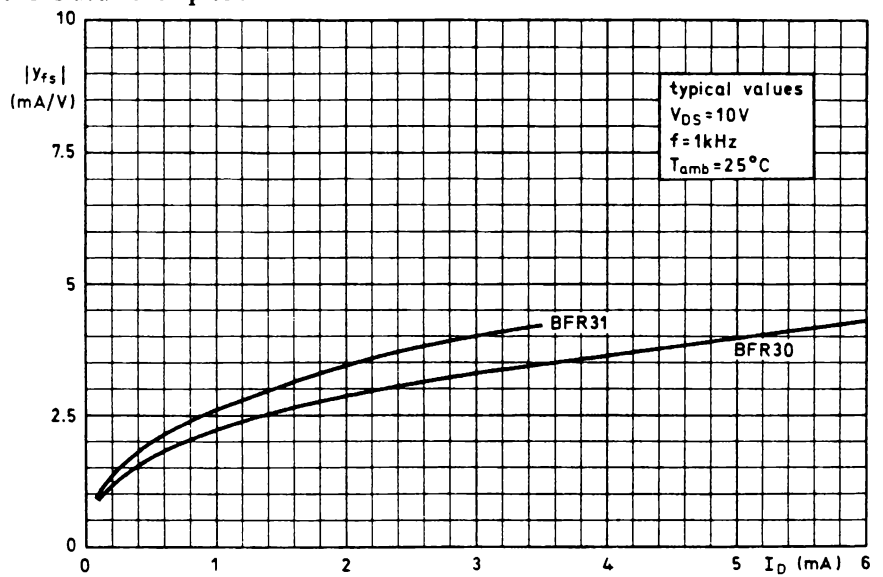


Figure 4.124

Source : **Philips Composants**

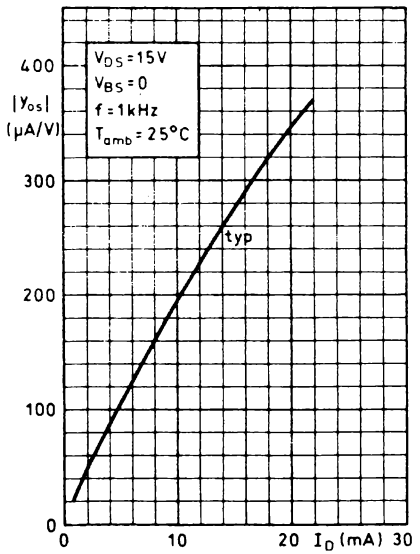


Figure 4.125

***Source :* Philips Composants**

— **Transistor JFET-BFR30.** Pour I_{D0} = 5 mA et V_{DS0} = 10 V, nous avons y_{os} = 45 μA/V, soit

$$r_{ds} = 22{,}2\ \text{k}\Omega.$$

— **Transistor NMOS-BFR29.** Pour I_{D0} = 5 mA et V_{DS0} = 15 V, nous avons y_{os} = 100 μA/V, soit

$$r_{ds} = 10\ \text{k}\Omega.$$

Les figures 4.126 (transistors JFET-BFR30-31) et 4.127 (transistors NMOS à déplétion-BFR29) représentent l'évolution de la pente $y_{fs} = g$, en fonction de I_D. Au vu des caractéristiques I_D (V_{GS}) de la section 4.2, il est évident que la pente augmente en fonction du courant I_D. On a intérêt à travailler à forte valeur de I_{D0}, ce qui est contradictoire lorsqu'on considère le paramètre y_{os}.

Remarques

— **La pente $g = \dfrac{i_d}{v_{gs}}$ des transistors à effet de champ (quelques mA/V) est très inférieure à la pente $g = \dfrac{i_c}{v_{be}} = \dfrac{\beta}{h_{11}}$ des transistors bipolaires pour une même intensité ($g \simeq \dfrac{1}{25\ \text{mV}} = 40$ mA/V lorsque I_C = 1 mA). Il s'en suit des valeurs de gain en tension beaucoup plus faibles** (cette pente est proportionnelle à $\sqrt{I_D}$ pour les transistors à effet de champ et proportionnelle à I_C pour les transistors bipolaires)

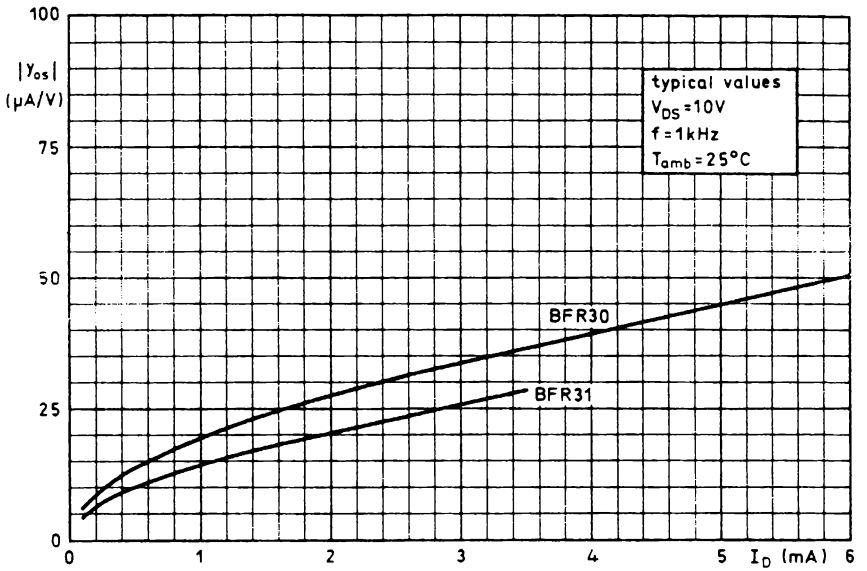


Figure 4.126

Source : **Philips Composants**

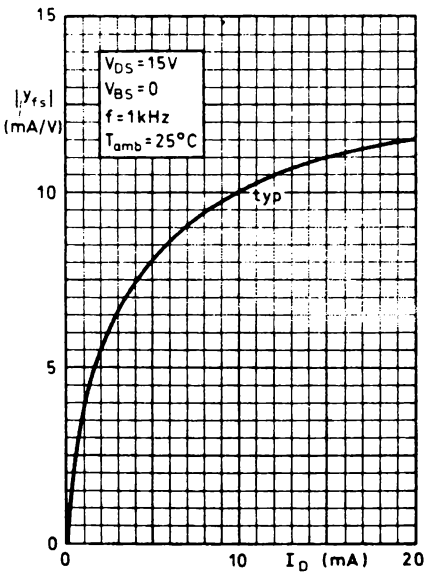


Figure 4.127

Source : **Philips Composants**

— Dans le cas où on prend la pente maximale $I_{D0} \simeq I_{DSS}$, il faudra ajouter la résistance r_{ds} sur la figure 4.123.

4.4.2. MONTAGES FONDAMENTAUX

L'étude des montages fondamentaux utilisant les transistors à effet de champ est identique à celle des montages à transistors bipolaires. Comme cette dernière a été vue en détail (section 3.4), nous invitons le lecteur à s'y reporter.

4.4.2.1. Montages source commune

Dans un montage source commune, la source est « figée », le signal à amplifier est appliqué sur la grille alors que la sortie se situe sur le drain. La figure 4.128 représente trois montages source commune :

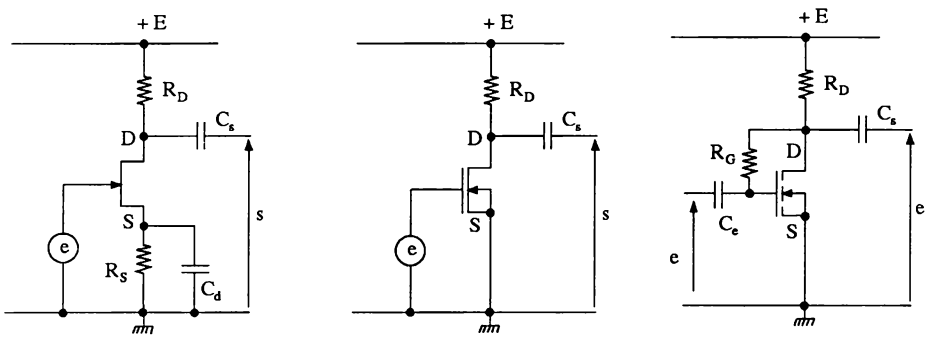


Figure 4.128

— **Transistor JFET, canal *N*.** La polarisation automatique impose de découpler la résistance R_S par un condensateur C_d (sa valeur est déterminée au paragraphe 4.4.2.7). Le générateur d'attaque polarise directement la grille. La sortie se fait par liaison capacitive.

— **Transistor NMOS à déplétion.** La polarisation correspond à $V_{GS} = 0$, donc $I_D = I_{DSS}$ (polarisation classique, puisque ce transistor à déplétion peut aussi travailler dans la zone d'enrichissement).

— **Transistor NMOS à enrichissement.** Ce transistor est polarisé par réaction de drain ($V_{GS} = V_{DS}$). L'avantage de cette polarisation est que, si I_D tend à varier (par exemple à augmenter), $V_{RD} \uparrow$, $V_{DS} \downarrow$, $V_{GS} \downarrow$, ce qui tend à diminuer I_D, donc stabiliser le point de repos.

Ces trois montages présentent un schéma équivalent identique, si on ne tient pas compte des éléments de polarisation.

• **Figure 4.129** (influence négligeable de r_{ds}). Alors on écrit

$$e = v_{gs}$$

$$s = -R_D\,(i_d + i_s) = -R_D\,(g\,v_{gs} + i_s)$$

soit

$$s = -g\,R_D \cdot e - R_D\,i_s = G_{V0} \cdot e - R_s\,i_s.$$

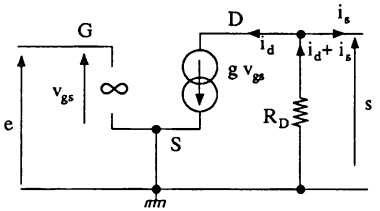


Figure 4.129

Les paramètres électriques sont

$$G_{v0} = -g\,R_D$$

$$R_s = R_D.$$

Application numérique : $g = 5$ mS $= 5$ mA/V, $R_D = 2$ kΩ

donc $\quad G_{v0} = -g\,R_D = -5 \cdot 10^{-3} \cdot 2 \cdot 10^3 = \mathbf{-10}.$

• **Figure 4.130.** On tient compte de r_{ds}. Il est clair que cette résistance se situe en parallèle avec R_D. Les résultats précédents deviennent

$$G_{v0} = -g\,(R_D // r_{ds})$$

$$R_s = R_D // r_{ds}$$

Application numérique : $g = g_{fs} = 5$ mA/V, $r_{ds} = \dfrac{1}{g_{os}} = 10$ kΩ, $R_D = 2$ kΩ

$$G_{v0} = -5 \cdot 10^{-3} \cdot 1{,}6 \cdot 10^3 = \mathbf{-8}.$$

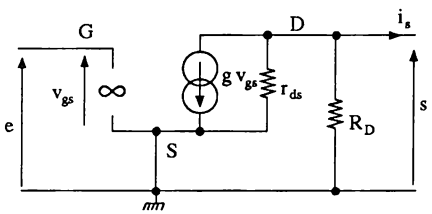


Figure 4.130

• **Résistance d'entrée.** Dans les deux premiers cas, la résistance d'entrée est égale à r_{gs}. Sa forte valeur permet d'écrire :

$$R_e \simeq \infty.$$

Dans le troisième cas (NMOS à enrichissement), la résistance R_G est connectée entre l'entrée et la sortie d'un amplificateur de gain $-A$. Le théorème de Miller permet de déplacer cette résistance vers l'entrée telle que

$$R_e = \frac{R_G}{1 + A}.$$

Le montage source commune est un montage amplificateur en tension de faible gain et de forte résistance d'entrée. Il est surtout utilisé comme préamplificateur.

4.4.2.2. Montage à charge répartie

La figure 4.131 représente un transistor JFET polarisé automatiquement. La résistance R_S n'est pas découplée. On est donc en présence d'un montage où il y a répartition des résistances de polarisation entre le drain et la source. La sortie s'effectue sur le drain.

Le schéma équivalent simplifié est celui de la figure 4.132. Comme on sort sur le drain, on sait que

$$R_s \simeq R_D.$$

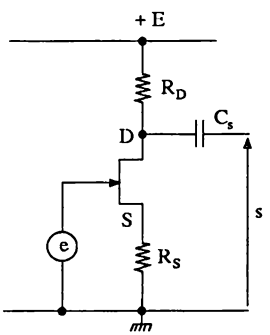


Figure 4.131

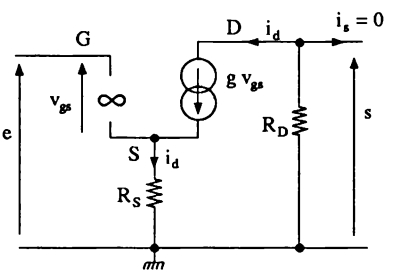


Figure 4.132

En prenant $i_s = 0$, on écrit

$$e = v_{gs} + R_S\, i_d = v_{gs} + R_S\, g\, v_{gs} = (1 + R_S\, g)\, v_{gs}$$
$$s = -R_D\, i_d = -R_D\, g\, v_{gs}.$$

On en déduit

$$G_{v0} = \frac{s}{e} = -\frac{g R_D}{1 + g R_S}.$$

Si $g R_S >> 1$, on obtient

$$G_{v0} = \frac{s}{e} \simeq -\frac{R_D}{R_S}$$

La résistance d'entrée est quasi infinie

$$R_e \simeq \infty.$$

Remarques

— Le terme $\frac{g}{1 + g R_S}$ représente la pente dynamique de ce montage, pente affaiblie par rapport à g à cause de la résistance R_S non découplée.

— Si on tient compte de r_{gs}, la résistance d'entrée devient $R_e = r_{gs} (1 + g R_S)$. Cette forte valeur par rapport à r_{gs} est due à la présence de R_S qui impose une contre-réaction (voir paragraphe 3.4.5.1).

— **Le montage à charge répartie n'est, en pratique, que très peu utilisé à cause de son très faible gain en tension.**

4.4.2.3. Montage drain commun

Dans un montage drain commun, le drain est « figé », le signal d'entrée est appliqué sur la grille alors que la sortie s'effectue sur la source. Le schéma de la figure 4.133 représente un transistor JFET polarisé par un pont de résistances $R_1 - R_2$. Ce schéma n'est pas limitatif (voir paragraphe 4.2.5.2).

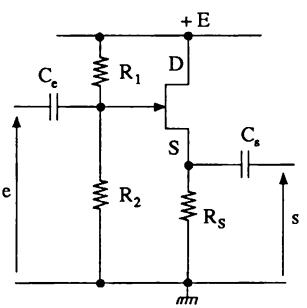


Figure 4.133

Le schéma équivalent en régime lentement variable est représenté sur la figure 4.134. La résistance d'entrée est celle du pont de polarisation

$$R_e \simeq R_1 // R_2.$$

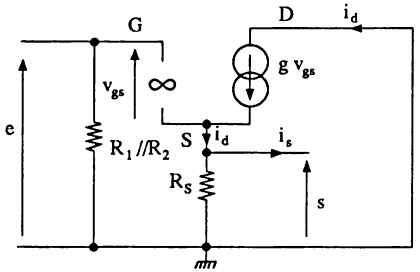


Figure 4.134

Le gain en tension G_{v0} et la résistance de sortie R_S sont fournis par la relation du générateur de Thévenin en sortie. Nous avons

$$e = v_{gs} + s \rightarrow v_{gs} = e - s$$

$$s = R_S\,(i_d - i_s) = R_S\,(g\,v_{gs} - i_s)$$

Ainsi,

$$s = R_S\,g\,(e - s) - R_S\,i_s$$

$$s\,(1 + R_S\,g) = R_S\,g \cdot e - R_S\,i_s$$

$$s = \frac{R_S\,g}{1 + R_S\,g} \cdot e - \frac{R_S}{1 + R_S\,g} \cdot i_s$$

Donc

$$G_{v0} = \frac{g\,R_S}{1 + g\,R_S} \quad \text{et} \quad R_S = \frac{R_S}{1 + g\,R_S}$$

Remarques

— Si le générateur d'attaque polarise directement la grille, la résistance d'entrée est très grande. Cette résistance d'entrée est améliorée en réalisant un bootstrapp (paragraphe 4.2.5.2 – montage 7).

— L'expression de la résistance de sortie correspond à

$$R_s = R_S // \frac{1}{g} = \frac{R_S}{1 + g\,R_S}$$

— Si la résistance R_S est remplacée par un générateur à courant constant (ou si $g\,R_S >> 1$), alors $R_S \simeq \frac{1}{g}$ et $\frac{s}{e} \simeq 1$.

— **Le montage drain commun est un montage adaptateur d'impédances.**

4.4.2.4. Montage grille commune

Dans ce montage, la grille est « figée ». Le signal d'entrée est appliqué sur la source et le signal de sortie récupéré sur le drain. La figure 4.135 représente un transistor JFET polarisé classiquement. La grille est découplée par le

condensateur C_d. Les deux capacités de liaison C_e et C_s permettent de conserver la composante continue de polarisation. Bien entendu, ce schéma n'est pas limitatif.

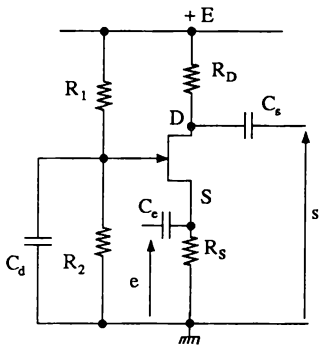


Figure 4.135

Le schéma équivalent en régime lentement variable est représenté sur la figure 4.136. Les résistances de sortie et d'entrée peuvent être déterminées à partir des éléments déjà vus :

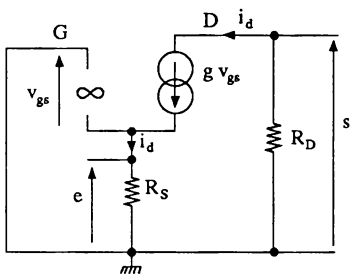


Figure 4.136

— **Résistance de sortie**

$$R_s = R_D$$

si on néglige l'influence de r_{ds}.

— **Résistance d'entrée**

$$R_e = R_S // \frac{1}{g}$$

Elle représente la résistance de sortie du montage drain commun de la figure 4.133 qui aurait pu être déterminée par une deuxième méthode (éteindre le générateur d'entrée et appliquer un générateur entre les deux bornes de sortie).

— **Gain en tension à vide.** Les deux équations

$$e + v_{gs} = 0$$
$$s = -R_D\, i_d = -R_D\, g\, v_{gs}$$

permettent d'obtenir

$$G_{v0} = \frac{s}{e} = +\, g\, R_D$$

Remarques

— En comparaison avec le montage source commune, le montage grille commune présente un gain en tension identique (module identique en basses fréquences), mais une bien plus mauvaise résistance d'entrée. Comme pour le montage base commune à transistors bipolaires, l'effet Miller est quasi inexistant, ce qui explique **son utilisation en hautes fréquences.**

— Le montage grille commune est très souvent piloté par un étage source commune ou drain commun. L'ensemble des deux étages constitue respectivement le montage cascode ou le montage à couplage de source (amplificateur différentiel).

4.4.2.5. Montage cascode

C'est un montage utilisé en hautes fréquences (signaux rapides). Nous le présentons d'abord simplement sur la figure 4.137. Le transistor T_1 travaillant en source commune pilote T_2 (base commune). Pour déterminer les paramètres électriques de l'ensemble, il faut représenter le schéma équivalent complet. Toutefois, en fonction des éléments vus précédemment, nous pouvons écrire :

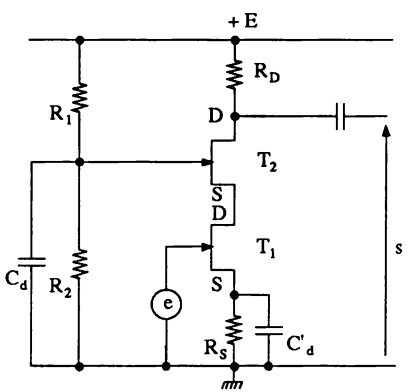


Figure 4.137

— **pour la partie source commune**

- résistance d'entrée $R_e = \infty$
- gain en tension $G_{v1} = -g \cdot \frac{1}{g} = -1$

(la charge $\frac{1}{g}$ de T_1 représente la résistance d'entrée de T_2, en considérant $g_1 = g_2 = g$) ;

— **pour la partie grille commune**

- gain en tension $G_{v2} = +\, g\, R_D$
- résistance de sortie $R_s = R_D$;

— **Pour l'ensemble**

- résistance d'entrée $\boldsymbol{R_e = \infty}$
- gain en tension $\boldsymbol{G_{v0} = G_{v1} \cdot G_{v2} = -\, g\, R_D}$
- résistance de sortie $\boldsymbol{R_s = R_D}$.

Remarques

— Les caractéristiques statiques ou basses fréquences du montage cascode sont les mêmes que pour le montage source commune. Toutefois, en hautes fréquences, l'effet Miller associé au transistor T_1 est très réduit à cause du gain en tension de – 1. Ceci permet une grande bande passante de ce montage, comparée à celle du montage source commune (on reverra avec profit le montage cascode à transistors bipolaires).

— Les transistors T_1 et T_2 sont, en pratique

- soit des transistors « duals » (deux transistors sur la même « puce », dans un même boîtier),
- soit des transistors à double grille.

4.4.2.6. Amplificateur différentiel

L'amplificateur différentiel à transistors à effet de champ représente le premier étage de tous les circuits intégrés analogiques en technologie BIFET, BIMOS et MOS, présenté au chapitre 6. Son étude est identique à celle utilisant les transistors bipolaires, présentée en détail au chapitre 3. La figure 4.138 en donne le principe, avec des transistors JFET. Le schéma équivalent de la figure 4.139 permet d'écrire les relations

$$e_1 = v_{gs1} + R_S\, g\, (v_{gs1} + v_{gs2})$$
$$e_2 = v_{gs2} + R_S\, g\, (v_{gs1} + v_{gs2})$$
$$s_1 = -\, g\, v_{gs1}\, R_D$$
$$s_2 = -\, g\, v_{gs2}\, R_D.$$

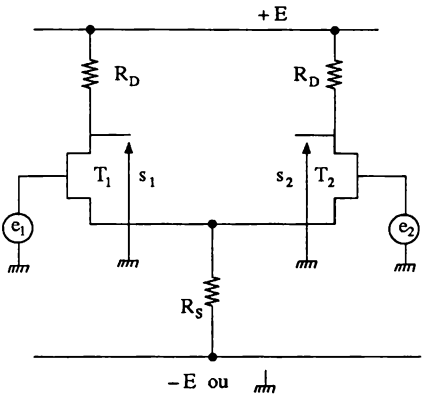


Figure 4.138

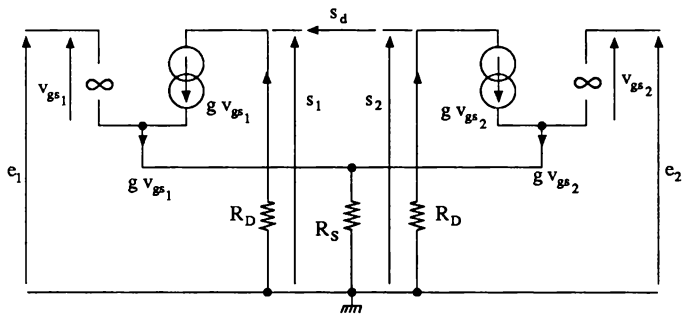


Figure 4.139

En effectuant deux fois une somme et une différence (comme au paragraphe 3.4.3.5), nous aboutissons aux relations

$$s_1 = -\frac{g R_D}{2}(e_1 - e_2) - \frac{g R_D}{1 + 2 g R_S}\left(\frac{e_1 + e_2}{2}\right)$$

$$s_2 = +\frac{g R_D}{2}(e_1 - e_2) - \frac{g R_D}{1 + 2 g R_S}\left(\frac{e_1 + e_2}{2}\right)$$

avec

$\frac{g R_D}{2}$, gain différentiel A_d

$\frac{g R_D}{1 + 2 g R_S}$, gain de mode commun A_c

Le taux de réjection de mode commun $20 \log \frac{A_d}{A_c}$ tend vers l'infini (amplificateur différentiel parfait) si R_S tend vers l'infini. **En pratique, la résistance R_S est remplacée par une source de courant.**

Remarques

— L'amplificateur différentiel à éléments discrets est réalisé avec une paire de JFET en « dual ».

— Les imperfections de cet étage, en continu, sont citées au paragraphe 4.4.6.

4.4.2.7. Détermination de la valeur des condensateurs

Le principe de la détermination de la valeur des condensateurs est le même que dans le cas des montages à transistors bipolaires.

— **Capacités de liaison** (voir paragraphe 3.4.1.2)

• La capacité de liaison d'entrée est déterminée à partir de la résistance d'entrée R_e du montage

$$\frac{1}{C_e\,\omega_{min}} << R_e$$

en général $\dfrac{1}{C_e\,\omega_{min}} \leq \dfrac{R_e}{10}$.

• La capacité de liaison de sortie est déterminée à partir de la résistance de charge R_{ch}

$$\frac{1}{C_s\,\omega_{min}} << R_{ch}$$

en général $\dfrac{1}{C_s\,\omega_{min}} \leq \dfrac{R_{ch}}{10}$.

— **Capacités de découplage** (voir paragraphes 3.4.3.1 et 3.4.3.4).

• Découplage en source commune (figure 4.128)

$$\frac{1}{C_d\,\omega_{min}} << \frac{1}{g}$$

en général $\dfrac{1}{C_d\,\omega_{min}} \leq \dfrac{1}{10\,g}$.

• Découplage en grille commune (figure 4.135).
Le condensateur C_d découple le pont de polarisation $R_1 - R_2$. La fréquence du signal n'intervient pratiquement pas. Alors, la fréquence considérée est la fréquence parasite f_p provenant, par exemple, de l'alimentation. On prend

$$\frac{1}{C_d\,\omega_p} << R_1 // R_2.$$

4.4.3. INFLUENCE D'UNE CHARGE ACTIVE

Les charges actives sont surtout utilisées dans les circuits intégrés analogiques et numériques. Nous déterminons, dans le cas des montages source commune de la figure 4.140, la courbe de charge (en remplacement de la droite de charge) ainsi que les schémas équivalents en régime variable et les caractéristiques.

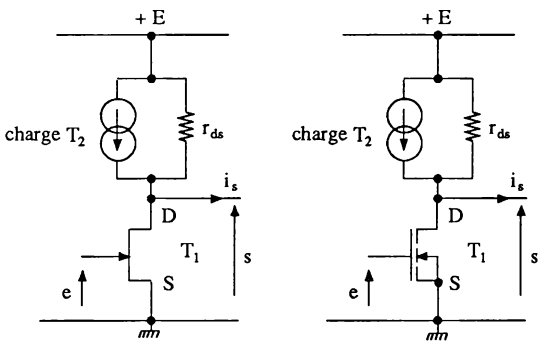


Figure 4.140

4.4.3.1. Charges actives

— **Utilisation du JFET canal *N* ou du NMOS à déplétion.** La figure 4.141 représente ces transistors dont la grille est reliée à la source. Ainsi, une seule caractéristique I_D (V_{DS}) est utilisée, celle à $V_{GS} = 0$. A partir de $V_{DS} = 2$ volts, la charge est équivalente à une source de courant. Au voisinage de zéro, elle est équivalente à une résistance ($R_{DS_{on}}$).

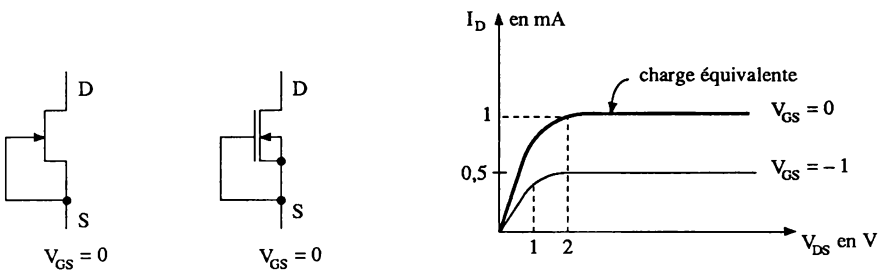


Figure 4.141

— **Utilisation du NMOS à enrichissement** (figure 4.142). Dans ce cas, grille et drain sont reliés. Alors $V_{GS} = V_{DS}$. On positionne, sur quelques caractéris-

tiques I_D (V_{DS}), des points correspondant à $V_{DS} = V_{GS}$. Ces points, reliés entre eux, fournissent la caractéristique de charge équivalente qui est proche d'une droite si $V_T \simeq 0$.

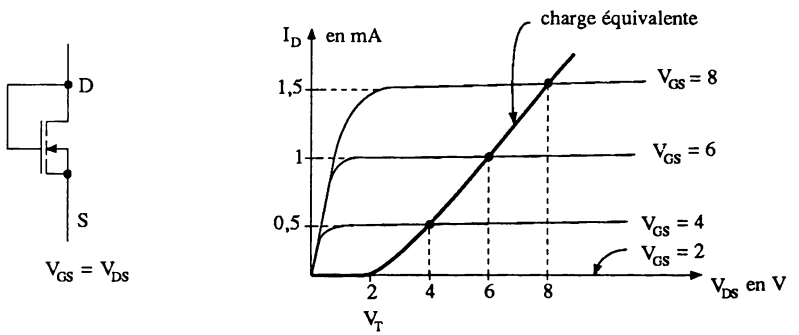


Figure 4.142

— **Utilisation du PMOS à enrichissement** (figure 4.143). On polarise la grille à un potentiel inférieur à celui de la source. **Le choix de cette polarisation dépend du choix de la caractéristique** I_D (V_{DS}), dont la charge équivalente ressemble à celle de la figure 4.141.

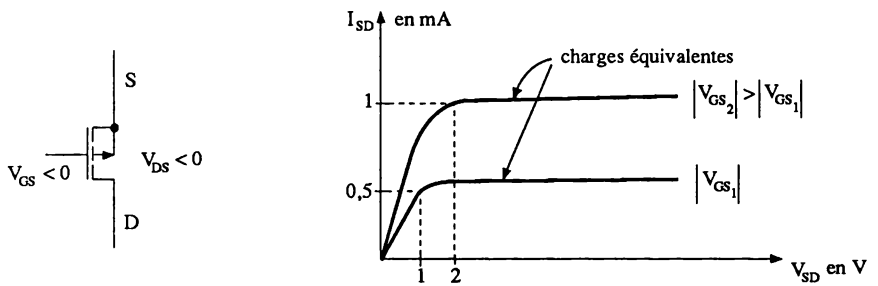


Figure 4.143

Remarque

En technologie intégrée MOS (analogique ou numérique), le choix de la charge dépend

— de la valeur du gain en tension que l'on souhaite obtenir dans un amplificateur, ainsi que la bande passante,

— de la rapidité de commutation.

4.4.3.2. Technologie JFET

On rencontre cette technologie dans les circuits intégrés analogiques BIFET. La figure 4.144 représente le montage source commune où le transistor T_1 est chargé par T_2.

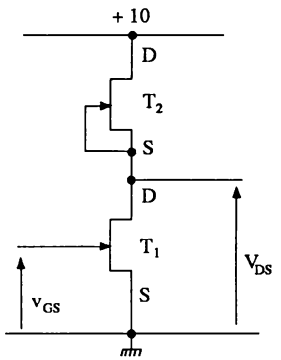


Figure 4.144

On représente dans le réseau de caractéristiques I_D (V_{DS}), la courbe de charge qui est la représentation « symétrique » de la caractéristique I_D (V_{DS}) pour $V_{GS} = 0$ de la figure 4.141. Comme $I_{D_1} = I_{D_2} = I_{DSS}$, cela impose $V_{GS_1} = 0$. Justifions le tracé de cette courbe de charge (fig. 4.145) :

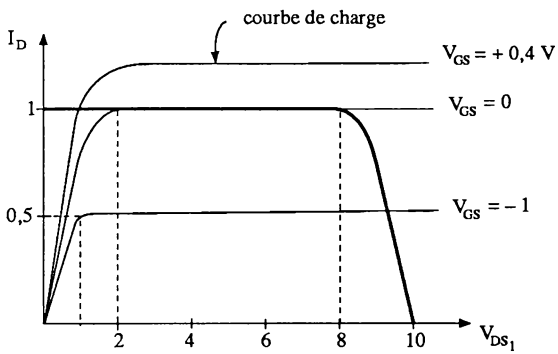


Figure 4.145

— pour $V_{DS_1} = 10$ V, nous avons $V_{DS_2} = 0$, donc $I_D = 0$;
— pour $V_{DS_1} = 8$ V, nous avons $V_{DS_2} = 2$ V, donc $I_D = 1$ mA ;
— pour $V_{DS_1} = 0$ V, nous avons $V_{DS_2} = 10$ V, donc $I_D = 1$ mA.

Si, dans la partie saturée, les caractéristiques sont parallèles à l'axe des abscisses (générateur de courant parfait), le point de repos V_{DS} se situe de manière

non définie entre + 2 V et + 8 V. En réalité, la présence du phénomène Early impose une oblicité des caractéristiques (figure 4.146). Si les deux transistors sont identiques, on obtient $V_{DS1} = V_{DS2} = E/2$.

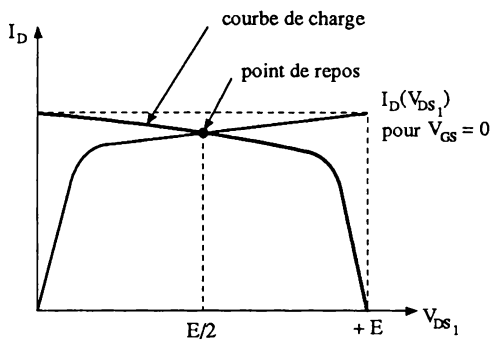


Figure 4.146

Le schéma équivalent en régime variable est celui de la figure 4.147. On obtient

$$G_{v0} = -g\,(r_{ds1}//r_{ds2})$$

et

$$R_s = r_{ds1}//r_{ds2}.$$

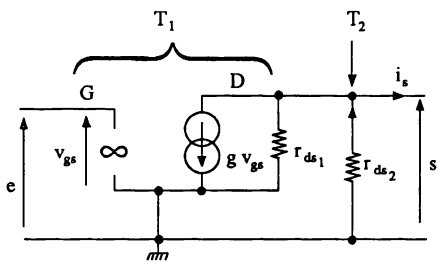


Figure 4.147

Dans le cas où on ne tient pas compte des résistances r_{ds}, alors on utilise la relation

$$\frac{i_s}{e} = -g$$

4.4.3.3. Technologie MOS

— **NMOS à enrichissement et à déplétion** (figure 4.148). Le transistor NMOS à enrichissement T_1 est chargé par un transistor NMOS à déplétion T_2. Cet

ensemble se comporte comme pour le montage de la figure 4.144. La courbe de charge, de même forme, est obtenue suivant le même principe. On polarise T_1 tel que $I_{D1} = I_{D2} = I_{DSS}$. Ainsi, $0 \leq V_{DS} < +E$.

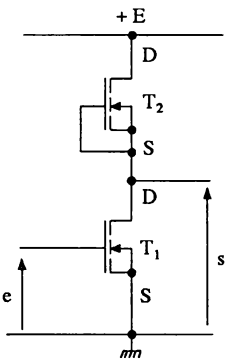


Figure 4.148

L'utilisation du transistor à déplétion T_2 permet d'améliorer les caractéristiques de rapidité.

— **CMOS** (figure 4.149). Le transistor NMOS à enrichissement T_1 est chargé par un transistor PMOS à enrichissement T_2. Dans ce cas, on choisit la valeur du courant de repos à partir des polarisations $V_{GS_1} > 0$ et $V_{GS_2} < 0$. Comme dans le cas précédent, courbe de charge et schéma équivalent sont de même forme.

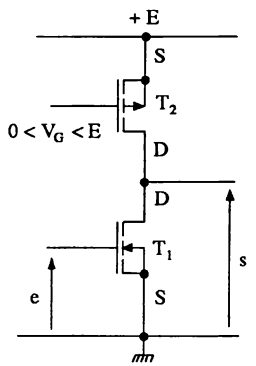


Figure 4.149

On peut trouver des amplificateurs CMOS où le signal d'entrée est appliqué sur les deux grilles (reliées entre elles – exercice 9 de fin de section).

— **NMOS à enrichissement** (figure 4.150). Le transistor T_1 est chargé par T_2 dont le comportement est équivalent à une résistance. La courbe de charge est positionnée dans le réseau de caractéristiques I_D (V_{DS}) de la figure 4.151. Elle est symétrique à celle représentée sur la figure 4.142 (on l'obtient par déduction de V_{DS} par rapport à E, par exemple $V_{DS_1} = 6$ V donc $V_{DS_2} = 4$ V et $I_D = 0{,}5$ mA).

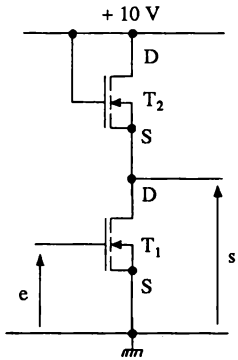


Figure 4.150

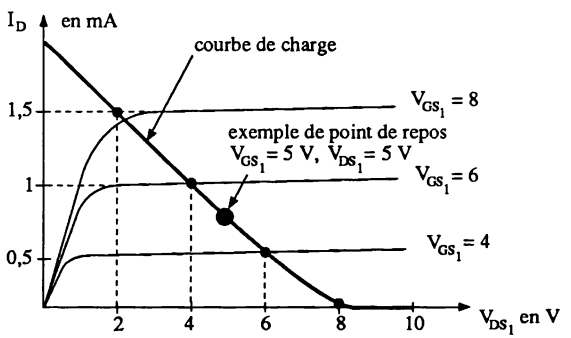


Figure 4.151

Pour ce montage, le point de repos est facile à obtenir et à stabiliser. Par contre, le gain en tension est plus faible que dans les cas précédents.

La figure 4.152 représente le schéma équivalent, en régime variable, des deux transistors T_1 et T_2. Comme $V_{GS_2} = V_{DS_2}$, il s'ensuit que pour les variations, nous avons $v_{ds_1} = v_{ds_2} = v_{ds} = v_{gs_2}$. Le gain en tension s'écrit

$$\frac{s}{e} = G_{v0} = -g_1 \left(r_{ds_1} // \frac{1}{g_2} // r_{ds_2} \right)$$

Si les résistances r_{ds_1} et r_{ds_2} sont négligées, alors le gain en tension devient

$$\frac{s}{e} \simeq \frac{g_1}{g_2}.$$

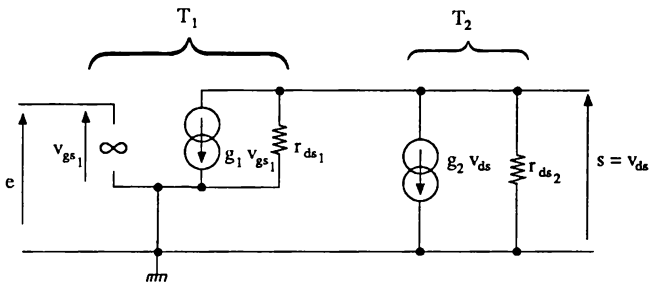


Figure 4.152

Comme $g = 2\sqrt{\frac{l}{L}\frac{\mu_n C_{ox}}{2} \cdot I_{D0}} = 2\sqrt{\frac{l}{L} k I_{D0}}$, nous obtenons

$$\frac{s}{e} = -\sqrt{\frac{(l/L)_1}{(l/L)_2}}.$$

Le gain en tension de cet étage est directement associé à la dimension du canal (l = largeur et L = longueur). Ainsi, si $(l/L)_1 = 100\ (l/L)_2$, alors le gain en tension est de 10.

4.4.3.4. Influence de la tension substrat source

Les amplificateurs à éléments discrets MOS travaillent, en général, avec une tension $V_{SB} = 0$ (substrat relié à la source). Dans le cas des circuits intégrés, le substrat est commun à tous les transistors et représente le potentiel d'alimentation le plus négatif (V_{SS} en technologie NMOS). Alors, la tension V_{SB} est, pour certains transistors, différente de zéro et évolue en régime variable. Cela a pour conséquence une modification de la caractéristique de chaque transistor pour lequel on ajoute le terme $i_d = g_b\, v_{sb}$ (c'est l'effet de corps – *body effect* – qui diminue le gain en tension).

— **Technologie NMOS à enrichissement et à déplétion.** Le schéma de la figure 4.148 devient celui de la figure 4.153. Le gain en tension s'écrit

$$G_{v0} = -g_1 \left(r_{ds1} // \frac{1}{g_{2b}} // r_{ds2} \right)$$

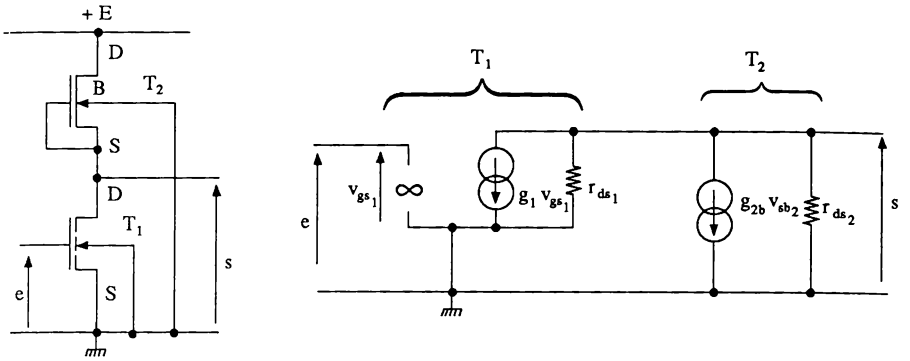


Figure 4.153

— **Technologie NMOS à enrichissement.** Le schéma de la figure 4.150 devient celui de la figure 4.154. Le gain en tension s'écrit

$$G_{v0} = -g_1 \left(r_{ds1} // \frac{1}{g_2} // \frac{1}{g_{2b}} // r_{ds2} \right)$$

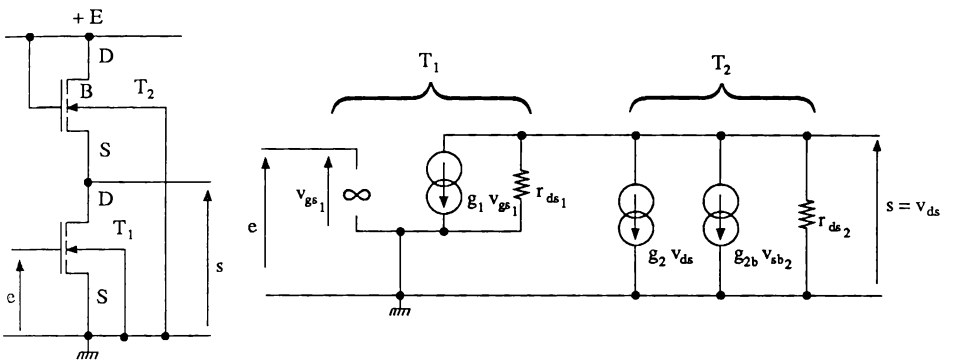


Figure 4.154

4.4.4. ASSOCIATION TRANSISTORS FET – TRANSISTORS BIPOLAIRES

L'association de ces deux technologies permet d'allier leurs avantages :

— grande impédance d'entrée (FET),

— fort gain en tension (bipolaire).

En intégration analogique, cette association est appelée technologie BIFET ou BIMOS.

4.4.4.1. Mise en cascade simple

La figure 4.155 représente un transistor T_1 (drain commun) pilotant un émetteur commun constitué de T_2. Le schéma équivalent global permet d'écrire

$$e = v_{gs} + h_{11}\, i_b = v_{gs} + h_{11}\, g\, v_{gs} = v_{gs}\,(1 - g\, h_{11})$$

et $$s_0 = -R_C\, i_c = -R_C\, \beta\, i_b = -R_C\, \beta\, g\, v_{gs}.$$

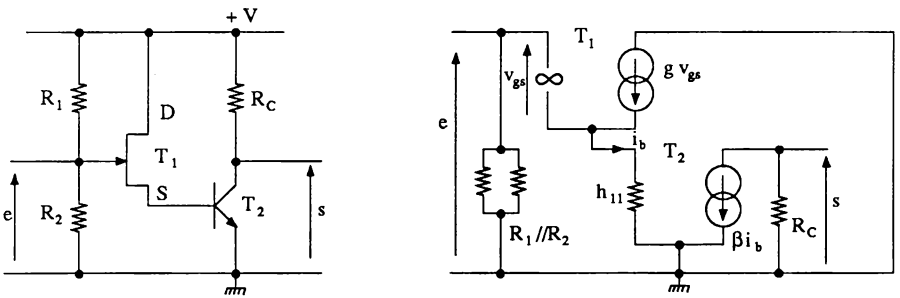


Figure 4.155

On en déduit les paramètres

$$G_{v0} = \frac{s_0}{e} = -\frac{g\,\beta}{1 + g\,h_{11}} \cdot R_C$$

$$R_e = R_1 // R_2$$

$$R_s = R_C$$

Application numérique : $g = 10^{-4}$ S, $h_{11} = 2$ kΩ, $\beta = 100$, $R_C = 10$ kΩ. Ainsi,

$$G_{v0} = -\frac{10^{-4} \cdot 10^2}{1 + 10^{-4} \cdot 2 \cdot 10^3} = -83.$$

Cette faible valeur du gain, comparée à celle de l'émetteur commun seul ($-\frac{\beta R_C}{h_{11}} = -500$) est due à la faible pente g du transistor à effet de champ car $I_D = I_B$. Pour améliorer ce chiffre, il faut augmenter la valeur du courant de repos I_D en connectant une résistance entre la base et l'émetteur de T_2.

D'autres configurations sont possibles, par exemple celle de la figure 4.82 où un montage source commune pilote un montage émetteur commun. Son schéma équivalent en régime variable est celui de la figure 4.156 (remarquer l'inversion volontaire des flèches « courant » pour le transistor *PNP*). Les équations

$$e = v_{gs}, \quad i_b = g\, v_{gs}$$

$$s_0 = +R_3\, i_c = +R_3\, \beta\, i_b = +R_3\, \beta\, g\, v_{gs}$$

nous permettent d'obtenir

$$G_{v0} = -\beta g R_3.$$

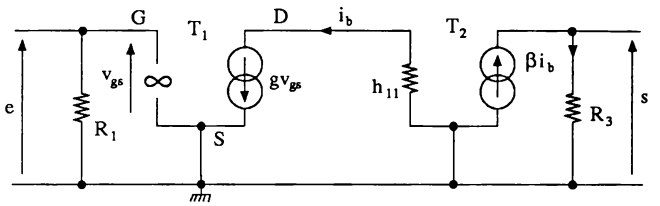


Figure 4.156

La pente globale de ce montage est βg.

Nous trouvons aussi

$$R_e = R_1 \qquad \text{et} \qquad R_s = R_3.$$

4.4.4.2. Contre-réactions partielles

Comme pour la technologie bipolaire (paragraphe 3.4.5), on trouve des étages contre-réactionnés partiellement. Le schéma de la figure 4.157 en donne un exemple. Deux contre-réactions sont présentes : l'une statique avec R_4, l'autre dynamique avec C_2.

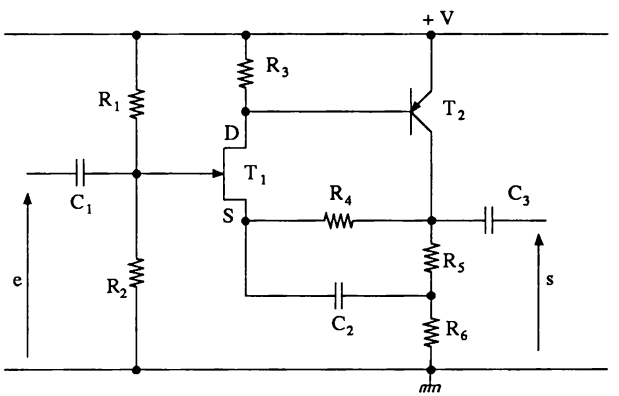


Figure 4.157

En considérant les liaisons capacitives parfaites (court-circuit en dynamique), nous déterminons le schéma en régime variable de la figure 4.158.

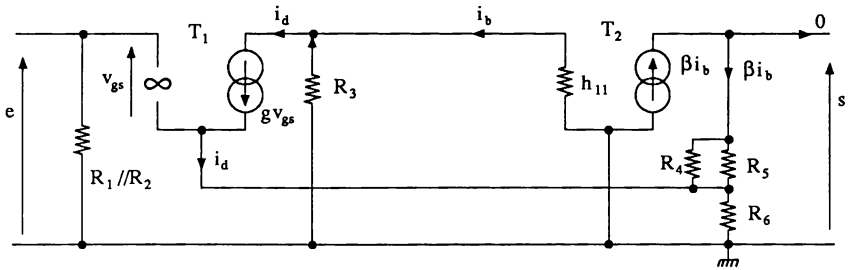


Figure 4.158

Les équations

$$e = v_{gs} + R_6\,(\beta\, i_b + i_d)$$

$$s = R\,\beta\, i_b + R_6\,(\beta\, i_b + i_d) \qquad \text{avec } R = R_5//R_4$$

$$i_b = \frac{R_3}{h_{11} + R_3} \cdot i_d$$

$$i_d = g\, v_{gs}$$

deviennent

$$e - R_6\,\beta\, i_b = v_{gs}\,(1 + g\,R_6) \rightarrow v_{gs} = \frac{e}{1 + g\,R_6} - \frac{\beta R_6}{1 + g\,R_6}\, i_b$$

$$s = \beta\, i_b\,(R + R_6) + v_{gs}\, g\, R_6$$

$$i_b = \frac{R_3}{h_{11} + R_3}\, g\, v_{gs}$$

Ce qui permet de représenter le schéma-bloc de la figure 4.159 (on part de la deuxième équation).

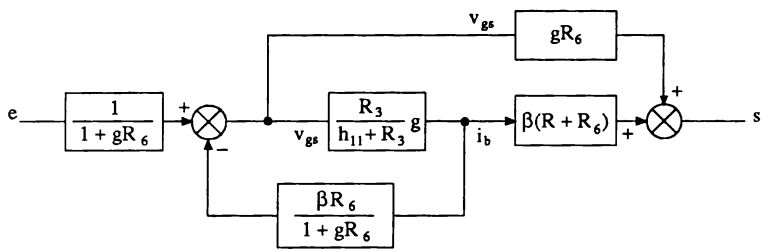


Figure 4.159

Après déplacement du bloc $g\,R_6$, on obtient le nouveau schéma-bloc de la figure 4.160. La fonction de transfert s'écrit alors

$$\frac{S}{E} = \frac{1}{1 + g\,R_6} \times \frac{\dfrac{g\,R_3}{h_{11} + R_3}}{1 + \dfrac{g\,R_3}{h_{11} + R_3} \cdot \dfrac{\beta R_6}{1 + g\,R_6}} \times \left[\beta\,(R + R_6) + \frac{(h_{11} + R_3)\,R_6}{R_3} \right]$$

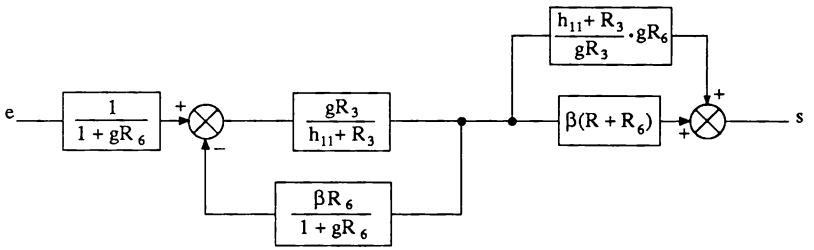


Figure 4.160

Si nous prenons comme application numérique $R_3 = \infty$, $R_4 = 10$ kΩ, $R_5 = 1$ kΩ, $R_6 = 100$ Ω, $h_{11} = 1$ kΩ, $g = 10^{-3}$ S, le gain en tension est proche de 10. Il représente approximativement l'inverse du diviseur de tension de retour

$$\frac{1}{B} = \frac{R_5 + R_6}{R_6} \simeq 10$$

4.4.5. CONTRÔLE AUTOMATIQUE DE GAIN

Le contrôle automatique de gain ou CAG est une fonction électronique nécessaire lorsque le niveau du signal e à amplifier est aléatoire (en réception radioélectrique, en réception TV, en enregistrement par magnétophone, etc.) ou lorsqu'on veut stabiliser l'amplitude d'un oscillateur. Plusieurs schémas sont possibles. Certains principes sont présentés dans ce paragraphe où le paramètre commandé du JFET est : soit la pente g, soit la résistance R_{DS}, soit le courant I_D.

4.4.5.1. CAG d'un montage source commune

Le gain en tension d'un montage source commune est défini par la relation simplifiée

$$G_{v0} = -g R_D$$

Comme la transconductance g représente la pente de la caractéristique I_D (V_{GS}) et que l'expression de cette pente est

$$g = g_0 \left(1 - \frac{V_{GS}}{V_{GSoff}}\right) \qquad \text{(paragraphe 4.1.2.4)}$$

il est clair que le gain G_{v0} varie linéairement avec la polarisation V_{GS}. C'est cette propriété qui est utilisée dans le schéma de principe de la figure 4.161. Le montage source commune sollicité par le signal d'entrée est suivi d'un amplificateur « parfait » A_1. La tension de sortie polarise la grille du transistor T par le biais d'un redressement simple alternance négatif, suivi d'un intégrateur R_3 C_2 et d'un

amplificateur A_2 fournissant une tension continue V_{GS} proportionnelle à l'amplitude du signal de sortie s, à partir d'un seuil apporté par la diode.

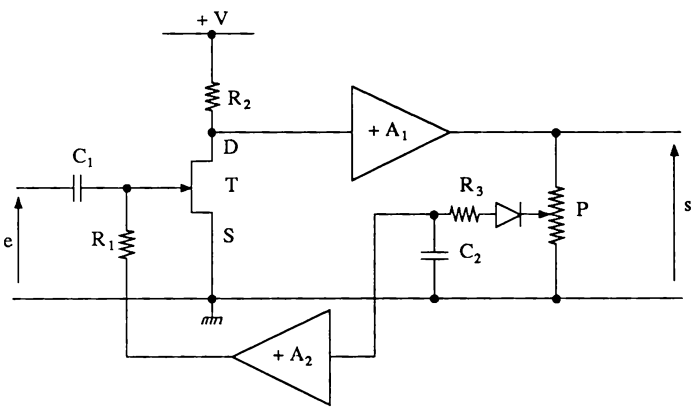


Figure 4.161

Le fonctionnement de la CAG est le suivant : sans signal, $s = 0$ et $V_{GS} = 0$. La pente g du transistor est maximale et le gain en tension $g\ R_2\ A_1$ aussi. Lorsqu'apparaît le signal e, la tension s évolue, imposant une tension V_{GS} négative, donc une diminution de la pente g suivie d'une diminution du gain global $g\ R_2\ A_1$. La tension s a donc tendance à se « stabiliser » lorsque e augmente. Ce phénomène peut être défini quantitativement. Lorsque le seuil de conduction de la diode est atteint, nous avons

$$S_0 = g_0\ R_2\ A_1\ E_0$$

car $V_{GS} = 0$. A partir de cette valeur du signal de l'entrée E_0, une augmentation de traduit une augmentation ds et une diminution dg. On écrit alors

$$ds = A_1\ R_2\ g_0\ de + A_1\ R_2\ E_0\ dg$$

avec

$$dg = -A_2\ ds.$$

Ceci nous donne

$$ds = A_1\ R_2\ g_0\ de - A_1\ R_2\ E_0\ A_2\ ds$$

soit

$$ds\ (1 + A_1\ R_2\ E_0\ A_2) = A_1\ R_2\ g_0\ de$$

et enfin

$$ds = \frac{A_1\ R_2\ g_0}{1 + A_1\ R_2\ E_0\ A_2}\ de$$

Le niveau de la sortie varie d'autant moins que $A_1\ R_2\ E_0\ A_2$ est grand devant 1, soit la condition

$$E_0\ A_2 >> g_0.$$

Remarque

Dans toute CAG, la constante de temps de l'intégrateur doit être grande devant la période maximale du signal

$$RC >> T_{max} \qquad \text{avec} \qquad \frac{1}{T_{max}} = f_{min}$$

4.4.5.2. CAG d'un montage à amplificateur opérationnel

Le schéma de la figure 4.162 représente un montage inverseur dont le gain en tension est

$$\frac{s}{e} = -\frac{R_2}{R_1 + R_{DS}}.$$

à condition que le transistor soit dans sa zone non saturée ($|V_{DS}| < 0{,}2$ V ; on reverra avec profit le paragraphe 4.3.3). Comme $e_+ = 0$, la tension e_- de l'amplificateur opérationnel est quasi nulle, imposant un potentiel nul sur la source du transistor JFET, donc une commande V_{GS} par rapport à zéro.

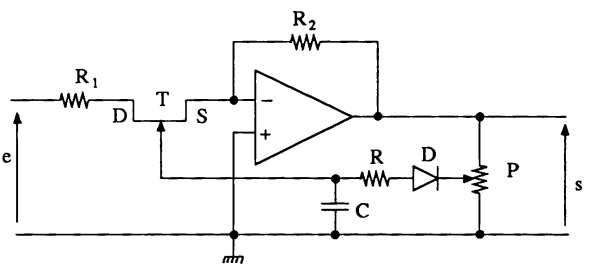


Figure 4.162

Sans signal, la tension de sortie, nulle, impose $V_{GS} = 0$, donc $R_{DS} = R_{DS_{on}}$, soit un gain en tension $-\dfrac{R_2}{R_1 + R_{DS_{on}}}$ maximum. Dès que le signal d'entrée apparaît, et que le seuil de la diode est atteint, la tension V_{GS} devient négative, imposant une augmentation de R_{DS}, donc une diminution du gain en tension. Comme une faible variation de tension V_{GS} peut imposer une forte variation de R_{DS}, donc du gain, il n'est pas nécessaire d'utiliser un amplificateur dans la bande de retour. L'étude quantitative de cette CAG se fait comme précédemment en remplaçant R_{DS} par la relation

$$R_{DS} = \frac{R_{DS_{on}}}{1 - \left|\dfrac{V_{GS}}{V_{GS_{off}}}\right|} \qquad \text{avec} \qquad V_{GS} = -\alpha s.$$

4.4.5.3. CAG d'un montage émetteur commun

Le schéma de la figure 4.163 représente un montage émetteur commun dont on fait varier la résistance équivalente d'émetteur (c'est donc un mélange d'émetteur commun et de charge répartie). Le gain en tension de l'étage à transistor est

$$\frac{s_1}{e} = -\frac{\beta R_C}{h_{11} + \beta (R_E // R_{DS})} \simeq -\frac{\beta R_C}{h_{11} + \beta R_{DS}}.$$

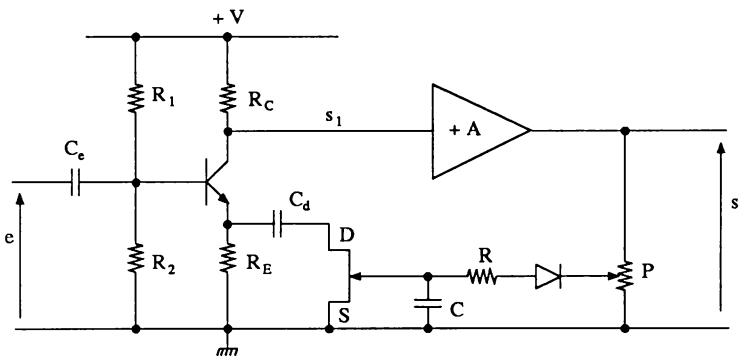


Figure 4.163

Sans signal, la tension V_{GS0} nous impose $R_{DS} = R_{DS_{on}}$, donc un gain en tension maximum. Lorsqu'un signal apparaît à l'entrée, et que la diode a atteint son seuil, la tension V_{GS} négative augmente la valeur de la résistance R_{DS} et diminue ainsi le gain en tension. Une étude quantitative impose de remplacer R_{DS} par la relation du paragraphe précédent.

Le condensateur de découplage permet de travailler avec une faible tension V_{DS}.

On peut trouver plusieurs étages identiques, en cascade, commandés par le même circuit de retour.

4.4.5.4. CAG d'un montage cascode

La structure de la figure 4.164 représente un principe que l'on retrouve en technologie bipolaire, pour les amplificateurs radiofréquences. La partie cascode correspond à T_1 et T_2 dont le gain en tension $g R_D$ est celui de T_2 (T_1 travaille en source commune avec un gain en tension unité).

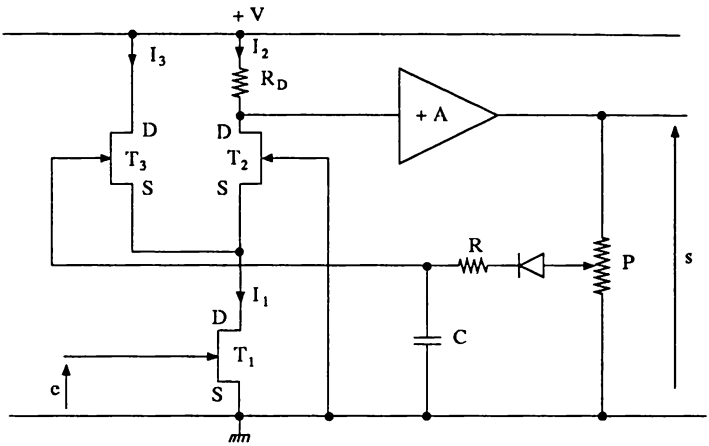


Figure 4.164

Sans signal, les courants I_2 et I_3 sont identiques. Leur somme est constante : $I_2 + I_3 = I_1$. Dès l'apparition du signal d'entrée et la conduction de la diode (cette fois pour $s > 0$) la tension V_{GS} de T_3 augmente, le courant I_3 augmente et impose une diminution de I_2, donc une diminution de la pente g_2. Le gain en tension a ainsi tendance à diminuer, ce qui tend à stabiliser le niveau du signal de sortie. Mettre en équation (pour les variations) ce système revient à écrire la relation $\Delta I_3\ (V_{GM})$ puis la relation $g_2\ (\Delta I_2) = g_2\ (-\Delta I_3)$.

Remarques

— Pour que ce montage puisse fonctionner, il faut polariser correctement les transistors.

— En pratique, c'est la structure bipolaire qui est rencontrée.

4.4.6. IMPERFECTIONS DES AMPLIFICATEURS CONTINUS ET BASSES FRÉQUENCES

4.4.6.1. Imperfections statiques*

Les imperfections statiques d'un amplificateur différentiel sont définies par :

— la tension d'offset ou de décalage V_d,

* Extrait de la note d'application LPD-7-Siliconix-Low Power Discretes Data Book.

— le courant d'offset ou de décalage I_d,

— la dérive en température $\frac{\Delta V_d}{\Delta \theta}$ et $\frac{\Delta I_d}{\Delta \theta}$,

— l'influence du courant de polarisation,

— le taux de réjection de mode commun.

Nous traitons, dans ce paragraphe, l'exemple d'un amplificateur opérationnel piloté par une paire de transistors JFET couplés par les drains, puis couplés par les sources.

A. Couplage par les drains. La figure 4.165 représente un amplificateur global, constitué de deux JFET fonctionnant en drain commun et pilotant un amplificateur différentiel A_2 (par exemple un amplificateur opérationnel). Les caractéristiques statiques du premier étage sont

$$A_{diff} = A_1 = \frac{R_S\, g_{fs}}{1 + R_S\,(g_{fs} + g_{os})}$$

et

$$R_{sdiff} = 2\left[\frac{R_S + g_{os} R_S^2}{1 + R_S\,(g_{fs} + g_{os})}\right]$$

Si on néglige l'influence de g_{os} et de R_S, ces caractéristiques deviennent

$$A_1 \simeq \frac{R_S\, g}{1 + R_S\, g} \simeq 1 \qquad \text{et} \qquad R_{sdiff} \simeq \frac{1}{g} \qquad (g = g_{fs})$$

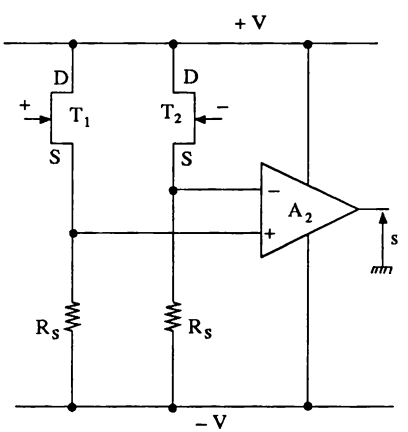


Figure 4.165

Pour déterminer la tension d'offset totale ramenée à l'entrée de l'ensemble, il faut représenter le schéma équivalent statique de la figure 4.166 où :

— V_{d1} représente la tension d'offset de la paire JFET (elle correspond à la différence des deux tensions $V_{GS1} - V_{GS2}$ pour un courant de polarisation donné).

— V_{d2} et I_d sont respectivement la tension d'offset et le courant d'offset du deuxième étage.

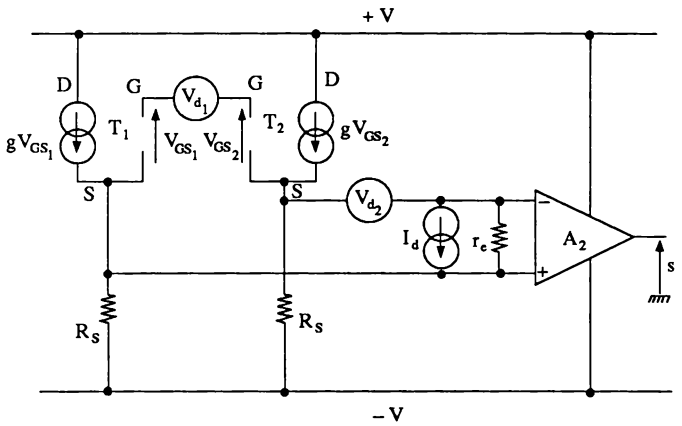


Figure 4.166

La tension d'erreur en sortie s'écrit :

$$s_d = V_{d1} A_1 A_2 + I_d (R_{sdiff} // r_e) A_2 + V_{d2} A_2$$

Cette tension ramenée à l'entrée devient

$$V_{dt} = \frac{s_d}{A_1 A_2}$$

Comme $R_{sdiff} << r_e$ (résistance d'entrée de A_2) et $A_1 \simeq 1$, on obtient

$$V_{dt} \simeq V_{d1} + \frac{2}{g} I_d + V_{d2}$$

et une dérive

$$\frac{V_{dt}}{\Delta\theta} \simeq \left(\frac{V_{d1}}{\Delta\theta}\right) + \frac{2}{g}\left(\frac{I_d}{\Delta\theta}\right) + \left(\frac{V_{d2}}{\Delta\theta}\right)$$

B. Couplage par les sources. La figure 4.167 représente un amplificateur à deux étages dont le premier étage est un amplificateur différentiel classique. Les caractéristiques de ce dernier sont

$$A_{diff} = A_1 = \frac{-g_{fs} R_D}{1 + g_{os} R_D}$$

et

$$R_{sdiff} = \frac{2 R_D}{1 + g_{os} R_D}.$$

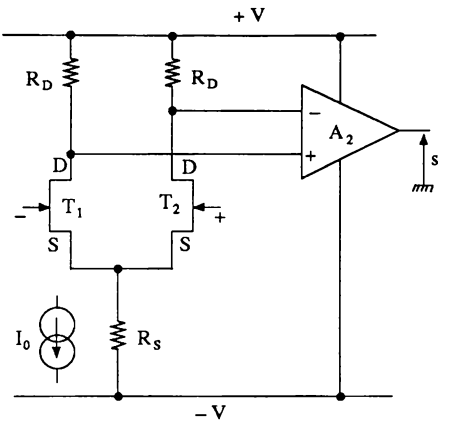


Figure 4.167

Si on néglige l'influence de g_{os} $\left(\frac{1}{g_{os}} >> R_D\right)$, ces caractéristiques deviennent

$$A_1 \simeq -g R_D \qquad \text{et} \qquad R_{sdiff} \simeq 2 R_D \qquad (g = g_{fs}).$$

On déduit la tension totale d'offset à l'entrée en utilisant le schéma équivalent statique de la figure 4.168. Comme $R_{sdiff} << r_e$, nous obtenons la relation simplifiée

$$V_{dt} \simeq V_{d1} + \frac{2}{g} I_d + \frac{V_{d2}}{g R_D}$$

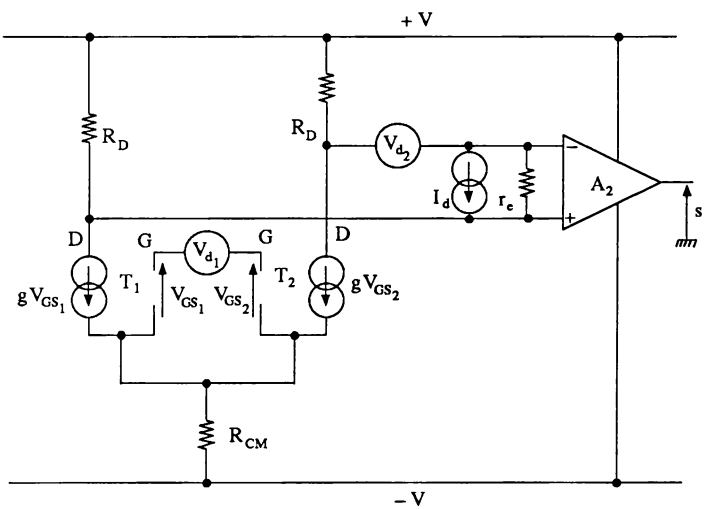


Figure 4.168

et une dérive

$$\frac{V_{dt}}{\Delta\theta} \simeq \left(\frac{V_{d1}}{\Delta\theta}\right) + \frac{2}{g}\left(\frac{I_d}{\Delta\theta}\right) + \frac{1}{g R_D}\left(\frac{V_{d2}}{\Delta\theta}\right)$$

Remarque.

Le montage à couplage par les sources (amplificateur différentiel classique) présente une tension d'offset et une dérive de cette tension, plus faibles que le montage à couplage par les drains.

C. **Réglage de l'offset.** L'erreur d'offset est due à la dissymétrie de l'amplificateur différentiel. On annule son effet en créant une dissymétrie opposée, à l'aide d'un potentiomètre (figure 4.169).

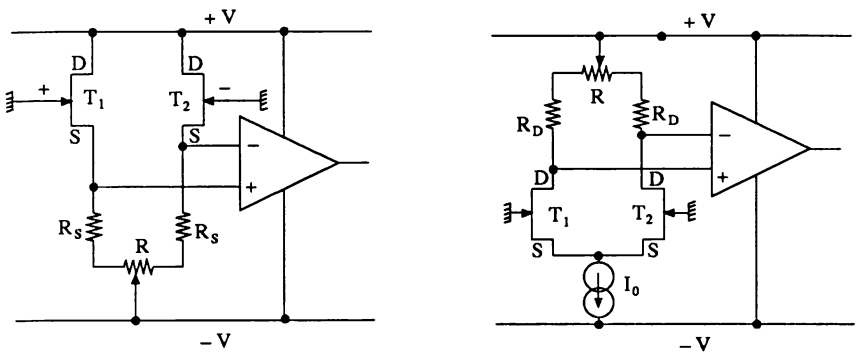


Figure 4.169

— **Couplage par les drains.** Pour une tension d'alimentation symétrique et une polarisation à $V_{G1} = V_{G2} = 0$, la résistance de réglage R est déterminée à partir de la relation

$$R \simeq \frac{V_{dt}}{\frac{V_{GSoff}}{R_S}\sqrt{\frac{V_{GSoff}}{I_{DSS} \cdot R_S}}}$$

— **Couplage par les sources.** Cet amplificateur différentiel classique est polarisé par une source de courant I_0. La résistance de réglage R est obtenue à partir d'une relation différente de la précédente

$$R \simeq \frac{2\, V_{dt}\, g\, R_D}{I_0}$$

D. Courant de polarisation. C'est le courant inverse de la jonction grille-canal. Sa valeur, très faible à 25°C, devient vite importante lorsque la température augmente. La figure 4.170 représente l'évolution du courant de polarisation I_p, en

fonction de la température θ, pour deux amplificateurs opérationnels en technologie bipolaire (LM741 et LM201) et pour un JFET « dual » U421 de Siliconix. A 125°C, la technologie FET a les mêmes caractéristiques que la technologie bipolaire. (Notons au passage que la paire JFET U421 présente une tension d'offset maximale égale à 10 mV.)

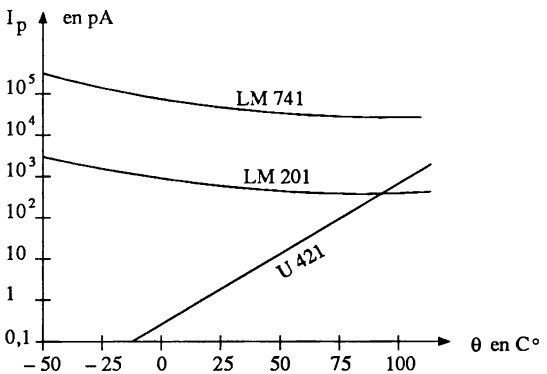


Figure 4.170

E. Taux de réjection de mode commun. Pour un amplificateur différentiel classique, le taux de réjection de mode commun TRMC est défini par la relation

$$\text{TRMC} = 20 \log \frac{A_d}{A_c}$$

avec

$$A_d \simeq g R_D$$

$$A_C \simeq \frac{g R_D}{1 + 2 g R_S} \simeq \frac{R_D}{2 R_S}$$

soit

$$\text{TRMC} \simeq 20 \log [2 g R_S].$$

Sa valeur est d'autant plus importante (amplificateur parfait) que la résistance R_S est grande. En pratique, cette résistance R_S est remplacée par une source à courant constant. Toutefois, la dissymétrie des éléments de l'étage différentiel (Δg, ΔR_D, etc.) nous apporte une erreur de mode commun supplémentaire dont l'influence est définie comme dans le cas des transistors bipolaires (voir paragraphe 3.4.4.3 et note d'application Siliconix).

Remarque. Les amplificateurs différentiels à transistors MOS se comportent comme les précédents.

4.4.6.2. Bruit dans les transistors à effet de champ*

Le problème du bruit associé aux transistors à effet de champ est le même que pour les transistors bipolaires. On reviendra donc au paragraphe 3.5.3.3. La figure 4.171 représente l'évolution de la tension de bruit et du courant de bruit pour un transistor JFET. On rencontre trois zones :

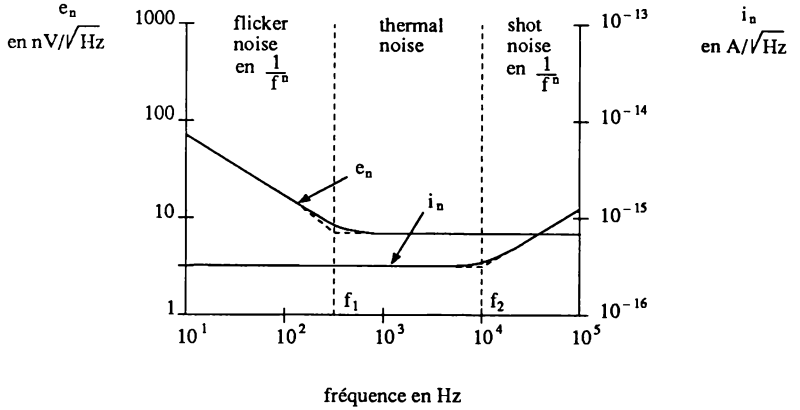


Figure 4.171

— **zone à bruit thermique** *(thermal noise)* correspondant à l'agitation thermique des électrons dans une résistance R équivalente ;

— **zone à bruit de grenaille** *(shot noise* ou *Schottky noise)* correspondant à la variation de la densité des charges traversant une surface quelconque d'un conducteur ;

— **zone à bruit de scintillement** *(flicker noise)*. Ce bruit caractérise les semiconducteurs. Il est dû aux forts états d'énergie existant entre le silicium du canal et la zone de déplétion de la jonction (pour le JFET) ou la zone isolante SiO_2 (pour le MOSFET). Ceci entraîne des opérations de piégeage et de relâchement des électrons, donc un bruit basse fréquence en $1/f^n$.

A. Cas du transistor JFET

— **Bruit thermique** (entre 200 Hz et 10 kHz). Il est défini par les relations

$$e^2_{nT} \simeq 4\,kT \cdot \frac{0{,}67}{g_{fs}} \cdot \Delta f$$

* Consulter la note d'application LPD-5 Low Power Discretes, Data Book - Siliconix.

et $$i^2_{nT} \simeq 2\,q\,I_{GSS} \cdot \Delta f$$

avec g_{fs}, transconductance $= \dfrac{\Delta I_D}{\Delta V_{GS}}$

Δf, bande de fréquence considérée

q, charge de l'électron.

Il correspond au bruit dans la résistance équivalente du canal.

— **Bruit de grenaille** (au delà de 10 kHz). Il est dû au courant de bruit dans la résistance R_{GS} de la jonction grille-source, polarisée en inverse

$$i^2_{ns} = \frac{4\,kT\,\Delta f}{R_{GS}}$$

— **Bruit de scintillement** (en-dessous de 200 Hz). Il est de la forme

$$e^2_{nf} = 4\,kT\,\frac{0{,}67}{g_{fs}} \cdot \Delta f \left(1 + \frac{f_1}{f^n}\right)$$

avec f_1 = fréquence de cassure,

$$1 \leq n \leq 2.$$

B. Cas du transistor MOS

— **Bruit thermique.** On retrouve les deux relations

$$e^2_{nT} = 4\,kT\,R\,\Delta f = 4\,kT\,\frac{3}{2\,g_{fs}}\,\Delta f$$

et $$i^2_{nT} = 4\,kT\,\frac{1}{R}\,\Delta f = 4\,kT\,\frac{2\,g_{fs}}{3}\,\Delta f$$

— **Bruit de grenaille.** Il est défini par la relation approchée

$$i^2_{ns} = 2\,q\,I_D\,\Delta f.$$

— **Bruit de scintillement.** Ce bruit est de valeur bien supérieure à celle du JFET à cause de la présence de l'isolant SiO_2. La tension de bruit s'écrit

$$e^2_{nf} = \frac{3 \cdot 10^{-24}}{C_{ox}\,l\,L} \cdot \frac{\Delta f}{f}.$$

C. Remarques

— Tensions et courants de bruit sont définis par leurs valeurs efficaces. Leur somme est quadratique.

— Le schéma équivalent de bruit est celui de la figure 4.172. Le générateur de tension de bruit est en série avec la grille, alors que le générateur de courant de bruit est situé entre le drain et la source.

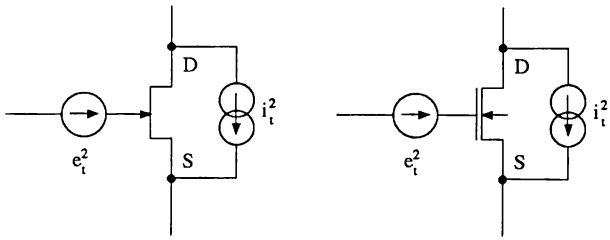


Figure 4.172

— Le facteur de bruit d'un étage amplificateur se définit comme dans le cas des transistors bipolaires.

— **La tension de bruit d'un MOSFET est de 10 à 100 fois plus élevée que celle d'un JFET, à cause de la présence de l'oxyde de silicium.**

4.4.6.3. Distorsion dans les montages

(Voir paragraphe 3.4.4.4 et ouvrage *Amplificateurs de puissance*)

Lorsqu'on applique une tension $e = V \sin \omega t$ à l'entrée d'un montage source commune, nous avons $v_{gs} = e$. Comme la caractéristique de transfert d'un transistor à effet de champ (excepté le MOS à enrichissement) se met sous la forme

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GSoff}}\right)^2$$

le courant I_D devient

$$I_D = I_{DSS} \left(1 - \frac{V_{GS} + V \sin \omega t}{V_{GSoff}}\right)^2$$

soit $I_D = \dfrac{I_{DSS}}{V_{GSoff}^2} \left[(V_{GSoff} - V_{GS})^2 + \dfrac{V^2}{2} - 2 (V_{GSoff} - V_{GS}) V \sin \omega t - \dfrac{V^2}{2} \cos 2 \omega t \right]$

La distorsion d'harmonique 2 s'écrit

$$D = \frac{1}{4} \frac{V}{V_{GSoff} - V_{GS}} = \frac{V}{4 V_{GSoff}} \sqrt{\frac{I_{DSS}}{I_D}}.$$

Remarques

— La distorsion est d'autant plus faible que I_D est important. C'est pour cela que certains amplificateurs travaillent avec une polarisation $V_{GS} = 0$ (donc $I_D = I_{DSS}$).

— Dans le cas où deux signaux de fréquences différentes sont présents à l'entrée d'un amplificateur, on détermine le taux d'intermodulation à partir de la relation

$$I_D = I_{DSS}\left(1 - \frac{V_{GS} + V_1 \sin \omega_1 t + V_2 \sin \omega_2 t}{V_{GS_{off}}}\right).$$

Le calcul nous indique que le courant I_B contient des termes d'intermodulation de rang 2 (par exemple détection quadratique en démodulation d'amplitude) et que les termes de rang 3 sont négligeables.

4.4.6.4. Phénomène de *latch-up* dans les JFET « dual »

Les JFET « dual » ou paires de JFET sont obtenus par épitaxie sur un même substrat (figure 4.173). L'isolation des deux composants est obtenue grâce à deux caissons *P* représentant la grille inférieure. L'ensemble des zones $P_2\ N\ P_1\ N_1$ correspond à la structure d'un thyristor (voir chapitre 5). Si $V_{G_2S_1}$ et $V_{G_1D_1}$ sont positifs, et que le gain en courant des transistors *PNP* et *NPN* équivalents est plus grand que 1, cette structure « s'amorce ». Un courant permanent circule et ne peut s'annuler que si on coupe l'alimentation du montage. C'est le phénomène de latch-up.

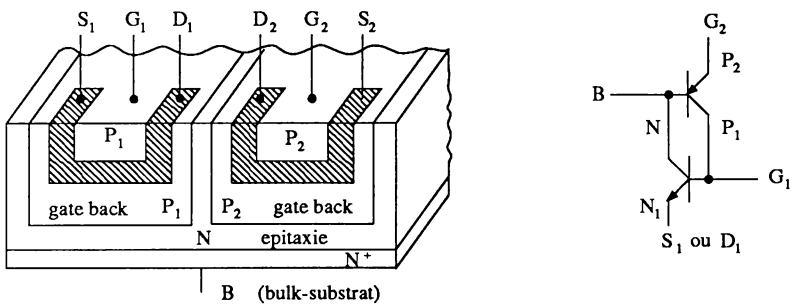


Figure 4.173

Certains montages favorisent ce défaut (cascode, etc.) qui peut être évité en connectant le substrat *B* au potentiel le plus positif (alimentation positive, par exemple) bloquant ainsi le transistor *NPN* équivalent ($V_{BG_2} > 0$).

4.4.7. EXERCICES

Exercice 1. **On réalise une source de courant avec un transistor JFET dont les caractéristiques sont $I_{DSS} = 2$ mA, $V_{GS_{off}} = -2$ V et $g_{os} = 0{,}01$ mS.**

— Quelle est la valeur de la tension de Early ?

— Déterminer la résistance équivalente à cette source de courant pour les deux cas de la figure 4.174.

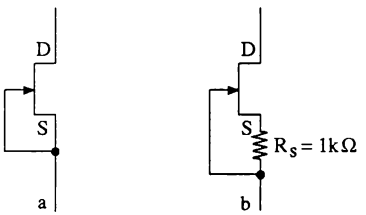


Figure 4.174

Solution

— La tension de Early V_X est déterminée à partir de la relation

$$r_{ds} \simeq \frac{|V_X|}{I_D} = \frac{1}{g_{os}}$$

soit $$V_X = -\frac{I_D}{g_{os}} = -2 \cdot 10^{-3} \cdot 10^5 = -200 \text{ V}.$$

— **Figure 4.174a.** Le schéma équivalent en régime variable est celui de la figure 4.175. La résistance équivalente est

$$r_{eq} = \frac{u}{i} = r_{ds} = \frac{1}{g_{os}} = 10^5\ \Omega.$$

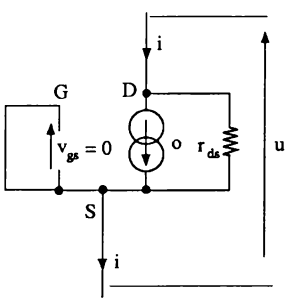


Figure 4.175

— **Figure 4.174b.** Le schéma équivalent de la figure 4.176 permet d'écrire les équations

$$u = r_{ds}\,(i - g\,v_{gs}) + R_S\,i$$
$$v_{gs} = -R_S\,i.$$

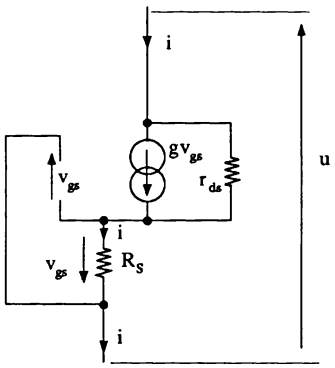


Figure 4.176

Ainsi,

$$u = r_{ds}\, i + g\, r_{ds} R_S\, i + R_S\, i$$

soit

$$r_{eq} = \frac{u}{i} = r_{ds} + R_S\,(1 + g\, r_{ds})$$

avec $r_{ds} = \dfrac{1}{g_{os}} = 10^5$

$$g = g_0 = -\frac{I_{DSS}}{V_{GSoff}/2} = \frac{2 \cdot 2 \cdot 10^{-3}}{2} = 2 \cdot 10^{-3}\ \text{S}.$$

L'application numérique nous donne

$$r_{eq} = 10^5 + 10^3\,(1 + 2 \cdot 10^{-3} \cdot 10^5) \simeq 3 \cdot 10^5$$

ce qui permet de simplifier l'expression précédente

$$r_{eq} \simeq r_{ds}\,(1 + g\, R_S).$$

Exercice 2. **On réalise deux montages source commune avec des transistors JFET chargés respectivement, par une résistance et par une charge active (figure 4.177). Les caractéristiques de ces transistors sont identiques à celles des transistors BFR30 présentés sur les figure 4.87, 4.124 et 4.126 (valeurs typiques).**

— Déterminer la valeur R_D telle que $V_{DS0} = 10$ V.

— Quel est le point de repos du montage *b* ?

— Quel est le gain en tension de chaque étage ?

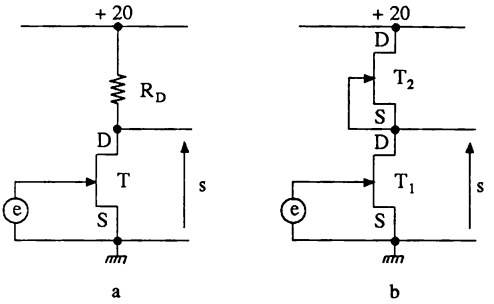


Figure 4.177

Solution

— Dans les deux cas, la tension de polarisation est $V_{GS} = 0$. Le courant I_D correspond à $I_{DSS} = 6$ mA. Si nous imposons $V_{DS_0} = 10$ V, la résistance R_D vaut alors

$$R_D = \frac{20 - 10}{6\ \text{mA}} = 1{,}33\ \text{k}\Omega$$

— La charge active du montage *b* représente un transistor JFET dont la tension de polarisation est $V_{GS} = 0$. Comme T_1 et T_2 sont identiques, le point de repos est

$$V_{DS_1} = V_{DS_2} = \frac{E}{2} = 10\ \text{V}$$

(se reporter à la figure 4.146).

— Le gain en tension est défini par les relations

- **Figure a**

$$G_{v_1} = \frac{s}{e_1} = -g\left(R_D // \frac{1}{g_{os}}\right) = -g\,(R_D // r_{ds})$$

- **Figure b**

$$G_{v_2} = \frac{s}{e_2} = -g\left(\frac{1}{g_{os}} // \frac{1}{g_{os}}\right) = -g\,(r_{ds_1} // r_{ds_2})$$

La caractéristique $y_{os}\,(I_D)$ de la figure 4.124 nous fournit

$$y_{os} = g_{os} = \frac{1}{r_{ds}} = 50\ \mu\text{A/V}$$

soit

$$r_{ds} = 20\ \text{k}\Omega.$$

La valeur de la transconductance $g = g_{fs} = y_{fs}$ est obtenue à partir de la caractéristique de la figure 4.126 pour $I_D = 6$ mA et $V_{DS} = 10$ V soit

$$g = 4{,}3\ \text{mA/V}$$

On en déduit les valeurs réelles du gain en tension :

$$G_{v1} = -4{,}3 \cdot 10^{-3}\,(1{,}33 \cdot 10^{3} \,//\, 2 \cdot 10^{4}) \simeq -5{,}7$$
$$G_{v2} = -4{,}3 \cdot 10^{-3}\,(2 \cdot 10^{4} \,//\, 2 \cdot 10^{4}) = -4{,}3.$$

Exercice 3. **L'amplificateur différentiel de la figure 4.138 est présenté au paragraphe 4.4.2.6. Retrouver les expressions de s_1 et s_2 à partir des relations**

$$e_1 = v_{gs1} + R_S\, g\,(v_{gs1} + v_{gs2})$$
$$e_2 = v_{gs2} + R_S\, g\,(v_{gs1} + v_{gs2})$$
$$s_1 = -g\, v_{gs1}\, R_D$$
$$s_2 = -g\, v_{gs2}\, R_D$$

issues de la figure 4.139.

Solution

Les deux dernières équations nous fournissent v_{gs1} et v_{gs2}

$$v_{gs1} = -\frac{s_1}{g\,R_D} \qquad \text{et} \qquad v_{gs2} = -\frac{s_2}{g\,R_D}$$

que nous « injectons » dans les deux premières. Puis, nous effectuons une somme et une différence

$$\begin{aligned} e_2 + e_1 &= -\frac{s_2}{g\,R_D}(1 + g\,R_S + g\,R_S) - \frac{s_1}{g\,R_D}(1 + g\,R_S + g\,R_S) \\ &= (-s_2 - s_1)\frac{1 + 2\,g\,R_S}{g\,R_D} \\ e_2 - e_1 &= +\frac{s_2}{g\,R_D}(g\,R_S - 1 - g\,R_S) + \frac{s_1}{g\,R_D}(g\,R_S + 1 - g\,R_S) \\ &= (-s_2 + s_1)\frac{1}{g\,R_D}. \end{aligned}$$

Ces équations deviennent

$$-s_2 + s_1 = (e_2 - e_1)\, g\,R_D$$
$$-s_2 - s_1 = (e_2 + e_1)\frac{g\,R_D}{1 + 2\,g\,R_S}$$

Nous effectuons à nouveau une somme et une différence

$$-2\,s_2 = (e_2 - e_1)\, g\,R_D + (e_2 + e_1)\frac{g\,R_D}{1 + 2\,g\,R_S}$$
$$+2\,s_1 = (e_2 - e_1)\, g\,R_D - (e_2 - e_1)\frac{g\,R_D}{1 + 2\,g\,R_S}$$

qui nous fournissent

$$s_2 = -\frac{g R_D}{2}(e_2 - e_1) - \frac{g R_D}{1 + 2 g R_S}\left(\frac{e_2 + e_1}{2}\right)$$

$$s_1 = +\frac{g R_D}{2}(e_2 - e_1) - \frac{g R_D}{1 + 2 g R_S}\left(\frac{e_2 + e_1}{2}\right)$$

Exercice 4. **On réalise l'amplificateur de la figure 4.178 constitué d'un étage drain commun, suivi d'un émetteur commun.**

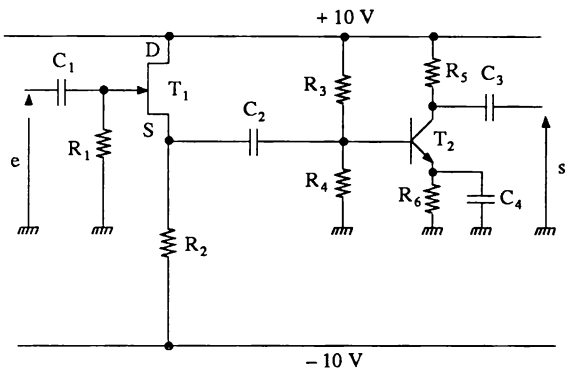


Figure 4.178

— Quels sont les points de repos approximatifs sachant que R_1 = 10 MΩ, R_2 = 10 kΩ, R_3 = 74 kΩ, R_4 = 26 kΩ, R_5 = 5 kΩ, R_6 = 2 kΩ, I_{DSS} = 4 mA, V_{GSoff} = – 1 V, $I_{DG} \simeq 0$, β = 200, $V_{BE} \simeq$ 0,6 V ?

— Quels sont les paramètres de cet amplificateur, si les condensateurs présentent une impédance négligeable à la fréquence considérée ?

Solution

— La polarisation du montage drain commun impose une tension aux bornes de R_2, voisine de 10 V, soit un courant $I_D \simeq \frac{10}{10^4} = 1$ mA. Ce courant est le quart de I_{DSS}. La tension V_{GS0} est donc égale à $V_{GSoff}/2$. Ainsi V_{SM} = – 0,5 V (potentiel de la source par rapport à la masse).

En ce qui concerne T_2, et au vu de la valeur des résistances, la tension V_{BM} vaut

$$V_{BM} \simeq \frac{R_4}{R_3 + R_4} \cdot 10 = 2{,}6 \text{ V}$$

donc

$$V_{R6} = 2{,}6 - V_{BE} = 2 \text{ V}$$

$$I_E \simeq I_C = \frac{2}{2\,\text{k}\Omega} = 1\ \text{mA}$$

soit $V_{CM} = 5\ \text{V}$ $(V_{CE} = 3\ \text{V})$

— La pente du transistor à effet de champ est fournie par la relation

$$g = g_0 \left(1 - \frac{V_{GS}}{V_{GSoff}}\right) \qquad \text{avec} \qquad g_0 = \frac{-I_{DSS}}{V_{GSoff}/2}$$

soit $$g = \frac{4 \cdot 10^{-3}}{0{,}5} \left(1 - \frac{0{,}5}{1}\right) = 4 \cdot 10^{-3}\ \text{S}$$

Ce résultat aurait pu être obtenu à partir de la relation

$$g = -\frac{2}{V_{GSoff}} \sqrt{I_{D0} \cdot I_{DSS}}$$

Les caractéristiques du premier étage sont

$$R_{e1} \simeq R_1 = 10\ \text{M}\Omega$$

$$G_{v1} = \frac{g R_2}{1 + g R_2} = \frac{4 \cdot 10^{-3} \cdot 10^4}{1 + 4 \cdot 10^{-3} \cdot 10^4} \simeq 1$$

$$R_{s1} = \frac{R_S}{1 + g R_S} = R_S \,//\, \frac{1}{g} = 10^4 \,//\, 250 \simeq 250\ \Omega.$$

Les caractéristiques du second étage sont :

$$h_{11} \simeq \frac{\beta}{40 I_C} = \frac{200}{40 \cdot 10^{-3}} = 5\,000\ \Omega$$

$$R_{e2} = R_3 \,//\, R_4 \,//\, h_{11} = 74\ \text{k}\Omega \,//\, 26\ \text{k}\Omega \,//\, 5\ \text{k}\Omega \simeq 4\ \text{k}\Omega$$

$$G_{v2} = -40 R_5 I_C = -40 \cdot 5 \cdot 10^3 \cdot 10^{-3} = -20$$

$$R_{s2} = R_5 = 5\ \text{k}\Omega.$$

On en déduit les caractéristiques globales

$$R_e = R_{e1} = 10\ \text{M}\Omega$$

$$R_s = R_{s2} = 5\ \text{k}\Omega$$

$$G_{v0} = G_{v1} \cdot A_{tt1\cdot2} \cdot G_{v2} = 1 \cdot \frac{4\,000}{4\,250} \cdot (-200) \simeq -190$$

Exercice 5. **On réalise l'amplificateur de la figure 4.179 en utilisant deux montages source commune. Les transistors à effet de champ présentent comme caractéristiques $I_{DSS} = 4$ mA, $V_{GSoff} = -1$ V et $r_{ds} = \dfrac{1}{g_{os}} = 10$ kΩ.**

— Déterminer la valeur des composants, sachant que nous nous imposons $R_e \geq 1$ MΩ, $V_{DS} = 4$ V, $I_D = 2$ MA, $V_{R4} = V_{R8} = 2$ V.

— En déduire le gain en tension et la résistance de sortie de l'ensemble, sans r_{ds}, puis avec r_{ds}.

— Indiquer la valeur des condensateurs si la fréquence de fonctionnement est de 10 kHz et la charge en sortie, de 100 kΩ.

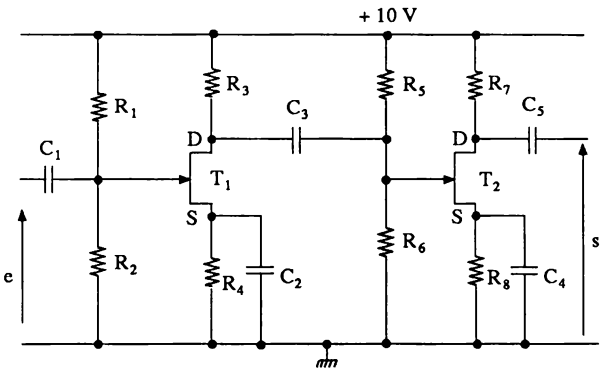


Figure 4.179

Solution

— La première partie de cet exercice peut être traitée par la méthode des flèches. On en déduit

$$R_4 = R_8 = \frac{2}{2\text{ mA}} = 1\text{ k}\Omega$$

$$R_3 = R_7 = \frac{10 - (4+2)}{2\text{ mA}} = 2\text{ k}\Omega.$$

A cette valeur de I_D correspond une pente

$$g = -\frac{2}{V_{GSoff}}\sqrt{I_D \cdot I_{DSS}} = +\frac{2}{1}\sqrt{2 \cdot 10^{-3} \cdot 4 \cdot 10^{-3}}$$

$$g = 5{,}66 \cdot 10^{-3}\text{ S}$$

Comme $g_0 = -\dfrac{I_{DSS}}{V_{GSoff}/2} = \dfrac{4 \cdot 10^{-3}}{0{,}5} = 8 \cdot 10^{-3}\text{ S}$

et que $g = g_0\left(1 - \dfrac{V_{GS}}{V_{GSoff}}\right)$, on en déduit

$$V_{GS} = \frac{g_0 - g}{g_0} \cdot V_{GSoff} = \frac{8 - 5{,}66}{8}(-1) = -0{,}3\text{ V}$$

Cette valeur de V_{GS} permet de déterminer les résistances de polarisation car le potentiel des grilles est $V_{GM} = V_{R2} = V_{R6} = 2 - 0{,}3 = 1{,}7$ V

Ainsi avons-nous, d'une part

$$\frac{R_2}{R_1 + R_2} \cdot 10 = \frac{R_6}{R_5 + R_6} \cdot 10 = 1{,}7,$$

et, d'autre part

$R_1 // R_2 = R_e \geq 1$ MΩ, résistance d'entrée du montage

$R_6 // R_5 >> R_3$, afin d'obtenir $A_{tu1\cdot2} \simeq 1$.

On peut, par exemple, prendre

$$R_2 = R_6 = 1{,}7 \text{ MΩ}$$
$$R_1 = R_5 = 8{,}3 \text{ MΩ}.$$

— Comme l'atténuation entre les deux étages est de 1, le gain en tension de l'ensemble est égal au produit des deux gains séparés

$$G_{v0} = G_{v1} \cdot G_{v2}$$

avec $G_{v1} = -g R_3$ ou $-g\ (R_3 // r_{ds})$

$G_{v2} = -g R_7$ ou $-g\ (R_7 // r_{ds})$

Ainsi $G_{v1} = G_{v2} = -5{,}66 \cdot 10^{-3} \cdot 2 \cdot 10^3 = -11{,}3$

$G_{v0} = (-11{,}3)^2 \simeq +\mathbf{128}$

ou $G_{v1} = G_{v2} = -5{,}66 \cdot 10^{-3}\ (2 \cdot 10^3 // 10^4) = -9{,}43$

$G_{v0} = (-9{,}43)^2 = +\mathbf{89}$

La résistance de sortie vaut :

$$R_s = R_7 = \mathbf{2\ k\Omega}$$

ou $R_s = R_7 // r_{ds} = \mathbf{1{,}66\ k\Omega}.$

— La valeur des condensateurs est obtenue à partir des inégalités :

$$\frac{1}{C_1 \omega} << R_1 // R_2 \quad , \quad \frac{1}{C_3 \omega} << R_5 // R_6$$
$$\frac{1}{C_2 \omega} << \frac{1}{g} // R_4 \quad , \quad \frac{1}{C_4 \omega} << \frac{1}{g} // R_8$$
$$\frac{1}{C_5 \omega} << R_{ch}$$

Ainsi $C_1 = C_3 \geq 113$ pF

$C_2 = C_4 \geq 0{,}93$ µF

$C_5 \geq 1{,}6$ nF.

Exercice 6. **La figure 4.180 représente le schéma d'un amplificateur différentiel.**

— Expliquer le rôle de chaque élément.

— Les transistors à effet de champ sont rigoureusement identiques ($I_{DSS} = 1$ mA, $V_{GSoff} = -1$ V, $r_{ds} \simeq \infty$). Quelle doit être la valeur de R_1. Que valent V_{GS1} et V_{GS2} ?

— **Représenter le schéma équivalent en régime variable et déterminer les expressions**

$$i_{s1}\,(e_1 - e_2) \qquad \text{et} \qquad i_{s2}\,(e_1 - e_2)$$

— **Dans le cas où une seule sortie est utilisée, il faut tenir compte des résistances $r_{ds} = 20$ kΩ. Déterminer l'expression $s_2\,(e_1 - e_2)$**

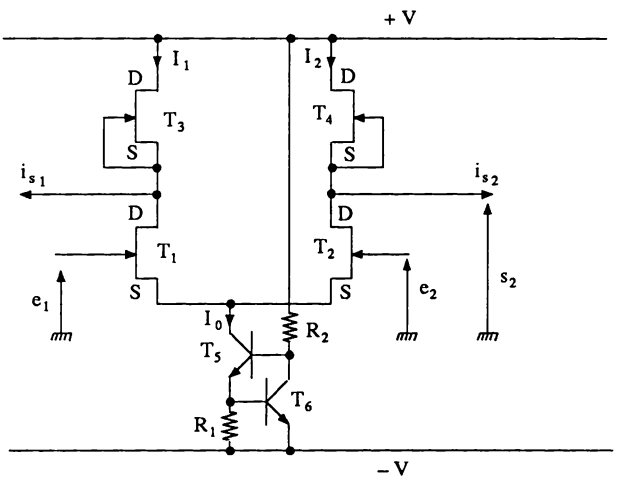


Figure 4.180

Solution

— Les transistors T_1 et T_2 sont chargés respectivement par les sources de courant T_3 et T_4. L'ensemble est polarisé par une autre source de courant I_0 constituée de T_5 et T_6. La résistance R_2 polarise T_5 alors que T_6 impose $V_{R_1} \simeq 0{,}6$ V, donc I_0 constant. Le courant dans R_2 doit toujours être supérieur à I_{B5} quelle que soit la valeur de l'alimentation V.

— Comme $V_{GS3} = V_{GS4} = 0$, les courants I_1 et I_2 sont égaux et correspondent à I_{DSS}. Ainsi,

$$I_0 = I_1 + I_2 = 2\,I_{DSS} = 2 \text{ mA}$$

et

$$R_1 \simeq \frac{0{,}6}{2 \text{ mA}} = 300\ \Omega.$$

Les courants I_1 et I_2 circulant dans T_1 et T_2, imposent $V_{GS1} = V_{GS2} = 0$.

— Le schéma équivalent en régime variable est représenté sur la figure 4.181. La loi des mailles nous donne

$$e_1 - v_1 + v_2 - e_2 = 0.$$

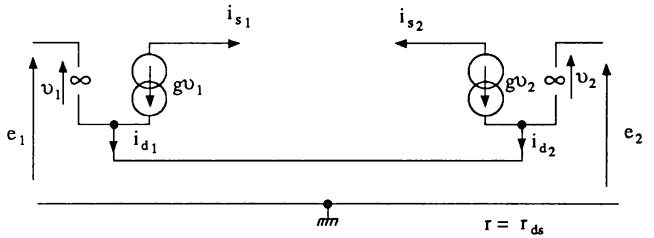


Figure 4.181

Comme $i_2 = -i_1$, cela impose $v_2 = -v_1$ soit $v_1 = \dfrac{e_1 - e_2}{2}$

On en déduit alors

$$i_{s1} = -g\, v_1 = -\frac{g}{2}(e_1 - e_2)$$

et

$$i_{s2} = +\frac{g}{2}(e_1 - e_2)$$

Il est bien entendu que les courants i_{s1} et i_{s2} existent grâce à des charges imaginaires.

— Lorsqu'une seule sortie est utilisée, on tient compte des résistances r_{ds} de chaque transistor. Le nouveau schéma équivalent en régime variable de la figure 4.182 permet d'écrire

$$s_2 = -r_{ds}\, i_2 \rightarrow i_2 = -\frac{s_2}{r_{ds}}$$

$$+ s_2 - r_{ds}\,(i_2 - g\, v_2) + v_2 - e_2 = 0$$

soit

$$s_2 = -s_2 - (1 + g\, r_{ds})\, v_2 + e_2$$

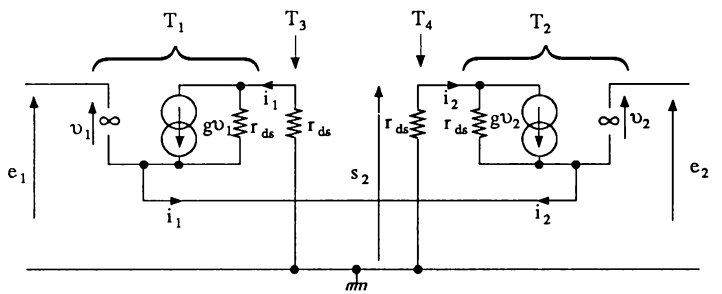


Figure 4.182

On peut exprimer v_2 en fonction de e_1 et e_2 sachant que

$$+ e_1 - v_1 + v_2 - e_2 = 0$$

et $i_1 = -i_2$ donc $v_1 = -v_2$

alors $e_1 - e_2 = -2\,v_2$.

Ainsi l'expression de s_2 devient

$$s_2 = \frac{1 + g\,r_{ds}}{4}(e_1 - e_2) + \frac{e_2}{2}$$

Cette expression n'est pas exploitable à cause du terme $e_2/2$. Il faut alors, par symétrie, déduire la sortie possible s_1

$$s_1 = -\frac{1 + g\,r_{ds}}{4}(e_1 - e_2) + \frac{e_1}{2}$$

Comme $s_1 = -s_2$, une différence $(s_2 - s_1)$ des deux dernières équations nous donne

$$2\,s_2 = \frac{1 + g\,r_{ds}}{2}(e_1 - e_2) - \frac{e_1}{2} + \frac{e_2}{2}$$

soit

$$s_2 = \frac{g\,r_{ds}}{4}(e_1 - e_2)$$

Sachant que $g = g_0 = \dfrac{-I_{DSS}}{V_{GSoff}/2} = 2 \cdot 10^{-3}$ S, le gain différentiel à vide vaut

$$A_d = \frac{2 \cdot 10^{-3} \cdot 2 \cdot 10^4}{4} = 10$$

Remarque. On rencontre ce type de montage dans les amplificateurs opérationnels BIFET de NS. L'étage qui suit est un amplificateur différentiel bipolaire à très grande résistance d'entrée (transistors Darlington).

Exercice 7. **Le schéma de la figure 4.183 représente un amplificateur différentiel cascode. Chaque transistor est identique (I_{DSS} = 4 mA, V_{GSoff} = – 2 V) et V_{R2} = 5 V.**

— Quel est le point de fonctionnement de chaque transistor ?

— Quel est l'avantage du montage cascode ?

— Quel est le gain en tension différentiel ?

Solution

— La source de courant impose I_0 = 2 mA. Chaque transistor est parcouru par I_D = 1 mA. C'est le quart de I_{DSS}, donc $V_{GS} = \dfrac{V_{GSoff}}{2}$ = – 1 V. Ainsi, pour $e_1 = e_2 = 0$, nous avons $V_{SM_1} = V_{SM_2}$ = + 1 V, $V_{DS_1} = V_{DS_2}$ = 1 V, donc $V_{SM_3} = V_{SM_4}$ = 2 V. Comme V_{RD} = 5 V, il reste $V_{DS_3} = V_{DS_4} = 10 - 5 - 2 = 3$ V.

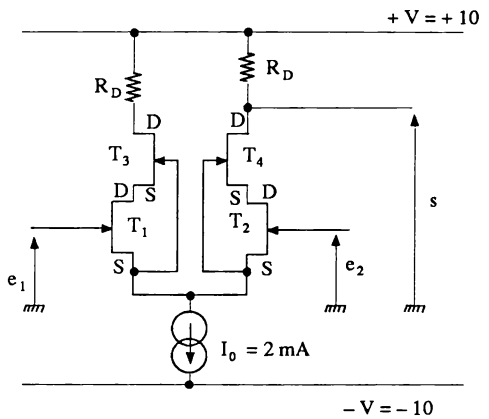


Figure 4.183

— L'avantage du montage cascode est que la capacité Miller (entre drain et grille, ramenée entre grille et source) est d'influence négligeable à cause du gain en tension réduit de T_1 et T_2 (T_1 et T_2 travaillent en sources couplées alors que T_3 et T_4 travaillent en base commune). Cet amplificateur différentiel présente une meilleure bande passante que les précédents.

— Le gain en tension différentiel A_d est obtenu à partir du schéma équivalent en régime variable de la figure 4.184. De toute évidence, nous avons

$$i_1 = g\, v_1 = g\, v_3$$

et

$$i_2 = g\, v_2 = g\, v_4.$$

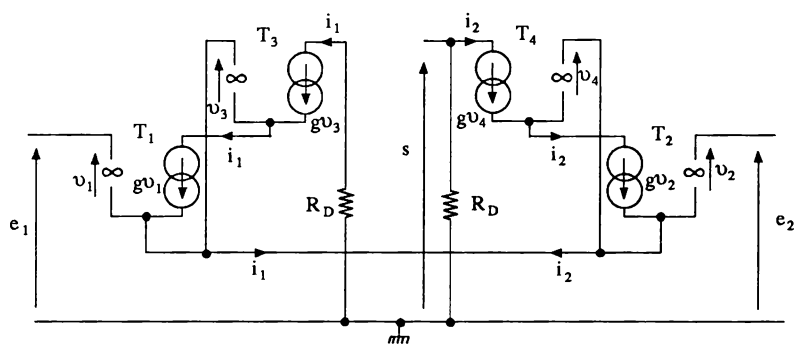


Figure 4.184

Comme $i_1 = -i_2$, donc $v_1 = -v_2$, à partir des relations

$$s = -R_D\, i_2 = -R_D\, g\, v_2$$

et $$+e_1 - v_1 + v_2 - e_2 = 0$$

soit $$v_2 = -\frac{(e_1 - e_2)}{2}$$

nous obtenons

$$s = +\frac{g R_D}{2}(e_1 - e_2)$$

C'est la même expression que pour l'amplificateur différentiel simple de la figure 4.138. L'application numérique nous donne

$$R_D = \frac{5}{I_D} = \frac{5}{1\text{ mA}} = 5\text{ k}\Omega$$

$$g = -\frac{2}{V_{GSoff}}\sqrt{I_{D0} \cdot I_{DSS}} = +\frac{2}{2}\sqrt{10^{-3} \cdot 4 \cdot 10^{-3}} = 2 \cdot 10^{-3}\text{ S}$$

et $$\frac{g R_D}{2} = \frac{2 \cdot 10^{-3} \cdot 5 \cdot 10^3}{2} = 5$$

Remarquons, encore une fois, la faible valeur du gain en tension.

Exercice 8. **Montrer que, malgré la symétrie et la réversibilité possible des transistors MOS, les deux montages de la figure 4.185 ne sont pas identiques. On prendra comme application numérique R = 10 kΩ et g = 1 mA/V.**

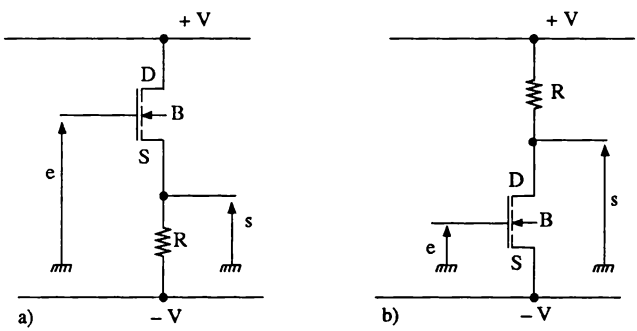


Figure 4.185

Solution

A cause de leur symétrie, les transistors MOS peuvent être « retournés ». Ainsi, le drain D devient la source S' et vice-versa, sans changer le schéma équivalent en régime variable. Cette opération impose de connecter correctement le substrat (en général à la source S ou S').

Le schéma équivalent de chaque montage est indiqué sur la figure 4.186. Il est clair que les résultats ne peuvent pas être identiques.

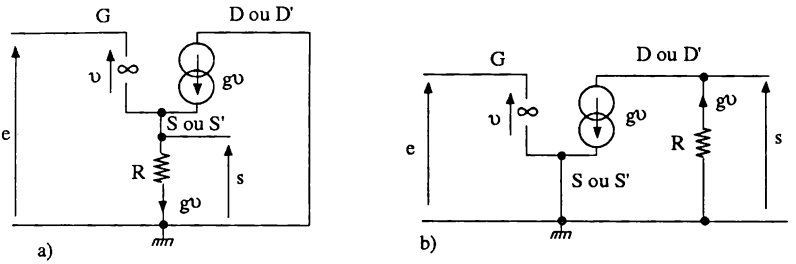


Figure 4.186

— **Figure 4.186a.** C'est le montage drain commun avec

$$e = \upsilon + R\,g\,\upsilon = \upsilon\,(1 + g\,R)$$

et $$s = R\,g\,\upsilon$$

soit $$\frac{s}{e} = \frac{g\,R}{1 + g\,R} = \frac{10^{-3} \cdot 10^{4}}{1 + 10^{-3} \cdot 10^{4}} \simeq \mathbf{1}$$

— **Figure 4.186b.** C'est le montage source commune avec

$$e = \upsilon$$

et $$s = -R_D\,g\upsilon$$

soit $$\frac{s}{e} = -\,g\,R_D = -\,10^{-3} \cdot 10^{4} = \mathbf{-\,10}$$

Exercice 9. **On veut étudier le comportement de l'inverseur CMOS de la figure 4.187. La caractéristique I_D (V_{DS}) indiquée est celle du transistor NMOS.**

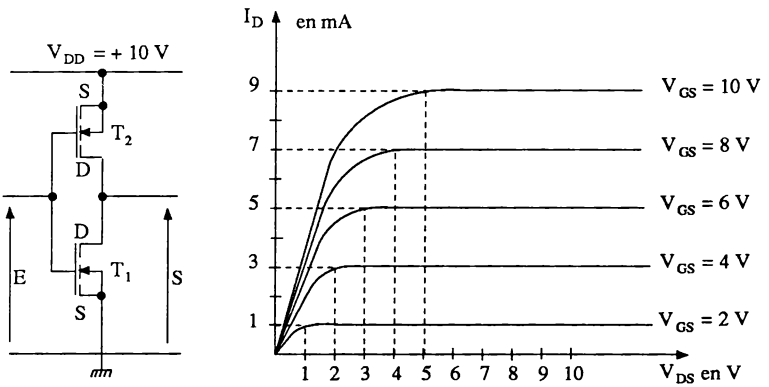


Figure 4.187

— En supposant que T_2 est rigoureusement symétrique de T_1, déterminer approximativement la courbe de transfert $S(E)$.

— Déterminer le gain en tension $\frac{\Delta S}{\Delta E} = \frac{s}{e}$ autour de $S = E = 5$ V si $r_{ds1} = r_{ds2} = 20$ kΩ. Quelle est la valeur de la résistance de sortie ?

Solution

— Pour obtenir la courbe de transfert $S(E)$, il faut superposer aux graphes I_D (V_{DS}) de T_1, présentés sur la figure 4.187, des graphes identiques dont l'axe des ordonnées serait positionné à la valeur $V_{DS} = V_{DD} = 10$ V et tracés vers la gauche de cet axe. La figure 4.188 permet de mieux comprendre le processus.

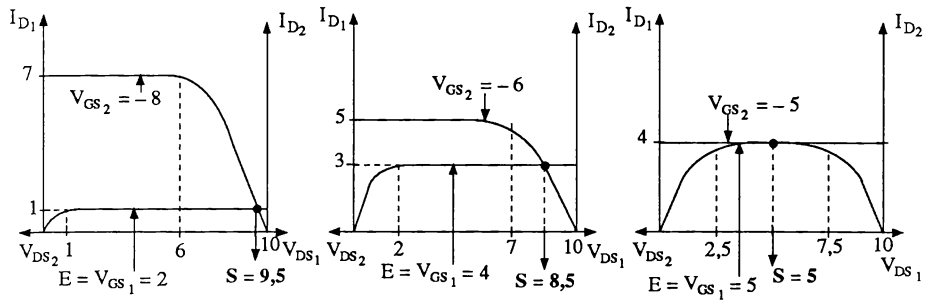


Figure 4.188

• **Figure de gauche.** Pour $E = 2$ V, on prend la caractéristique I_{D1} (V_{DS1}) correspondant à $V_{GS1} = 2$ V. Comme la tension d'alimentation est 10 V, le transistor T_2 est polarisé par $V_{GS2} = -8$ V. On représente donc la caractéristique de T_2 vers la gauche à partir de 10 V. Le point de rencontre des deux caractéristiques fournit $S \simeq +9{,}5$ V (pour notre cas de figure).

• **Figure centrale.** Pour $E = V_{GS1} = 4$ V, on a $V_{GS2} = -6$ V. Le point de rencontre des deux caractéristiques fournit $S \simeq 8{,}5$ V.

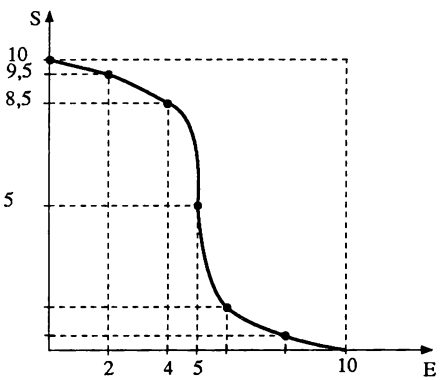


Figure 4.189

• **Figure de droite.** Pour $E = V_{GS_1} = 5$ V, on a $V_{GS_2} = -5$ V et $S = +5$ V.

On en déduit point par point la caractéristique $S(E)$ de la figure 4.189. Remarquons que, si les caractéristiques I_D (V_{DS}) sont horizontales dans la zone de saturation, la pente de $S(E)$ est infinie entre $S \simeq +2{,}5$ V et $S \simeq +7{,}5$ V.

— La remarque précédente nous permet d'affirmer que le gain en tension $\frac{S}{e}$ serait infini lorsque $E = S = 5$ V. En réalité, il faut tenir compte de l'influence des résistances r_{ds}. Le schéma équivalent en régime variable est alors celui de la figure 4.190. Comme la variation v_{gs} est la même pour chaque transistor, il n'y a pas de variation de courant entre les deux drains. Le gain en tension est facile à déduire

$$\frac{S}{e} = -g\, r_{ds}.$$

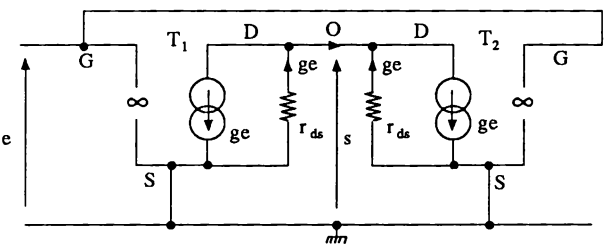


Figure 4.190

Pour obtenir la transconductance g de chaque transistor, il faut revenir au réseau de caractéristiques I_D (V_{DS}) de la figure 4.187. Pour $V_{DS} = 5$ V, nous avons $\frac{\Delta I_D}{\Delta V_{GS}} = \frac{2\text{ mA}}{2\text{ V}}$ soit $g = 10^{-3}$ S. Le gain en tension de l'inverseur CMOS est alors

$$\frac{S}{e} = -10^{-3} \cdot 2 \cdot 10^4 = -20$$

La résistance de sortie correspond aux deux résistances r_{ds} mises en parallèle

$$R_s = \frac{r_{ds}}{2} = 10\text{ k}\Omega.$$

Remarque très importante. La résistance de sortie de cet inverseur CMOS est de 10 kΩ lorsque chaque transistor travaille en source de courant, ce qui correspond à notre étude. Dans le cas de fonctionnement en tout ou rien (opérateur logique), la résistance de sortie est beaucoup plus faible. En effet, si nous prenons l'exemple de la figure 4.188 de gauche, nous voyons que T_1 travaille en source de courant alors que T_2 travaille en résistance équivalente dont la valeur est approximativement

$$R_s \simeq \frac{\Delta V_{DS}}{\Delta I_D} = \frac{10 - 9{,}5}{1\ \text{mA}} = 500\ \Omega$$

Exercice 10. **On utilise trois inverseurs CMOS (identiques à celui de l'exercice précédent) pour réaliser l'amplificateur de la figure 4.191.**

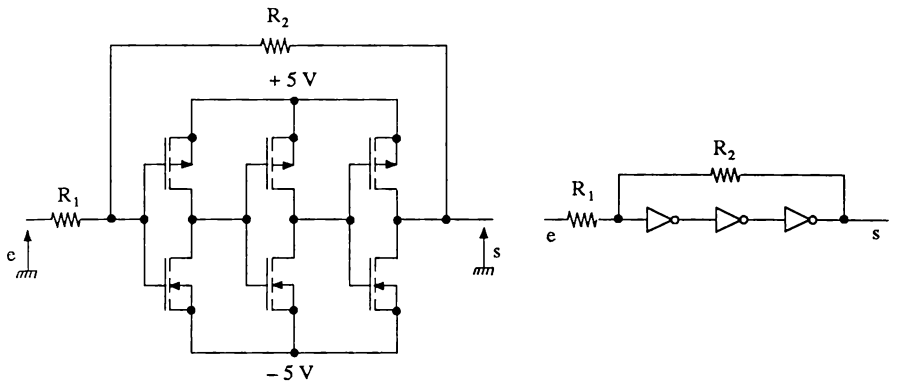


Figure 4.191

— Quel est le gain en boucle ouverte de cet amplificateur ?

— Quels sont les paramètres électriques R_e, G_{v0} et R_s de l'ensemble si $R_1 = 10\ k\Omega$ et $R_2 = 100\ k\Omega$ (consulter éventuellement les ouvrages *Amplificateurs opérationnels* et *Amplificateurs de puissance*) ?

Solution

— Comme la résistance d'entrée de chaque étage est infinie, il n'y a pas d'atténuation inter-étage. Le gain en tension en boucle ouverte est alors

$$A = (-20)^3 = -8\,000$$

— En boucle fermée, nous avons la configuration d'un amplificateur inverseur dont le gain est

$$\frac{s}{e} = +\alpha \frac{-A}{1 - AB}$$

avec

$$\alpha = \frac{R_2}{R_1 + R_2} = \frac{10}{11}$$

$$B = \frac{R_1}{R_1 + R_2} = \frac{1}{11}$$

$$|AB| = 8\,000 \times \frac{1}{11} >>> 1$$

Ainsi $\frac{s}{e} \simeq -\frac{\alpha}{B} = -10 = -\frac{R_2}{R_1}$

La résistance de sortie du montage correspond à la résistance de sortie du dernier inverseur (10 kΩ) divisée par le gain de boucle $\left(\frac{8\,000}{11}\right)$. Soit

$$R_s \simeq \frac{10^4}{8 \cdot 10^2} = 125\ \Omega$$

La résistance d'entrée est égale à $R_1 = 10$ kΩ

Exercice 11. **La figure 4.192 représente un amplificateur différentiel en technologie CMOS. Les transistors P_1 et P_2 travaillent en miroir de courant.**

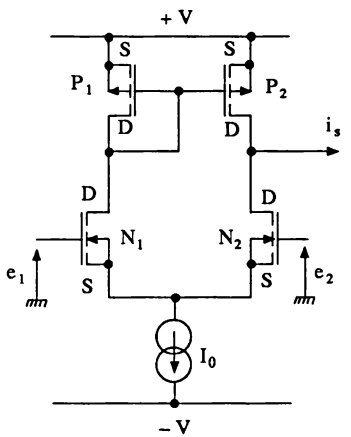


Figure 4.192

— Représenter le schéma équivalent en régime variable.

— Déterminer la transconductance $\frac{i_s}{e_1 - e_2}$ si $r_{ds} = \infty$.

Solution

— Le schéma équivalent en régime variable est celui de la figure 4.193. Pour un problème de commodité, nous avons inversé le sens des flèches des générateurs de courant pour les transistors P_1 et P_2. Comme $v_{gsP1} = v_{gsP2}$, nous avons $i_{dP1} = i_{dP2} = g\ v_1$.

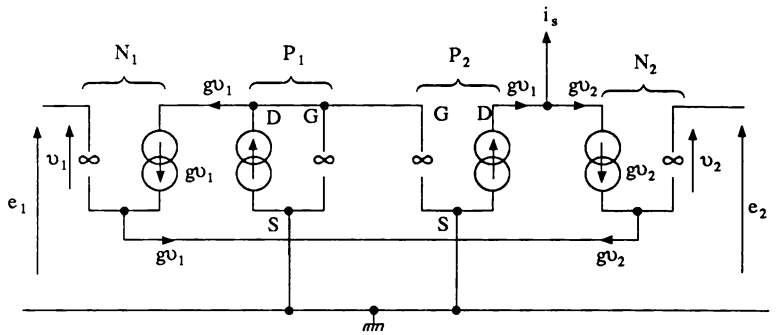


Figure 4.193

— La transconductance de cet étage est déterminée à partir de la relation

$$i_s = g\ v_1 - g\ v_2$$

Sachant que $+ e_1 - v_1 + v_2 - e_2 = 0$

et $g\ v_1 = -g\ v_2,$

nous obtenons $g\ v_1 = \frac{g}{2}(e_1 - e_2)$

$$g\ v_2 = -\frac{g}{2}(e_1 - e_2)$$

Ainsi $i_s = g\ (e_i - e_2)$

La transconductance de cet amplificateur différentiel est égale à $g = 10^{-3}$ S, grâce à la présence du miroir de courant. Sans ce dernier, la tansconductance serait égale à $g/2$. On rencontre le même problème qu'avec les transistors bipolaires.

4.5. AMPLIFICATEURS VIDÉOFRÉQUENCES, RADIOFRÉQUENCES ET HYPERFRÉQUENCES

Cette section comporte beaucoup de points communs avec la section 3.5 consacrée aux transistors bipolaires utilisés en hautes fréquences.

4.5.1. TRANSISTORS A EFFET DE CHAMP HAUTES FRÉQUENCES

4.5.1.1. Technologies utilisées

A chaque application hautes fréquences correspond une technologie particulière.

— **Transistor JFET.** Ce transistor est particulièrement apprécié pour son faible bruit (en plus de sa grande impédance d'entrée). On le rencontre dans les amplificateurs vidéofréquences et certaines applications radiofréquences.

— **Transistor MOSFET.** Plus « bruyant » que le précédent, il trouve ses applications dans le domaine des radiofréquences en faible et forte puissance.

— **Transistor MESFET** (MEtal Semiconductor FET). Ce transistor à jonction Schottky utilise l'arséniure de gallium comme matériau semiconducteur. Son domaine d'application se trouve dans les hyperfréquences à cause de sa rapidité (plusieurs dizaines de gigahertz) et de son faible bruit (1 dB de facteur de bruit à 10 gigahertz).

— **Transistor TEGFET** (*Two dimensional Electron Gas* FET) encore appelé HEMT *(High Electron Mobility Transistor)*. C'est un transistor MESFET dans lequel on intercale entre la grille métallique et le matériau GaAs, une mince couche de GaAlAs. Les électrons situés à l'interface GaAs-GaAlAs constituent un « gaz » à deux dimensions. Leur très forte mobilité permet de réaliser des composants hyperfréquences pouvant, dans l'avenir, détrôner les MESFET.

4.5.1.2. Paramètres naturels du JFET

Les paramètres naturels du JFET sont surtout capacitifs. On peut utiliser deux schémas équivalents suivant que nous travaillons en basses fréquences ou en hautes fréquences :

— **Schéma basses fréquences** (figure 4.194). Il ne tient compte que des deux capacités principales (capacité d'entrée entre grille et source C_{gs} et capacité de réaction entre grille et drain C_{gd}).

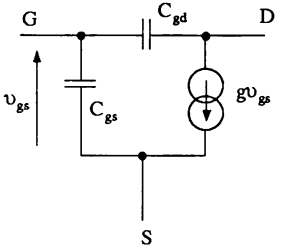


Figure 4.194

— **Schéma hautes fréquences** (figure 4.195). Tous les éléments sont représentés, hormis les inductances de liaisons. Notons la présence de la résistance r_S, représentant la partie résistive entre les connexions de drain et de source et le canal actif.

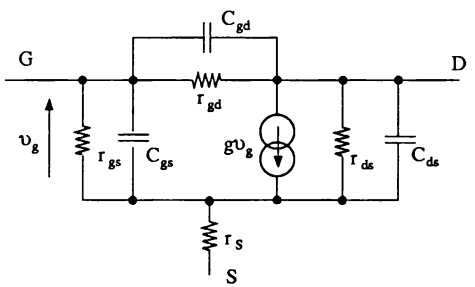


Figure 4.195

Quelques ordres de grandeurs s'imposent.

- **Résistance d'entrée** $r_{gs} \simeq 10^{10}\ \Omega$. Elle représente la résistance de fuite de la jonction grille-source polarisée en inverse. Sa valeur diminue rapidement losque la température croît.
- **Résistance de réaction** $r_{gd} \simeq 10^{10}\ \Omega$. Elle est de même nature que r_{gs}.
- **Résistance de sortie** $r_{ds} = \dfrac{1}{g_{ds}} = \dfrac{1}{g_{os}}$. C'est l'inverse de la conductance du canal. Sa valeur dépendant de l'effet Early, se situe entre 10^4 et $10^5\ \Omega$.
- **Résistance intrinsèque de connexion** r_S. Elle est comprise entre 10 et 100 Ω (pour des transistors de faible puissance).
- **Capacité d'entrée** $C_{gs} = C_{11_s} = C_{is}$. C'est la capacité d'une jonction polarisée en inverse. Sa valeur varie entre quelques dizièmes de pF et 3 pF.
- **Capacité de réaction** $C_{gd} = C_{12_s} = C_{rs}$. C'est aussi la capacité d'une jonction polarisée en inverse. Comme, en fonctionnement petits signaux,

les tensions de repos imposent $|V_{GD}| > |V_{GS}|$, cette capacité parasite de plus faible valeur que la précédente, dépasse rarement le picofarad.

• **Capacité de sortie** $C_{ds} = C_{22_s} = C_{os}$. C'est la capacité parasite du canal dont la valeur est inférieure au picofarad.

• **Transconductance** $g = g_{fs}$. Elle se situe entre 0,1 mA/V et 100 mA/V (de 0,1 mS à 0,15 S).

Remarques

— Dans certains cas, les capacités sont définies lorsque l'entrée ou la sortie sont court-circuitées. Ainsi :

• $C_{iss} = C_{gss}$ $C_{11_{ss}}$ représente la capacité d'entrée en source commune, lorsque la sortie est court-circuitée. Alors

$$C_{gss} = C_{gs} + C_{gd}$$

• $C_{oss} = C_{dss} = C_{22_{ss}}$ représente la capacité de sortie en source commune, lorsque l'entrée est court-circuitée. Alors

$$C_{dss} = C_{ds} + C_{gd} \simeq C_{gd}$$

— Pour le transistor bipolaire, nous avons défini la réponse en fréquence du gain en courant I_B et de la transconductance I_C/V_{BE} et nous en avons déduit les fréquences de cassures f_β et f_C. Un calcul parallèle peut être effectué dans le cas du transistor JFET. A une variation de tension v_{gs} correspond une variation de la largeur de la barrière de potentiel entre le canal et la grille, donc une variation de la quantité de charge de la capacité C_{gs} compensée par le courant de drain i_d. La relation d'énergie

$$t_1 \, i_d = C_{gs} \cdot v_{gs}$$

où t_1 représente le temps de réponse du JFET, permet d'obtenir la fréquence de cassure de ce composant

$$f_C \simeq \frac{1}{t_1} = \frac{i_d}{v_{gs}} \cdot \frac{1}{C_{gs}} = \frac{g}{C_{gs}}$$

Comme la capacité de la grille C_{gs} vaut, au minimum

$$C_{gs} = \frac{l\,L}{d}\,\varepsilon \qquad \text{(canal pincé)}$$

et que la transconductance maximale est

$$g \simeq G_0 = q\,N_d\,\mu_n\,\frac{l\,d}{L}$$

on en déduit

$$f_C \simeq \frac{q\,N_D\,\mu_n\,d^2}{L^2\,\varepsilon}$$

La fréquence de cassure f_C est d'autant plus grande que le canal est court (L petit $\simeq 1$ µm).

4.5.1.3. Paramètres naturels du MESFET

Le transistor MESFET à grille Schottky et arséniure de gallium a été présenté au paragraphe 4.2.7.3. Sa forte mobilité des charges, sa forte fréquence de cassure et surtout son faible bruit le font préférer aux autres composants, dans le domaine des hyperfréquences. A appauvrissement ou à enrichissement, le MESFET ainsi que le TEGFET contribuent à réaliser des portes numériques dont la vitesse de commutation est inférieure à 100 ps. La limitation en rapidité est due aux éléments parasites capacitifs présentés sur le schéma de la figure 4.196. Thomson CSF donne quelques valeurs.

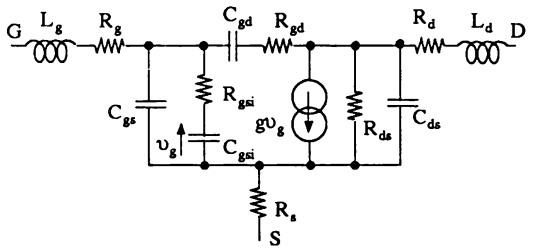


Figure 4.196

$L_g = L_d \simeq 0{,}3$ nH,	$R_g = R_d \simeq 10\Omega$,	$R_{gd} \simeq 3\,000\ \Omega$
$R_s \simeq 2\ \Omega$,	$R_{gsi} \simeq 5\ \Omega$,	$R_{ds} \simeq 400\ \Omega$
$C_{gs} \simeq 0{,}01$ pF,	$C_{gsi} \simeq 0{,}2$ pF,	$C_{ds} \simeq 0{,}1$ pF
$C_{gd} \simeq 0{,}01$ pF,	g = quelques dizaines de mS.	

Notons que pour limiter l'influence des capacités parasites de boîtier, les composants rapides sont utilisés à l'état de puce.

4.5.1.4. Paramètres naturels du MOSFET

Les paramètres naturels du MOSFET ressemblent à ceux des transistors précédents lorsque le substrat est relié à la source ($V_{BS} = 0$). Dans le cas contraire (figure 4.197), il faut ajouter un générateur de courant $g_b\ \upsilon_{sb}$ et trois capacités parasites C_{gb}, C_{bs} et C_{db}. Fournissons quelques éléments pour un transistor canal *N* en fonctionnement saturé.

— **Transconductance**

$$g = 2\sqrt{\frac{l}{L} \cdot \frac{\mu_n C_{ox}}{2} \cdot I_{D0}}.$$

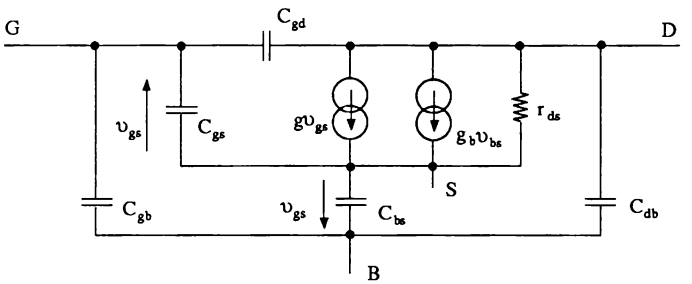


Figure 4.197

— **Transconductance par effet de corps**

$$g_b = -\frac{K/2}{\sqrt{2\,\varnothing_F + V_{SB0}}} \cdot g \qquad \text{avec} \qquad K = \frac{1}{C_{ox}} \sqrt{2\,\varepsilon\, q\, N_A} \simeq 0{,}3$$

— **Conductance drain-source**

$$g_{os} = \frac{1}{r_{ds}} = \frac{1 + \lambda V_{DS0}}{\lambda I_{D0}} \qquad \lambda, \text{ tension de Early}$$

— **Capacités grille-source et drain-source**

$$C_{gs} \simeq l\,L\,C_{ox} \qquad \text{et} \qquad C_{gd} < C_{gs} \qquad (C_{ox} \simeq 6 \cdot 10^5 \text{ pF/cm}^2)$$

C_{gs} compris entre 0,01 pF et 0,1 pF.

— **Capacités par rapport au substrat.** Leurs valeurs, dépendant du mode de fonctionnement, sont indiquées sur la figure 4.198, comparées à la valeur C_{ox} par unité de surface.

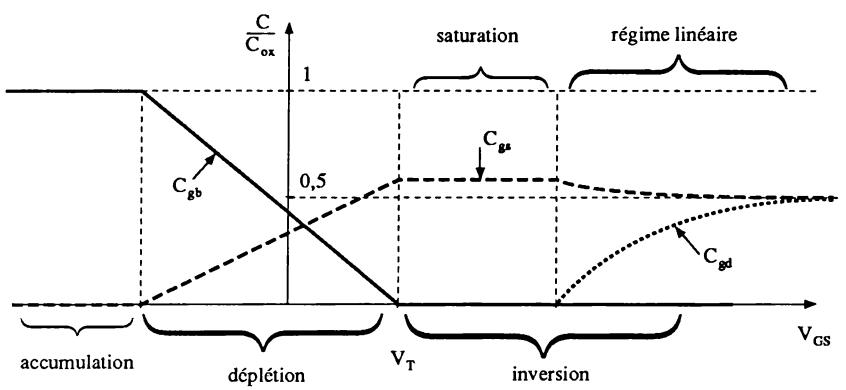


Figure 4.198

La fréquence de cassure du MOSFET est définie, comme pour le JFET, par la relation approchée

$$f_C \simeq \frac{g}{C_{gs}}$$

avec $$g = \frac{l}{L} \mu_n C_{ox} (V_{GS} - V_T)$$

et $$C_{gs} \simeq l L C_{ox}$$

soit $$f_C \simeq \frac{\mu_n (V_{GS} - V_T)}{L^2}$$

Ainsi, les circuits MOS sont d'autant plus rapides que :

— la longueur L du canal est courte (technologie HCMOS, $V_{DD_{max}} = 5$ V),

— la mobilité est importante (circuit en GaAs).

4.5.1.5. Schéma équivalent en paramètres *y*

Les transistors à effet de champ à jonction ou à grille isolée, sont encore définis par leur paramètre $y = g + j\,b$, pour des fréquences inférieures au gigahertz. Le schéma équivalent en régime variable est alors celui de la figure 4.199 (en source commune). Si nous prenons le cas du transistor JFET, on peut admettre les expressions suivantes :

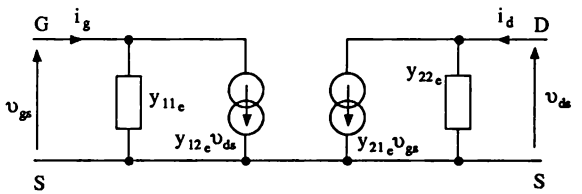


Figure 4.199

$$y_{11} \simeq \omega^2 (C_{gd}^2 R_d + C_{gs}^2 R_s) + j\,\omega (C_{gd} + C_{gs})$$

$$y_{12} \simeq -\omega^2 C_{gd}^2 R_d - j\,\omega C_{gd}$$

$$y_{21} \simeq g$$

$$y_{22} \simeq \frac{1}{r_{ds}} + \omega^2 C_{gd}^2 R_d + j\,\omega C_{gd}$$

Remarquons que la partie réelle de y_{11}, y_{12} et y_{22} croît avec une pente de 40 dB/décade alors que la partie imaginaire croît avec une pente de 20 dB/décade. La transconductance $y_{21} \simeq g$ est quasi constante.

La figure 4.200 représente l'évolution de ces paramètres pour des transistors de dimension NH, entre 100 MHz et 1 gigahertz.

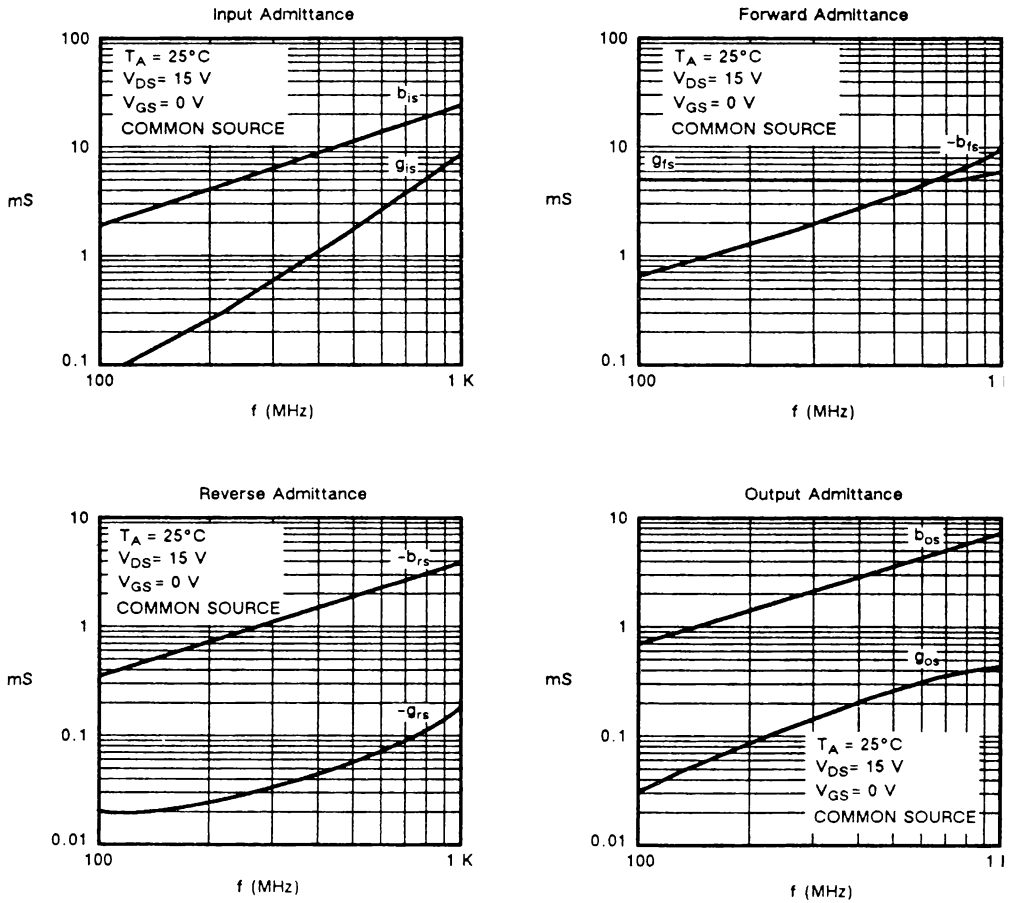
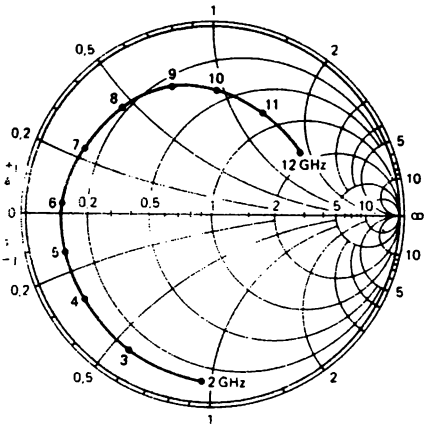


Figure 4.200

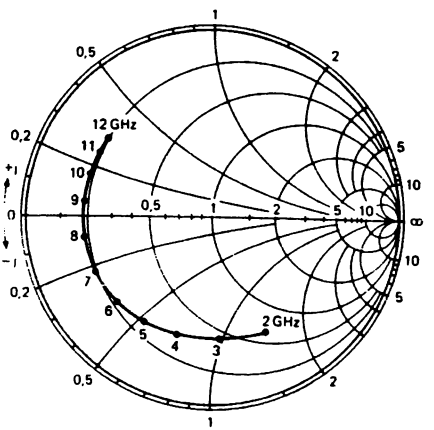
***Source* : Siliconix**

4.5.1.6. Schéma équivalent en paramètres *s*

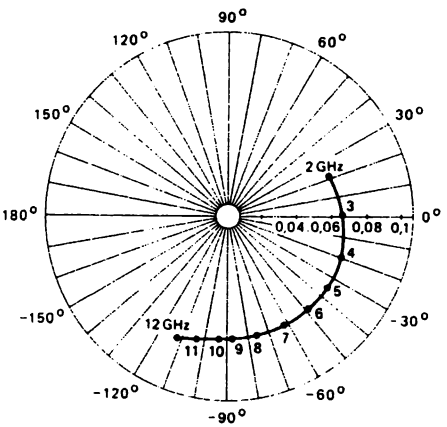
Les transistors à effet de champ JFET, MESFET et MOSFET sont de plus en plus définis par leurs paramètres *s* (paramètres de réflexion s_{ii} et de transmission s_{ij}). La méthode d'étude est alors la même que celle rencontrée pour les transistors bipolaires. La figure 4.201 représente ces paramètres, pour un transistor micro-ondes CFX30, avec, comme conditions, V_{DS} = 8 V et I_{DS} = 50 mA.



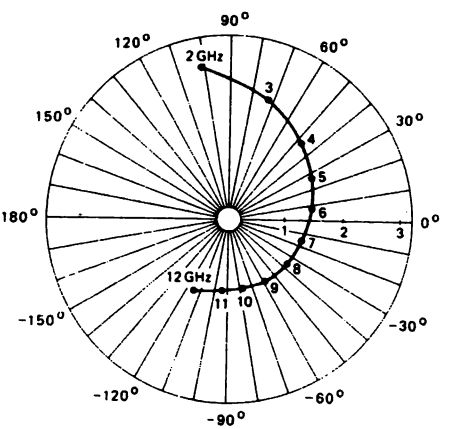
Input reflection coefficient s_{is}.



Output reflection coefficient s_{os}.



Reverse transmission coefficient s_{rs}.



Forward transmission coefficient s_{fs}.

Figure 4.201

Source **: Philips Composants**

Remarques générales

— Les conditions de puissance et de stabilité des montages à FET sont établies en suivant les mêmes critères que pour les transistors bipolaires. Rappelons que les JFET et MESFET sont très peu « bruyants » comparés aux bipolaires.

— Dans certains cas de transistors unilatéralisés, les utilisateurs préfèrent utiliser le modèle de transistor hyperfréquence représenté sur la figure 4.202*. La valeur des éléments du modèle est optimisée par calculateur, pour un fonctionnement entre 1 GHz et 18 GHz.

---

* Article : Modèle de transistor à effet de champ bas niveau, *L'onde électrique*, 1981, Vo/61, n° 4.

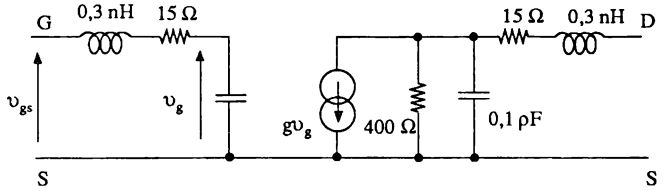


Figure 4.202

4.5.2. AMPLIFICATEURS VIDÉOFRÉQUENCES*

Les transistors à effet de champ à jonction sont particulièrement intéressants dans les applications vidéofréquences, à cause du produit gain x bande passante pouvant atteindre plusieurs centaines de mégahertz et surtout à cause de la très forte impédance d'entrée des montages amplificateurs. Les schémas utilisés sont construits autour des montages source commune ou cascode. Si l'amplificateur vidéofréquences fonctionne à partir du continu, la résistance de source R_S n'est pas découplée. On utilise aussi le montage drain commun, à cause de sa très faible capacité parasite d'entrée. Certaines astuces permettent de minimiser cette capacité d'entrée, donc d'augmenter la fréquence de cassure.

4.5.2.1. Impédance d'entrée d'un JFET

A cause des éléments parasites R_{gs}, C_{gs} et R_{gd}, C_{gd}, l'admittance d'entrée d'un transistor JFET, en source commune (drain court-circuité), est de la forme

$$y_{iss} = g_{iss} + j\, b_{iss}.$$

Le calcul complet indique que la résistance d'entrée $\frac{1}{G_i}$ est inversement proportionnelle au carré de ω, alors que la réactance $\frac{1}{B_i}$ est inversement proportionnelle à ω. En d'autres termes, la résistance d'entrée décroît plus vite que la réactance capacitive. Si, en plus, on tient compte de l'effet Miller, lorsque le drain n'est plus court-circuité (figure 4.203), alors, on assiste à une forte diminutionde R_{in} de 100 kΩ à 2 kΩ entre 1 MHz et 100 MHz, la capacité C_{in} étant quasi constante, autour de 10 *p*F.

---

* Inspiré de : Transistor à effet de champ pour amplificateurs vidéo, *Toute l'électronique* – 1981 – n° 467 et note d'application LPD-6, Siliconix, 1989.

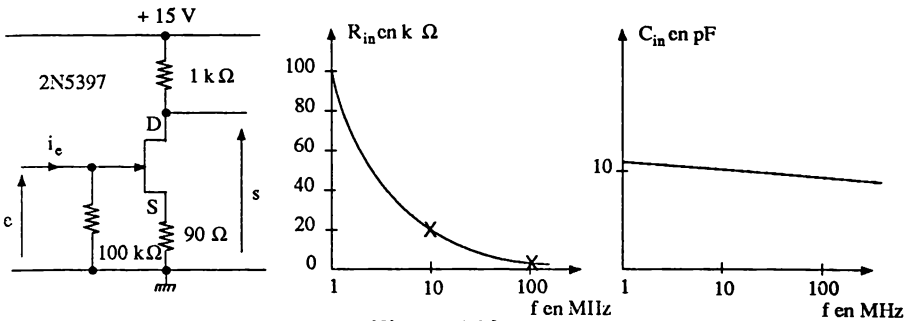


Figure 4.203

4.5.2.2. Structures de base pour amplificateurs vidéofréquences

A. Montage source commune (figure 4.204). Ce montage présente une résistance R_S non découplée (il est donc aussi à charge répartie). Si on considère une capacité C_{gd} = 2 pF et une capacité parasite en sortie C_p = 5 pF, la fréquence de cassure en sortie est

$$f_s = \frac{1}{2\pi R_D (C_{gd} + C_p)} = 40 \text{ MHz}$$

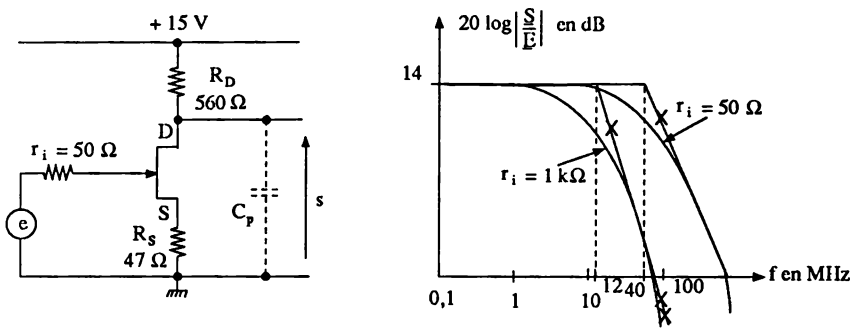


Figure 4.204

Le gain en tension basses fréquences étant

$$G_{v0} = -\frac{g R_D}{1 + g R_S} \simeq -5 \quad \text{avec} \quad g \simeq 15 \text{ mS pour } I_D = 12 \text{ mA}$$

le produit gain x bande passante est alors

$$G \times BP = 40 \times 5 = 200 \text{ MHz}$$

La fréquence de cassure f_e en entrée est de valeur plus importante que celle de sortie, à cause de la faible résistance de source r_i = 50 Ω. Il n'en est plus de

même lorsque cette résistance r_i augmente. Ainsi, pour r_i = 1 kΩ, C_{gd} = 2 pF, C_{gs} = 2 pF et en tenant compte de l'effet Miller, nous obtenons une capacité d'entrée

$$C_{in} = \left(1 + \frac{g R_D}{1 + g R_S}\right) C_{gd} + \left(1 - \frac{g R_S}{1 + g R_S}\right) C_{gs}$$
$$= 6 \cdot 2 \text{ pF} + 0{,}6 \cdot 2 \text{ pF} = 13{,}2 \text{ pF}$$

et une fréquence de cassure

$$f_e = \frac{1}{2\pi \cdot 13{,}2 \cdot 10^{-12} \cdot 10^3} \simeq 12 \text{ MHz}.$$

Remarque. La réponse en fréquence, ainsi que le produit gain x bande passante, peuvent être améliorés en connectant une inductance en série avec la résistance R (augmentation possible de 1 octave) et en découplant la résistance R_S (augmentation du gain en tension de 4 dB), pour une résistance r_i = 50 Ω.

B. Montage drain commun. Les caractéristiques de ce montage sont

- gain statique $G_{v0} = \dfrac{g R_S}{1 + g R_S} \simeq 1$.
- capacité d'entrée $C_{in} = C_{gd} + (1 - G_{v0})\, C_{gs} \simeq C_{gd}$ (expression démontrée dans un exercice de fin de section).

Pour un transistor 2N5397, la bande passante à 3 dB est voisine de 100 MHz, pour une résistance de source r_i = 1 kΩ.

C. Montage cascode. Ce montage présente les mêmes avantages que le montage source commune avec, en plus, une bien meilleure stabilité et une capacité Miller d'entrée extrêmement réduite

$$C_{in} \simeq C_{gs} + 2\, C_{gd}.$$

4.5.2.3. Exemples de réalisations

Nous fournissons quelques schémas d'amplificateurs vidéofréquences proposés par Siliconix, ainsi que quelques performances. La liste est évidemment non limitative. Ces fonctions sont de plus en plus intégrées.

A. Montage source commune. En plus des caractéristiques fournies à partir de la figure 4.204, nous obtenons :

- Transistor 2N4393, r_i = 50 Ω, R_S = 47 Ω découplée, R_D = 560 Ω, gain = 17,5 dB, BP = 40 MHz, G x BP = 300 MHz.
- Transistor J300, r_i = 50 Ω, R_S = 91 Ω découplée, R_D = 1 kΩ, gain = 16 dB, C_{in} = 14 pF, BP = 30 MHz, G x BP = 190 MHz.

• Transistor 2N4416, r_i = 50 Ω, R_S = 120 Ω découplée, R_D = 1,5 kΩ, gain = 16 dB, C_{in} = 13 pF, BP = 19 MHz, G x BP = 118 MHz.

B. Montage cascode (figure 4.205). Pour des transistors « dual » U257 ou 2N5912, nous obtenons

• C_{in} = 12 pF, gain = 15 dB, BP = 27 MHz, G x BP = 150 MHz avec r_i = 50 Ω et R_S découplée.

• C_{in} = 12 pF, gain = 15 dB, BP = 9,5 MHz, G x BP = 73 MHz avec r_i = 1 kΩ et R_S découplée.

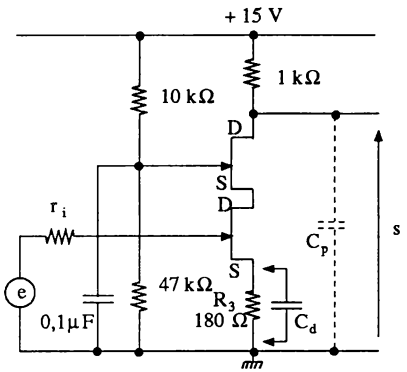


Figure 4.205

C. Montage source commune et inductance en sortie (figure 4.206). Les transistors peuvent être des 2N4393, J300 ou 2N4416. Les performances maximales sont :

• gain = 17,5 dB, BP = 54 MHz, G x BP = 405 MHz avec r_i = 50 Ω et R_S découplée,

• gain = 17,5 dB, BP = 3,5 MHz, G x BP = 26 MHz avec r_i = 1 kΩ et R_S découplée.

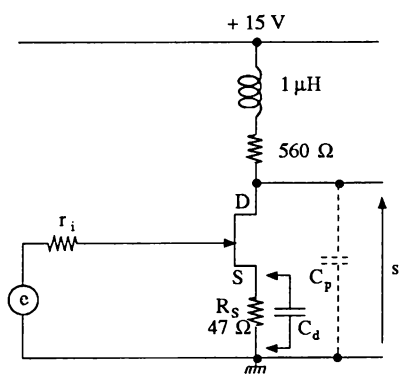


Figure 4.206

D. Montage drain commun et émetteur commun (figure 4.207). On utilise un transistor JFET (J300) pilotant un transistor bipolaire (MPS6543). Nous obtenons :

- C_{in} = 2 pF, gain = 28 dB, BP = 21 MHz, G x BP = 525 MHz avec r_i = 50 Ω et R_S découplée.
- C_{in} = 2 pF, gain = 9,5 dB, BP = 39 MHz, G x BP = 117 MHz avec r_i = 50 Ω et R découplée.

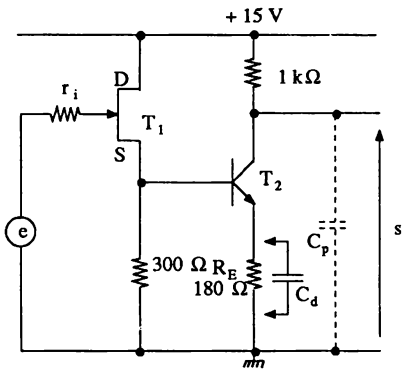


Figure 4.207

E. Utilisation d'un bootstrapp (figure 4.208). On rajoute au montage précédent, un condensateur entre l'émetteur du transistor bipolaire et le drain du JFET. Ainsi, les trois connexions : grille, source et drain de ce dernier voient les mêmes variations. Ceci a pour conséquence une diminution de la capacité d'entrée C_{in} :

C_{in} = 1 pF, gain = 15 dB, BP = 32 MHz,
G x BP = 170 MHz avec r_i = 50 Ω
et R_S bien évidemment non découplée.

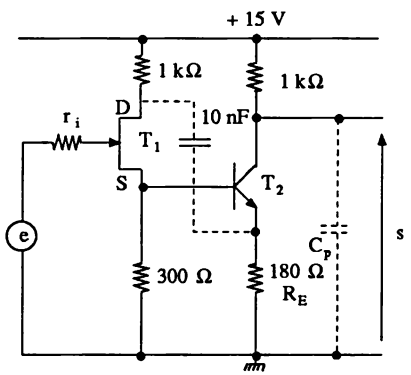


Figure 4.208

4.5.3. AMPLIFICATEURS RADIOFRÉQUENCES

Le problème de l'amplification radiofréquences (*f* comprise entre 10 MHz et quelques centaines de mégahertz) n'est plus le même que dans le cas de la vidéofréquence (*f* comprise entre zéro et quelques dizaines de mégahertz, voire 100 MHz) à cause de l'instabilité possible due au terme parasite de retour y_{12} (présence de la capacité de réaction C_{gd}). Les méthodes permettant de minimiser cet effet sont :

— la fabrication de structures à faibles capacités (par exemple, structure NT de Siliconix, avec $C_{iss} \simeq 0{,}25$ pF),

— l'inclusion de capacités parasites comme éléments de circuits résonnants et la disposition d'un écran entre les éléments d'entrée et ceux de sortie,

— le neutrodynage du transistor à effet de champ par un circuit inductif formant circuit résonnant avec la capacité de retour C_{gd},

— l'utilisation du montage grille commune malgré l'inconvénient majeur de sa faible résistance d'entrée. Dans certains cas, on le remplace par le montage cascode.

L'étude théorique des amplificateurs radiofréquences s'effectue en utilisant les paramètres *y* ou les paramètres *s* (de plus en plus).

4.5.3.1. Structures de base pour amplificateurs radiofréquences*

A. Montage source commune neutrodyné (figure 4.209). Le transistor utilisé est un 2N4416 dont la capacité C_{gd} est de 0,8 pF pour V_{DS} = 15 V. Pour un

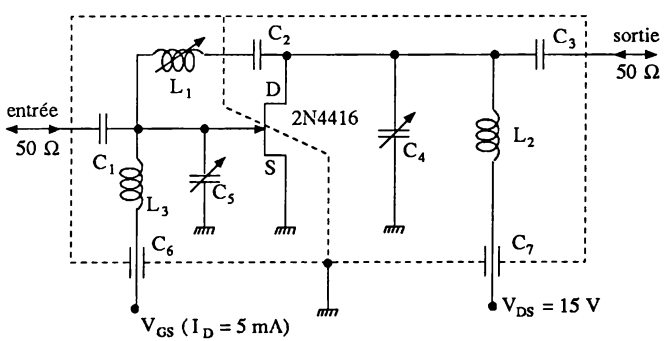


Figure 4.209

* Extrait du manuel d'application des transistors à effet de champ – Thomson CSF – 1975.

fonctionnement en amplificateur sélectif à 400 MHz, l'inductance L_1 de neutrodynage est obtenue à partir de

$$L_1 = \frac{1}{\omega^2 \cdot C_{gd}} = \frac{1}{4\,\pi^2 \cdot 4^2 \cdot 10^{16} \cdot 0{,}8 \cdot 10^{-12}} = 0{,}2\ \mu H$$

La capacité de liaison C_2 = 27 pF isole le drain et la grille en continu. Les autres éléments ont pour valeur : C_1 = 1,8 pF, C_3 = 1 pF, $C_4 = C_5$ de 0,8 à 8 pF, $C_6 = C_7$ = 1 nF, L_2 = 0,03 µH et L_3 = 0,022 µH.

Remarques

— Les capacités C_{iss} et C_{oss} contribuent à accorder les circuits d'entrée ($L_3 - C_5 - C_{iss}$) et de sortie ($L_2 - C_4 - C_{oss}$).

— L'utilisation éventuelle d'une CAG modifie la valeur de C_{gd} et atténue l'effet de neutrodynage. Comme un étage à JFET est moins critique qu'un étage à transistors bipolaires, on admet alors un certain décalage de fréquence.

— Le blindage entrée-sortie permettant la diminution des réactions parasites se positionne par tâtonnement.

B. Montage grille commune (figure 4.210). Ce montage est intéressant par le fait qu'il n'y a pas d'éléments de neutrodynage. Il peut être utilisé dans des amplificateurs large bande. Son gain en puissance est toutefois inférieur à celui du montage source commune, à cause de sa faible impédance d'entrée. Toutefois, sa réalisation impose un blindage entrée-sortie rigoureux.

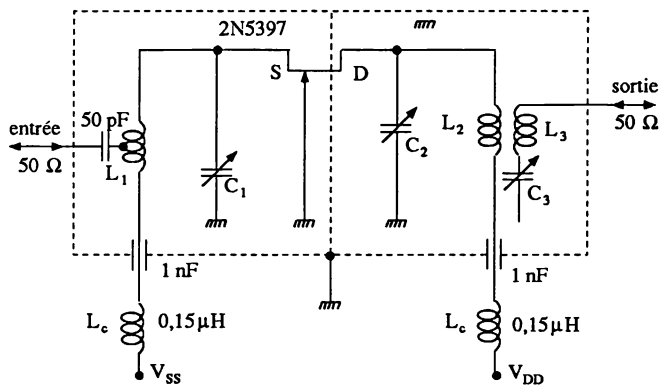


Figure 4.210

Pour un fonctionnement à 450 MHz, nous avons : $C_1 = C_2 = C_3$ de 0,8 à 12 pF. Les inductances L_1, L_2 et L_3 sont accordées par rapport aux capacités respectives.

C. Montage cascode. Nous avons vu que le montage cascode présentait les avantages du montage source commune (grande impédance d'entrée) et du montage grille commune (effet Miller réduit). Comme pour le montage à transistors bipolaires (paragraphe 3.5.5.2), on détermine les éléments de réaction à partir des paramètres y du transistor, en source commune. On montre que, pour deux transistors identiques, la capacité de retour C_{g1d2} est de la forme

$$C_{g1d2} = C_{gd} \cdot \frac{g_{22s}}{g_{21s}}$$

où g_{22s} et g_{21s} représentent les parties réelles de y_{22s} et y_{21s}. L'application numérique $C_{gd} = 1$ pF, $g_{os} = g_{22s} = 10^{-5}$ S et $g_{fs} = g_{21s} = 10^{-3}$ S nous donne

$$C_{g1d2} = 10^{-12} \cdot \frac{10^{-5}}{10^{-3}} = \mathbf{0{,}01\ pF}$$

La figure 4.211 représente un tel montage avec $C_1 = C_2 = C_3$ de 3 à 30 pF et L_1, L_2 et L_3 accordées par rapport aux capacités respectives, pour une fréquence de fonctionnement comprise entre 40 et 80 MHz.

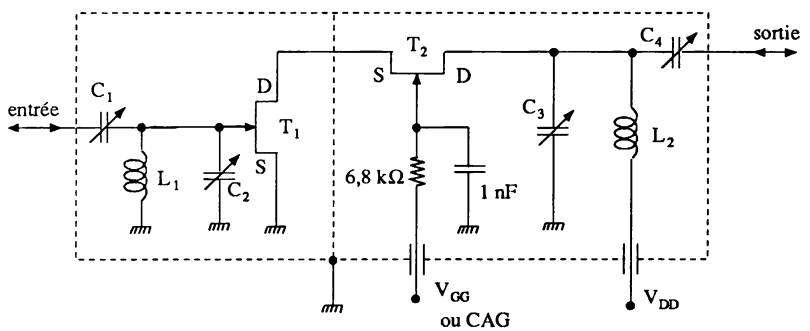


Figure 4.211

D. Remarques

— Pour des fréquences de fonctionnement allant jusqu'à 200 MHz, le montage cascode est souvent la solution la plus économique.

— A 500 MHz, le montage source commune neutrodyné est préféré au montage grille commune lorsque l'on veut un gain en puissance important.

— Au delà de 500 MHz, il est préférable d'utiliser les composants sans boîtier (puce seule) ou les composants spécifiques hautes fréquences.

4.5.3.2. Détection, mélange de fréquences et multiplication de fréquences

A. Principe de la détection. L'expression I_D (V_{GS}) du transistor JFET et du MOS à déplétion est de la forme

$$I_D = I_{DSS}\left(1 - \frac{V_{GS0}}{V_{GSoff}}\right)^2$$

Si on superpose à la tension de polarisation V_{GS0} une tension sinusoïdale modulée en amplitude

$$v_{gs} = (E + U\cos\omega t)\cos\Omega t \quad \text{avec} \quad \Omega >> \omega$$

l'expression du courant devient

$$i_D = I_{DSS}\left[1 - \frac{V_{GS0} + (E + U\cos\omega t)\cos\Omega t}{V_{GSoff}}\right]^2$$

Son développement fournit une composante continue, une composante basse fréquence en ω et des termes hautes fréquences éliminés par un filtre passe-bas. C'est la détection quadratique.

B. Mélangeur de fréquences ou hétérodyne. C'est un montage qui, sollicité par deux signaux de fréquences différentes f_e (signal radioélectrique) et f_{os} (signal émanant d'un oscillateur local), fournit un signal de fréquence intermédiaire $f_i = |f_e - f_{os}|$ après passage dans un filtre passe-bas.

En effet si le signal radioélectrique v_e et le signal de l'oscillateur v_{os} sont de la forme

$$v_e = V_e \sin\omega_e t$$

et

$$v_{os} = V_{os} \sin\omega_{os} t$$

l'expression du courant i_D s'écrit

$$i_D = I_{DSS}\left(1 - \frac{V_{GS0} + V_e \sin\omega_e t + V_{os} \sin\omega_{os} t}{V_{GSoff}}\right)^2$$

On en déduit des termes d'intermodulation (paragraphe 4.4.6.3) de rang 2 faisant apparaître une fréquence somme $f_e + f_{os}$ et une fréquence différence $|f_e - f_{os}|$. Le schéma de la figure 4.212 correspond à un tel mélangeur avec attaque de v_e et v_{os} sur la grille. Les circuits sont accordés de la manière suivante :

$L_1 - C_1$ sur f_e
$L_2 - C_2$ sur f_{os}
$L_3 - C_3$ sur une bande $f_e + f_{os}$ et $|f_e - f_{os}|$
$L_4 - C_4$ et $L_5 - C_5$ sur $f_i = |f_e - f_{os}|$.

La qualité d'un mélangeur dépend de son facteur de distorsion d'intermodulation (*FIM*) défini par

$$FIM = \frac{\text{amplitude du produit d'intermodulation d'ordre 2}}{\text{amplitude du fondamental}}$$

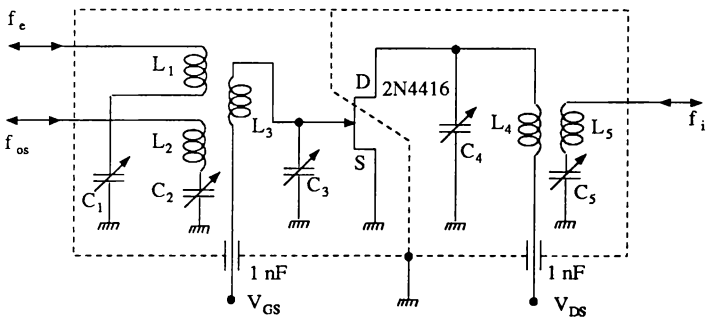


Figure 4.212

Dans le cas qui nous intéresse, nous obtenons

$$FIM = \frac{V_e\, V_{os}}{2\,(V_{GS0} - V_{GSoff})\ \sqrt{V_e^2 + V_{os}^2}}$$

Le mélange s'effectue d'autant mieux que V_{GS0} est voisin de V_{GSoff}.

On améliore la qualité du mélangeur en appliquant le signal v_e sur la grille et le signal de l'oscillateur v_{os} sur la source.

La caractéristique quasi parabolique I_D (V_{GS}) du transistor à effet de champ fait que celui-ci fournit des résultats bien meilleurs que le transistor bipolaire, pour les opérations de détection et de mélange (peu de termes d'intermodulation d'ordre 3 et 4).

C. Multiplication de fréquences. Si maintenant, on applique à la grille une tension $v_{gs} = V \sin \omega t$ autour de V_{GS0}, on obtient un terme d'harmonique $I_{D2} = \frac{I_{DSS}}{2\, V_{GS}{}^2{}_{off}}\, V^2 \cos 2\,\omega t$ dont la distorsion est d'autant plus faible que V_{GS0} est voisin de V_{GSoff}.

4.5.3.3. Utilisation des transistors à effet de champ double grille TECDG

Les transistors à effet de champ à double grille ont été présentés au paragraphe 4.2.7.4. Rappelons leurs avantages par rapport aux transistors simple grille :

— gain de conversion élevé,
— très faible facteur de bruit,
— travail possible en structure cascode avec CAG,
— isolation complète des voies v_e et v_{os} dans un mélangeur, permettant leur bonne adaptation,
— intégration facile.

Ces transistors sont utilisés pour réaliser des déphaseurs, des modulateurs, des multiplicateurs de fréquences et des mélangeurs jusqu'à 40 GHz (TECDG en GaAs).

La figure 4.213 représente un tuner FM constitué d'un préamplificateur (88-108 MHz) utilisant un transistor MOS à double grille, suivi d'un mélangeur (superhétérodyne) constitué, lui aussi d'un transistor MOS à double grille. La première grille est sollicitée par le signal radioélectrique $v_e = V_e \sin \omega_e t$, alors que la seconde grille polarise le transistor et reçoit, par liaison capacitive le signal $v_{os} = V_{os} \sin \omega_{os} t$ issu d'un oscillateur local synthétisé dont la fréquence varie entre 77,3 MHz et 97,3 MHz. Le signal de sortie est dirigé vers un filtre à fréquence intermédiaire f_i = 10,7 MHz (ce schéma représente une partie d'un récepteur synthétisé, présenté dans l'ouvrage Boucles à verrouillage de phase, chapitre 6).

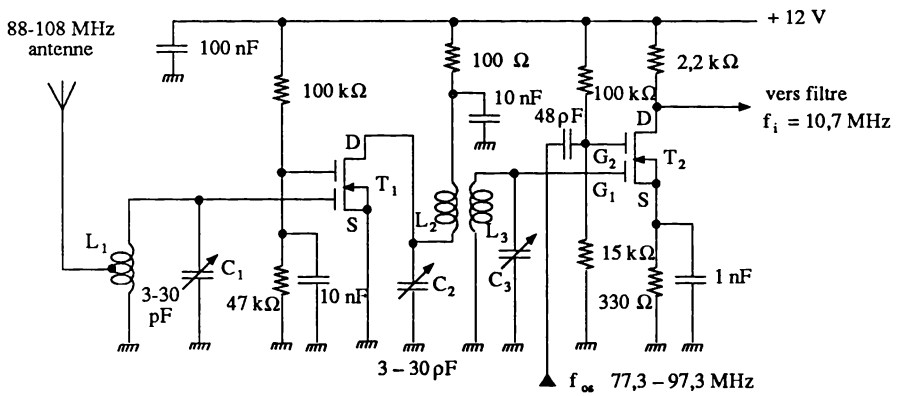


Figure 4.213

Comme le transistor à effet de champ à double grille présente une caractéristique de transfert de la forme

$$I_D = I_{DSS}\left(1 - \frac{V_{GS1} + V_{GS2}}{V_{GSoff}}\right)^2$$

suivant certaines conditions de polarisation, il est évident que nous récupérons en sortie le produit d'intermodulation d'ordre 2 si

$$V_{GS1} = V_e \sin \omega_e t$$

et

$$V_{GS2} = V_{GS0} + V_{os} \sin \omega_{os} t$$

comme pour le transistor JFET classique.

Remarque. Le fonctionnement du TECDG peut être très complexe en fonction du mode de polarisation à faibles et forts courant I_D et tension V_{DS}. Son étude est effectuée en considérant une électrode intermédiaire entre les deux grilles, qui

représenterait le drain du premier transistor et la source du second, comme pour un montage cascode.

4.5.4. AMPLIFICATEURS MICRO-ONDES

Ce paragraphe fait suite au paragraphe 3.5.6 consacré aux transistors bipolaires. Dans le cas de l'utilisation des transistors à effet de champ MESFET, quatre structures principales sont rencontrées :

— amplificateur adapté simple,
— amplificateur à contre-réaction résistive,
— amplificateur équilibré,
— amplificateur distribué.

4.5.4.1. Amplificateur adapté simple (figure 4.214)

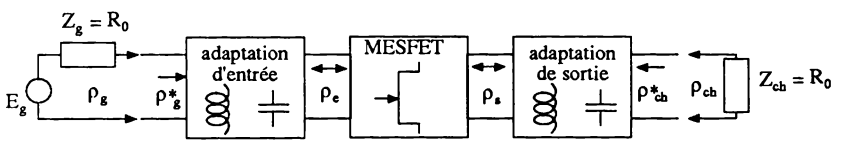


Figure 4.214

L'adaptation peut s'effectuer à l'aide d'éléments réactifs en entrée et en sortie, tels que le transfert de puissance soit maximum (voir exercices 3 et 4 du paragraphe 3.5.6.3). Les structures seront différentes suivant que la bande de fréquence est étroite ou large. La figure 4.215 représente le principe d'adaptation de l'impédance d'entrée d'un MESFET à une source d'impédance $Z_g = R_0$. Deux conditions doivent être respectées :

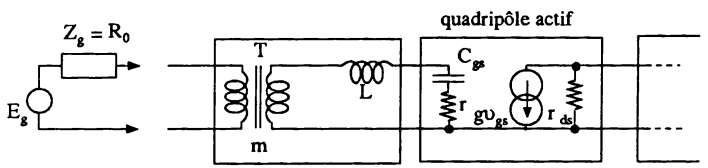


Figure 4.215

— l'inductance L_1 est adaptée à C_{gs}

$$L_1 = \frac{1}{4\pi^2 f_0^2 C_{gs}}$$

— le transformateur est défini pour que la résistance r ramenée au primaire soit égale à R_0 en utilisant la relation

$$R_0 = \frac{r}{m^2} \qquad (m = \text{rapport de transformation})$$

4.5.4.2. Amplificateur à contre-réaction résistive*

Le schéma de la figure 4.216 en indique le principe. Pour une fréquence de fonctionnement $f < f_0 = \frac{1}{2\pi R_0 C_{gs}}$, on montre que l'admittance Y_e vue à l'entrée lorsque la sortie est chargée par R_0 et que l'admittance Y_s vue en sortie lorsque l'entrée est fermée sur R_0 sont égales

$$Y_e = Y_s = \frac{1}{R_0} \qquad \text{si} \qquad R_p = g R_0^2$$

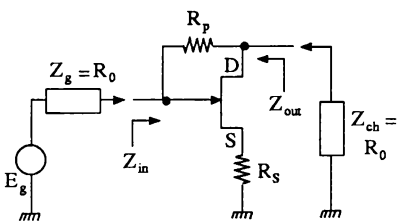


Figure 4.216

Ainsi, entrée et sortie sont simultanément adaptées, ce qui permet la mise en cascade d'étages. Cette technique est très utilisée en pratique.

La figure 4.217 fournit un exemple réel de montage intégré sur arséniure de gallium. Le réseau L = 5,4 nH et C = 1,2 pF compense la réactance capacitive d'entrée du MESFET dans le cas où $f \geq f_0$.

---

* Extrait de IEEE Transactions on microwave theory and techniques, Vol 31, n° 1, January 1983.

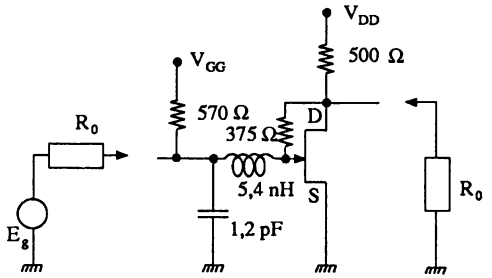


Figure 4.217

4.5.4.3. Amplificateur équilibré (figure 4.218)

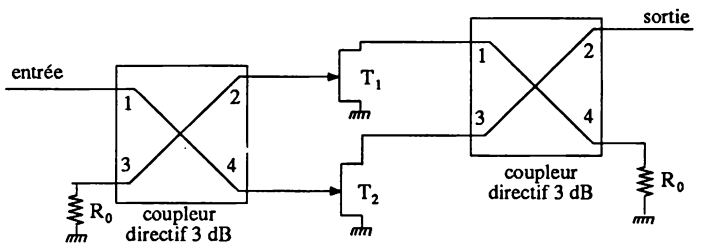


Figure 4.218

Cet amplificateur utilise deux transistors MESFET identiques et deux coupleurs directifs 3 dB. Les avantages de ce principe sont :

— une large bande passante pouvant atteindre plusieurs octaves,

— la continuité de fonctionnement à puissance réduite lorsqu'il y a défaillance d'un transistor,

— une augmentation de puissance lorsqu'on utilise plusieurs coupleurs.

4.5.4.4. Amplificateur distribué*

Pour obtenir une puissance importante dans le domaine des micro-ondes, on utilise plusieurs transistors connectés en parallèle. L'avantage de cette association est l'addition des transconductances. Toutefois, l'addition des admittances de sortie diminue le courant dans la charge et l'adaptation globale n'est pas aisée. La

---

* Extrait des Annales des Télécommunications, 40, n° 3-4, 1985.

solution idéale est alors la mise en parallèle des composants en les séparant par des inductances formant ainsi deux lignes de distribution, l'une sur les grilles, l'autre sur les drains. La figure 4.219 en indique le principe dont la structure de base est celle d'un coupleur et la figure 4.220 correspond au schéma électrique équivalent. Chaque transistor est représenté par sa capacité d'entrée C_{gs} et ses éléments de sortie g et C_{ds}. Les deux lignes de transmission

— de grille, constituée des cellules L_g C_{gs},

— de drain, constituée des cellules L_d C_{ds}, permettent une propagation du signal telle que :

— un déphasage φ_g entre cellules apparaît à l'entrée,

— un déphasage φ_d entre cellules apparaît en sortie.

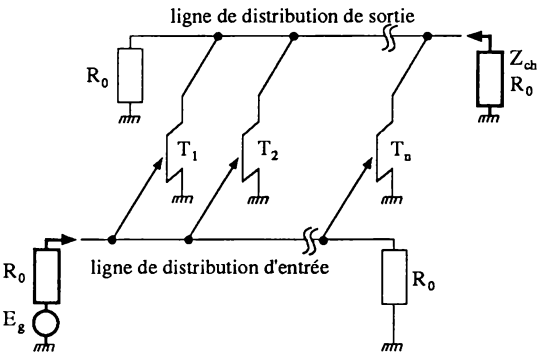


Figure 4.219

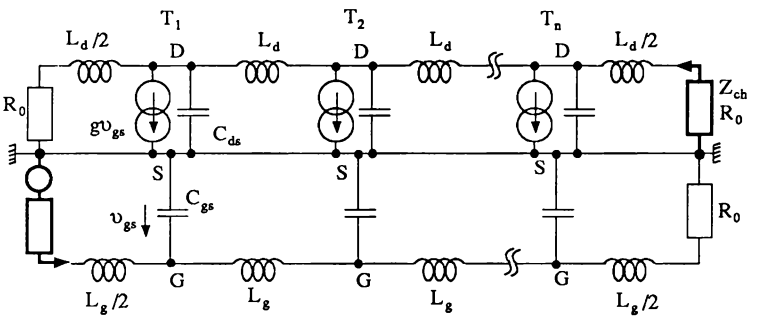


Figure 4.220

Le courant circulant dans la charge représente la somme de tous les courants générés. Il est maximum si $\varphi_g = \varphi_d$. La présence des résistances R_0 à chaque extrémité des deux lignes évite les réflexions. Dans ces conditions, le gain en puissance est

$$G_p = \frac{n^2 g^2 R_0^2}{4}.$$

Ce type d'amplificateur est très prometteur dans le domaine de la puissance.

4.5.5. EXERCICES

Exercice 1. **Un atténuateur vidéofréquence, commandé par une tension V_G est réalisé avec deux transistors JFET identiques (figure 4.221). La condition pour que ces transistors soient équivalents à une résistance est que l'amplitude du signal d'entrée v_e ne dépasse pas 100 mV. Si la résistance R équivalente à chaque transistor est identique et $|V_{GS}| >> 100$ mV,**

— déterminer l'expression de l'atténuation $\frac{E}{S}$,

— en déduire l'atténuation en dB lorsque $R >> R_0$ puis $R << R_0$.

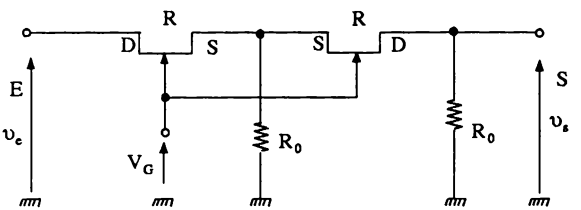


Figure 4.221

Solution

— Tout d'abord on transforme le premier diviseur de tension en générateur de Thévenin

$$E_{Th} = E\frac{R_0}{R+R_0} \qquad \text{et} \qquad R_{Th} = \frac{R\,R_0}{R+R_0}.$$

On obtient ensuite

$$S = E\frac{R_0}{R+R_0}\cdot\frac{R_0}{\dfrac{R\,R_0}{R+R_0}+R+R_0}$$

soit

$$\frac{E}{S} = 1 + \frac{3R}{R_0} + \frac{R^2}{R_0^2} \geq 1$$

— Pour $R >> R_0$, nous avons

$$\frac{E}{S} \simeq \frac{R^2}{R_0^2}$$

et

$$20 \log \frac{E}{S} \simeq 40 \log \frac{R}{R_0}$$

— Pour $R << R_0$, l'expression E/S devient

$$\frac{E}{S} \simeq 1 + \frac{3R}{R_0}$$

Comme $\log (1 + x) \simeq x$ pour $x << 1$, il vient

$$20 \log \frac{E}{S} \simeq + 60 \frac{R}{R_0}.$$

Exercice 2. **On étudie le montage source commune de la figure 4.222. Le transistor JFET est défini par les paramètres suivants : g = 5 mA/V, $C_{11_{ss}}$ = 3 pF et $C_{12_{ss}}$ = 1 pF.**

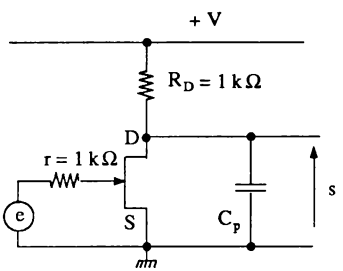


Figure 4.222

— Quelles sont les valeurs de C_{gd} et C_{gs} ?

— Quels sont : le gain statique et les fréquences de cassures de ce montage si la capacité parasite C_p est de 3 pF et la résistance interne du générateur r = 1 000 Ω ?

Solution

— La capacité $C_{12_{ss}}$ représente la capacité entre drain et grille lorsque, en source commune, la grille est à la masse. Alors,

$$C_{12_{ss}} = C_{gd} = 1 \text{ pF}.$$

La capacité $C_{11_{ss}}$ représente la capacité d'entrée lorsque la sortie (le drain) est court-circuitée. Alors,

$$C_{11_{ss}} = C_{gs} // C_{gd}, \qquad \text{soit} \qquad C_{gs} = 2 \text{ pF}.$$

— La capacité d'entrée du montage source commune (après déplacement de C_{gd} – figure 4.223) vaut

$$C_e = C_{gs} + (1 + A) C_{gd}$$

avec $A = g R_D = 5 \cdot 10^{-3} \cdot 10^3 = 5$ = gain statique

soit $C_e = 2 + 6 \cdot 1 = 8$ pF.

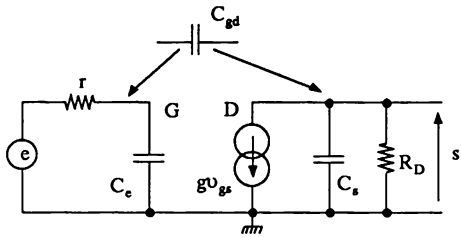


Figure 4.223

La fréquence de cassure d'entrée est alors

$$f_e = \frac{1}{2\pi\, r\, C_e} = \frac{1}{2\pi \cdot 10^3 \cdot 8 \cdot 10^{-12}} = 20 \text{ MHz}$$

La capacité de sortie C_s correspond à C_{gd} en parallèle avec C_p, soit $C_s = 1 + 3 = 4$ pF.

On en déduit la fréquence de cassure en sortie

$$f_s = \frac{1}{2\pi R_D C_s} = \frac{1}{2\pi \cdot 10^3 \cdot 4 \cdot 10^{-12}} = 40 \text{ MHz}$$

Cet amplificateur présente un produit gain x bande passante

$$G \times BP = 5 \times 20 = 100 \text{ MHz}$$

Exercice 3. **On réalise le montage grille commune de la figure 4.224, en utilisant le même transistor JFET que précédemment. Quels sont le gain statique et les fréquences de cassure de ce montage si $C_p = 3$ pF et $r = 50\ \Omega$?**

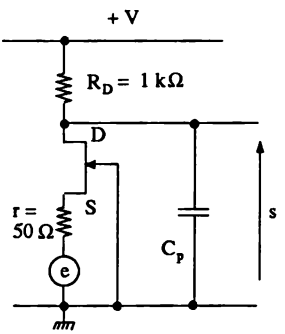


Figure 4.224

Solution

— Le gain statique est obtenu en utilisant la relation

$$G_\upsilon = \frac{R_e}{r + R_e} \cdot g\, R_D \qquad \text{avec} \qquad R_e = \frac{1}{g} = 200\ \Omega$$

soit $$G_v = \frac{200}{50 + 200} \cdot 5 \cdot 10^{-3} \cdot 10^3 = 4$$

Le schéma équivalent de la figure 4.225 nous permet d'écrire

$$-\underline{E} = r\,(\underline{I} + g\,\underline{V}_{gs}) + \underline{V}_{gs}$$

et $$\underline{V}_{GS} = \frac{\underline{I}}{j\,C_{gs}\,\omega}$$

soit $$-\underline{E} = r\,\underline{I} + \frac{g\,r + 1}{j\,C_{gs}\,\omega}\,\underline{I}$$

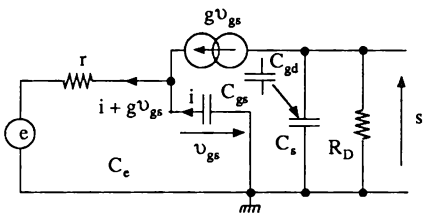


Figure 4.225

La capacité d'entrée du montage grille commune est donc équivalente à

$$\frac{C_{gs}}{1 + g\,r} = \frac{C_{gs}}{1 + 0{,}25} = \frac{2}{1{,}25} = 1{,}6 \text{ pF}$$

On en déduit la fréquence de cassure d'entrée

$$f_e = \frac{1}{2\pi\,r\,C'_{gs}} = \frac{1}{2\pi \cdot 50 \cdot 1{,}6 \cdot 10^{-12}} = 2 \text{ GHz}$$

La fréquence de cassure en sortie est

$$f_s = \frac{1}{2\pi\,R_D\,C_s} = \frac{1}{2\pi\,R_D\,(C_p + C_{gd})} = \frac{1}{2\pi \cdot 10^3\,(3 + 1) \cdot 10^{-12}} = 40 \text{ MHz.}$$

Le montage base commune est surtout limité en fréquence, par son circuit de sortie. Le produit gain x bande passante est ici

$$G \times BP = 4 \cdot 40 = 160 \text{ MHz}$$

Exercice4. **On utilise maintenant le transistor JFET dans le montage drain commun de la figure 4.226.**

— Quel est le gain statique ?

— Quelle est l'expression de l'impédance d'entrée du montage ?

— Quelle est la valeur de la fréquence basse de cassure si le générateur présente une résistance r = 1 kΩ ?

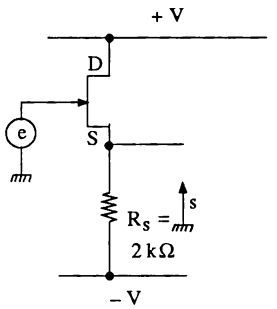


Figure 4.226

Solution

— Le gain statique du montage drain commun est

$$G_{v0} = \frac{g R_S}{1 + g R_S} = \frac{5 \cdot 10^{-3} \cdot 2 \cdot 10^{+3}}{1 + 5 \cdot 10^{-3} \cdot 2 \cdot 10^{+3}} = 0{,}91$$

— Le schéma équivalent de la figure 4.227 permet d'écrire

$$\underline{E} = \underline{V}_{gs} + (\underline{I} + g\,\underline{V}_{gs})\,R_S$$

et

$$\underline{V}_{gs} = \frac{\underline{I}}{j\,C_{gs}\,\omega}$$

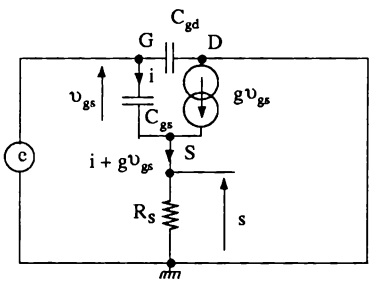


Figure 4.227

En combinant les deux équations, nous obtenons

$$\underline{E} = \underline{I}\left(\frac{1 + g R_S}{j\,C_{gs}\,\omega} + R_S\right)$$

Ainsi, la capacité C_{gs} se trouve diminuée d'un facteur $1 + g R_S = 11$, soit

$$C'_{gs} = \frac{C_{gs}}{11} \simeq 0{,}18 \text{ pF}$$

L'impédance d'entrée du transistor est équivalente à C_{gd} = 1 pF en parallèle avec C'_{gs} = 0,18 pF, elle-même en série avec R_S = 2 000 Ω.

— La fréquence basse de cassure dépend surtout de C_{gd}

$$f_e = \frac{1}{2\pi r C_{gd}} = \frac{1}{2\pi \cdot 10^3 \cdot 10^{-12}} = 160 \text{ MHz}$$

Le produit gain x bande passante du drain commun est

$$G \times BP = 0{,}91 \times 160 = 145 \text{ MHz}.$$

CHAPITRE 5

Commutation faible et forte puissance

Ce chapitre présente, d'une part, les composants faible puissance en régime de commutation sur charge résistive, accompagnés de quelques applications, d'autre part, un aperçu sur les composants de puissance dont l'utilisation sort de cet ouvrage. La variation des paramètres considérés est, dans la plupart des cas, exponentielle de la forme

$$y = A\, e^{-\frac{t}{\tau}} + B$$

avec $y(0) = A + B$ au temps $t = 0$

$y(\infty) = B$ au temps $t = \infty$

et $y(t_1) = A\, e^{-\frac{t_1}{\tau}} + B$ au temps t_1 cherché.

5.1. COMPOSANTS FAIBLE PUISSANCE EN COMMUTATION

Deux cas sont à considérer :

— la commutation en petits signaux où n'interviennent que les capacités parasites,

— la commutation en grands signaux où on passe de l'état bloqué à l'état conducteur, et inversement.

5.1.1. DIODES EN COMMUTATION

La jonction *PN* en régime dynamique a été présentée au paragraphe 1.4.4. Il est conseillé d'y revenir.

5.1.1.1. Diode normale en petits signaux

Le phénomène d'accumulation et d'écoulement des charges dQ à proximité de la zone de déplétion équivaut à des éléments parasites capacitifs.

A. Diode polarisée en inverse. La tension inverse U a pour effet d'augmenter la largeur x_t de la zone de déplétion (barrière de potentiel). L'évolution de la quantité de charges dQ est associée à une **capacité de transition C_t**

$$C_T \simeq \frac{\varepsilon}{x_t} S \qquad \text{avec} \qquad x_t \simeq x_n = \sqrt{\frac{2\,\varepsilon}{q\,N_D}(U_t - U)}$$

Expression qui peut aussi s'écrire

$$C_T = \frac{C_0}{\left(1 - \dfrac{U}{U_t}\right)^m} \qquad \begin{cases} U = V_{AK} \\ C_0 = S\sqrt{\dfrac{\varepsilon\, q\, N_D}{2\,U_t}} \\ \dfrac{1}{3} \leq m \leq \dfrac{1}{2} \end{cases}$$

et que l'on exploite dans les diodes à capacité variable (paragraphe 2.4.3). Pour les diodes normales, l'ordre de grandeur de C_T **est de quelques picofarads.**

B. Diode polarisée en direct. Trois éléments interviennent :

— la capacité de transistion C_T de même nature que précédemment (associée à l'épaisseur de la zone neutre),

— la capacité de diffusion C_D due aux charges stockées Q_s apportées par le courant de diffusion,

— la résistance directe r_d (résistance différentielle).

Autour d'un point de repos donné I_D, on admet les relations

$$r_d \simeq \frac{k\,T}{q} \cdot \frac{1}{I_D} \qquad \left(r_d = \frac{1}{40\,I_D} \text{ à } 25°C\right)$$

$$C_D \simeq \frac{\tau}{r_d}$$

τ représente la durée de vie des porteurs dont la valeur comprise entre 1 ns et 1 ms dépend du matériau semiconducteur et de son dopage. Donnons quelques valeurs :

- si I_D = 1 mA, τ = 1 ms, θ_j = 25°C, nous obtenons r_d = 25 Ω et C_D = 40 µF
- si I_D = 1 mA, τ = 1 ns, θ_j = 25°C alors r = 25 Ω et C_D = 40 pF.

Le schéma équivalent de la diode en petits signaux est indiqué sur la figure 5.1.

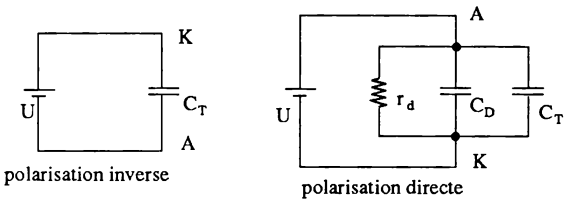


Figure 5.1

5.1.1.2. Diode normale en grands signaux

Le schéma de la figure 5.2 représente une diode en série avec une résistance R. La tension d'attaque e est alternativement positive ($+E_1$) puis négative ($-E_2$), avec E_1 et E_2 grands devant 0,6 V.

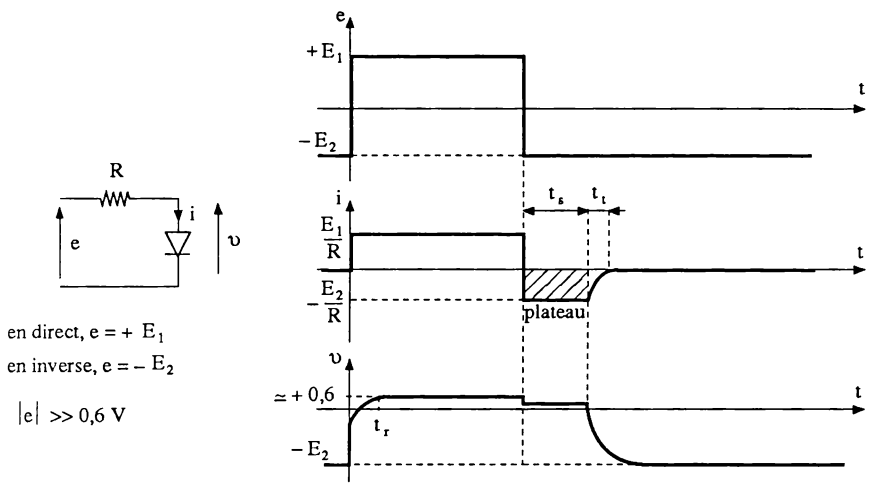


Figure 5.2

A. Passage du blocage à la conduction ($e = E_1$). Instantanément, le courant i s'établit à une valeur $I_F \simeq E_1/R$. La tension aux bornes de la diode évolue exponentiellement (approximation linéaire) avec une constante de temps $\tau_D \simeq r_d\, C_D = \tau$ (durée de vie des porteurs). On admet un temps de montée t_r (de 10 % à 90 % de l'évolution de υ), $t_r \simeq 2{,}2\, r_d\, C_D = 2{,}2\, \tau$.

B. Passage de la conduction au blocage ($e = -E_2$). La présence des charges stockées fait que le courant i s'inverse et prend une valeur voisine de $-E_2/R = -I_R$. L'évolution de la quantité de charges est exponentielle.

$$\Delta Q = A\, e^{-\frac{t}{\tau}} + B$$

avec
$$\Delta Q\ (t = 0) = +\tau I_F = A + B$$
$$\Delta Q\ (t = \infty) = -\tau I_R = B$$

soit
$$\Delta Q = \tau (I_F + I_R)\, e^{-\frac{t}{\tau}} - \tau I_R$$

Les charges sont évacuées au bout du temps t_s, appelé temps de stockage

$$t_s = \tau \ln \left(\frac{I_F}{I_R} + 1 \right).$$

A partir de cet instant, la diode est équivalente à sa capacité de transition C_T, et le temps de transition (de 10 % à 90 % de l'évolution de i ou de v) est

$$t_t \simeq 2{,}2\, R\, C_T$$

Le temps de recouvrement t_{RR} représente la somme de ces deux temps

$$t_{RR} = t_s + t_t$$

Remarque. Les temps définis entre 10 % et 90 % de l'évolution d'une grandeur font partie d'une convention internationale.

C. Exemple de caractéristiques. Nous avons vu au paragraphe 2.2.1.6 quelques éléments concernant la diode de signal 1N4149. Retenons :

— $C_T = 2$ pF pour $V_R = V_{AK} = 0$,

— $t_{RR} < 4$ ns pour $I_F = 10$ mA, $I_R = 60$ mA, $R = 100\ \Omega$ et mesuré à $I_R = 1$ mA.

5.1.1.3. Diminution du temps de stockage dans les diodes

A. Amélioration de la commutation d'une diode normale.

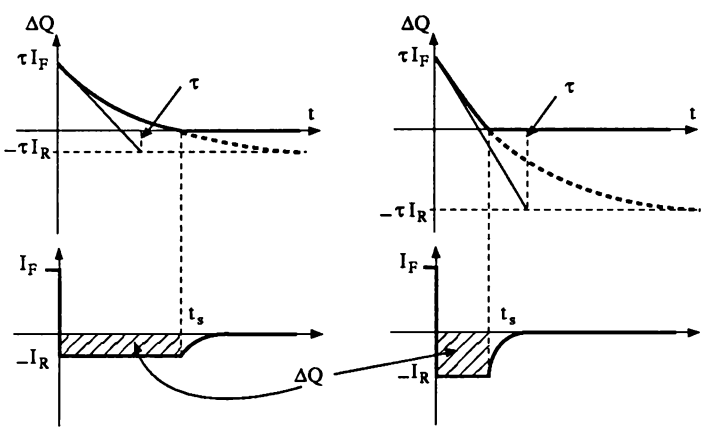


Figure 5.3

— **En augmentant le courant inverse I_R. La surface hachurée du plateau représente la quantité de charges stockées $\Delta Q = I_R\ t_s$.** La figure 5.3 indique l'évolution exponentielle de la quantité de charges qui s'annule au temps t_s. Plus I_R est important, plus t_s est faible.

— **Par la présence d'une capacité C,** pour le circuit de la figure 5.4. Sans le condensateur C, lorsque e passe de $+E_1$ à $-E_2$, la tension v est égale à $-E_2$ pendant toute la durée du plateau correspondant à l'évacuation des charges. Lorsqu'on connecte le condensateur C, celui-ci absorbe une certaine quantité de charges stockées. Pour

$$C = C_1 = \frac{\tau}{R} \cdot \frac{E_1}{E_1 + E_2}$$

toutes les charges ΔQ sont absorbées et aucun courant ne circule dans la diode.

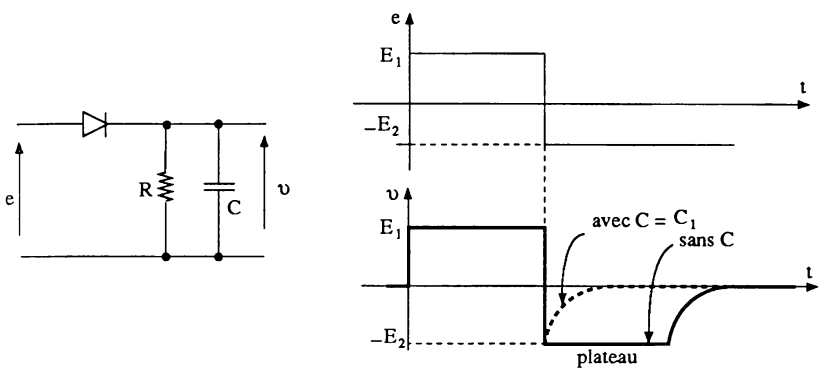


Figure 5.4

B. **Améliorations technologiques.** En fonction de la dimension de la surface de la jonction, du choix des matériaux, de la densité de dopage et de la géométrie de diffusion, on obtient des diodes rapides que nous avons présentées au chapitre 2 :

— **diode rapide de signal** (paragraphe 2.2.1.6) de faible surface de jonction et utilisant des pièges recombinants à base d'or. Le temps de recouvrement inverse est de l'ordre de la nanoseconde,

— **diode snapp off** (paragraphe 2.4.6.3) où les charge stockées à proximité immédiate de la jonction sont recouvrées de manière importante et brutale. On obtient des temps de snapp off inférieurs à la nanoseconde et une capacité de jonction C_T voisine de 1 pF,

— **diode Schottky** (paragraphe 2.4.2) constituée d'une jonction métal-semiconducteur. Cette diode est utilisée

- pour sa rapidité de commutation (temps de plateau inférieur à 0,1 ns),
- pour son faible seuil (détection, antisaturation des transistors, etc.).

La diode Schottky à l'arséniure de gallium permet de travailler à des fréquences voisines de 100 GHz.

5.1.2. TRANSISTORS BIPOLAIRES EN COMMUTATION

5.1.2.1. Transistors bipolaires en petits signaux

Nous considérons le montage émetteur commun de la figure 5.5. Il correspond à celui de la figure 3.92 (paragraphe 3.3.5.1) avec l'approximation linéaire

$$i_C \simeq \beta \frac{u - 0{,}6}{R_B} \quad \text{et} \quad v_{CE} = E - R_C i_C$$

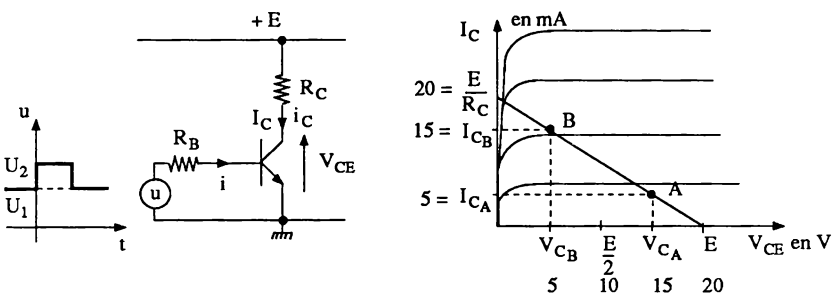


Figure 5.5

Le générateur d'attaque u impose deux valeurs U_2 ou U_1 telles que $V_{CE} = V_{CA}$ ou $V_{CE} = V_{CB}$. Le transistor n'est jamais saturé. **Si les points *A* et *B* sont suffisamment rapprochés, on peut alors considérer le schéma équivalent en régime variable de la figure 5.6 avec des paramètres constants** (ce qui n'est plus le cas en grands signaux où h_{11} et β varient ; toutefois, l'approche est suffisante).

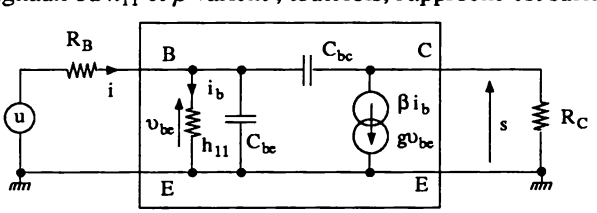


Figure 5.6

La transformation de Miller nous donne le schéma équivalent de la figure 5.7. Il apparaît deux constantes de temps :

— **à l'entrée**

$$\tau_e = R_B \,//\, h_{11} \cdot C_e \qquad \text{avec} \qquad C_e \simeq C_{be} + \left(1 + \frac{\beta R_C}{h_{11}}\right) C_{bc}$$

— **à la sortie**

$$\tau_s = R_C\, C_s \qquad \text{avec} \qquad C_s \simeq C_{bc}$$

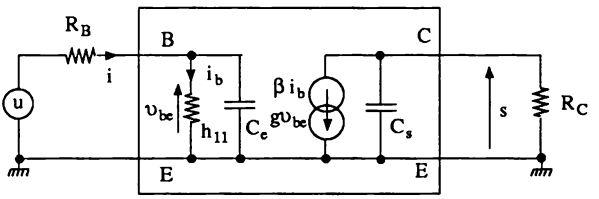


Figure 5.7

Notons que $C_{be} = C_{Dbe}$ est une capacité de diffusion (diode polarisée en direct) et $C_{bc} = C_{Tbc}$ est une capacité de transition (diode polarisée en inverse). Un ordre de grandeur permet de comparer ces deux constantes de temps.

Si E = 20 V, R_C = 1 kΩ, R_B = 5 kΩ, V_{CA} et V_{CB} de part et d'autre de V_{CE0} = 10 V, I_{CA} et I_{CB} de part et d'autre de I_{C0} = 10 mA, β = 100, $h_{11} = \dfrac{\beta}{4\, I_{C0}} =$ 250 Ω, C_{be} = 100 pF, C_{bc} = 5 pF, nous obtenons :

$$C_e \simeq 100 + (1 + 400)\, 5 \simeq 2\,000 \text{ pF}$$
$$C_s \simeq 5 \text{ pF}$$

soit

$$\tau_e \simeq 2{,}5 \cdot 10^{+2} \cdot 2 \cdot 10^{-9} = 0{,}5 \text{ µs}$$
$$\tau_s \simeq 10^3 \cdot 5 \cdot 10^{-12} = 5 \text{ ns}.$$

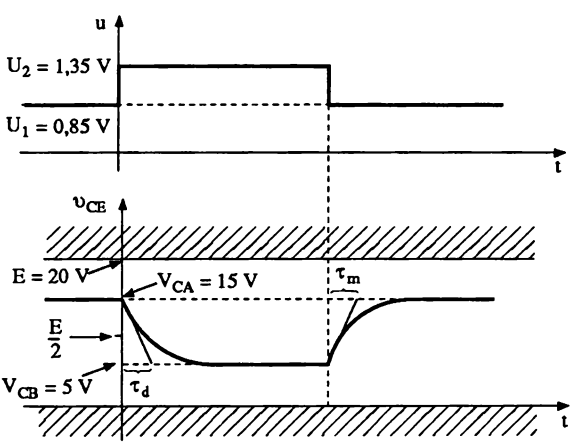


Figure 5.8

Ainsi $\tau_e >> \tau_s$. Remarquons que τ_e diminue avec R_B. Nous obtenons $\tau_e = \tau_s$ pour $R_B = 2{,}5\ \Omega$. Cette trop faible valeur pratique concrétise l'inégalité $\tau_e >> \tau_s$. La figure 5.8 représente les graphes de $u\ (t)$ et $v_{CE}\ (t)$. Cette dernière tension évolue exponentiellement avec des constantes de temps, à la montée et à la descente, identiques

$$\tau_m = \tau_d \simeq \tau_e = 0{,}5\ \mu s.$$

Notons que $V_{CA} = 15$ V est obtenu pour $u = U_1 = 0{,}85$ V et $V_{CB} = 5$ V est obtenu pour $u = U_2 = 1{,}35$ V.

5.1.2.2. Transistor bipolaire en grands signaux

Lorsqu'on sursature ou surbloque un transistor bipolaire, il apparaît des temps de retard. Pour comprendre ces phénomènes, il faut analyser le fonctionnement par étapes. Rappelons que, à 25°C :

— la limite de blocage est $I_B = 0$ et $V_{BE} \simeq 0{,}6$ V,

— le surblocage est $V_{BE} < 0{,}6$ V,

— la limite de saturation est $I_B = I_{Blim} = \dfrac{E / R_C}{\beta}$,

— la sursaturation est $I_B = K\, I_{Blim}$ avec K compris entre 2 et 10.

A. Limite de blocage – limite de saturation. Nous sommes dans le même cas que précédemment, en supposant h_{11} et β constants. L'évolution de i_c (donc de v_{CE}) est équivalente à une exponentielle de la forme $i_C = \beta\, i_B = A\, e^{-\frac{t}{\tau}} + B$ où A et B sont des constantes obtenues à partir des conditions initiale et finale. La condition de blocage est $u = U_1 = 0{,}6$ V, la condition de saturation est $u = U_2 = 1{,}6$ V (pour $V_{BE} = 0{,}6$ V).

B. Limite de blocage vers la sursaturation. La figure 5.9 représente deux commandes, l'une pour la limite de saturation ($u = 1{,}6$ V, évolution en traits pointillés), l'autre pour la sursaturation ($u = 2{,}6$ V, évolution en traits pleins).

— **Limite de saturation.** L'évolution de i_C donc de v_{CE} en fonction du temps est exponentielle (approximation linéaire). Le temps de montée de i_C (10 % - 90 %) correspond à

$$t_r = t_{r1} \simeq 2{,}2\ \tau_e$$

— **Sursaturation avec** $K = 2$ ($I_{Bsat} = 2\, I_{Blim}$ avec $U_2 = 2{,}6$ V). On conserve l'approximation linéaire. L'évolution théorique de i_C est toujours exponentielle jusqu'à $i_C = 40$ mA ($v_{CE} = -20$ V). Cette évolution s'arrête lorsque $i_C = \dfrac{E}{R_C} =$ 20 mA et $v_{CE} = 0$. Le temps de montée de i_C (10 % - 90 %) de l'évolution linéaire est

$$t_r = t_{r2} = \ln \frac{K - 0{,}1}{K - 0{,}9} \cdot \tau_e$$

avec $K = I_{Bsat} / I_{Blim}$.

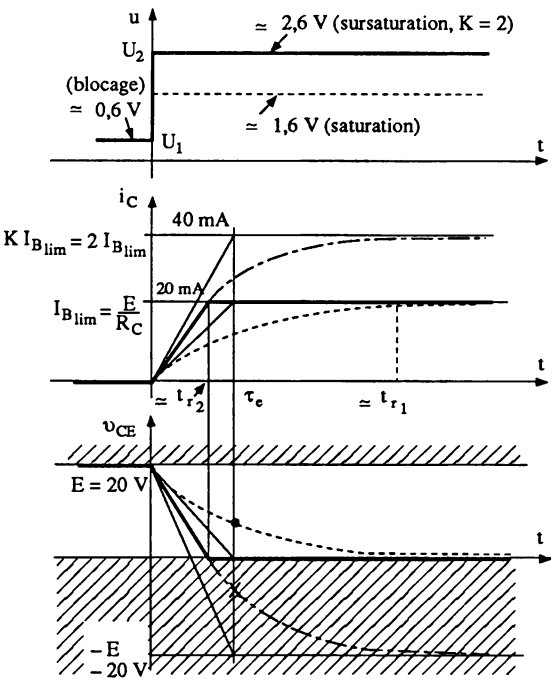


Figure 5.9

C. **Limite de saturation vers le surblocage.** La figure 5.10 représente deux commandes, l'une pour la limite de blocage (u = 0,6 V, évolution en traits pointillés), l'autre pour le surblocage (u = – 1,4 V, évolution en traits pleins).

— **Limite de blocage.** On retrouve une évolution quasi exponentielle de i_C donc de v_{CE}. Le temps de descente de i_C (10 % - 90 %) est

$$t_f = t_{f1} \simeq 2{,}2\ \tau_e$$

— **Surblocage.** La tension U_1 inférieure à la tension de seuil (0,6 V à 25°C) impose un courant i_B négatif contribuant à évacuer les charges stockées dans la jonction base-émetteur. L'évolution est exponentielle (approximation linéaire) avec, comme condition initiale, $i_C = \frac{E}{R_C}$ = 20 mA (associée à i_B = 0,2 mA) et comme condition finale, i_C = – 40 mA (associé à i_B théorique = $\frac{-1{,}4 - 0{,}6}{R_B}$ = – 0,4 mA). La tension v_{CE} part de zéro et

tend vers $(E - R_C I_C) = 60$ V. Là encore, il y a une limitation due à la limite de blocage. Le courant i_C ne pouvant devenir négatif s'annule au bout d'un temps voisin de t_{f2}. On montre que le temps de descente de i_C (10 % - 90 % de l'évolution linéaire) est

$$t_f = t_{f2} = \ln \frac{K' - 0{,}1}{K' - 0{,}9} \cdot \tau_e$$

avec $$K' = \frac{U_2 - U_1}{U_2 - 0{,}6} = \frac{1{,}6 + 1{,}4}{1{,}6 - 0{,}6} = 3$$ pour notre exemple.

U_2 et U_1 représentent respectivement la tension de saturation et la tension de blocage ou surblocage. K' est appelé coefficient de surblocage.

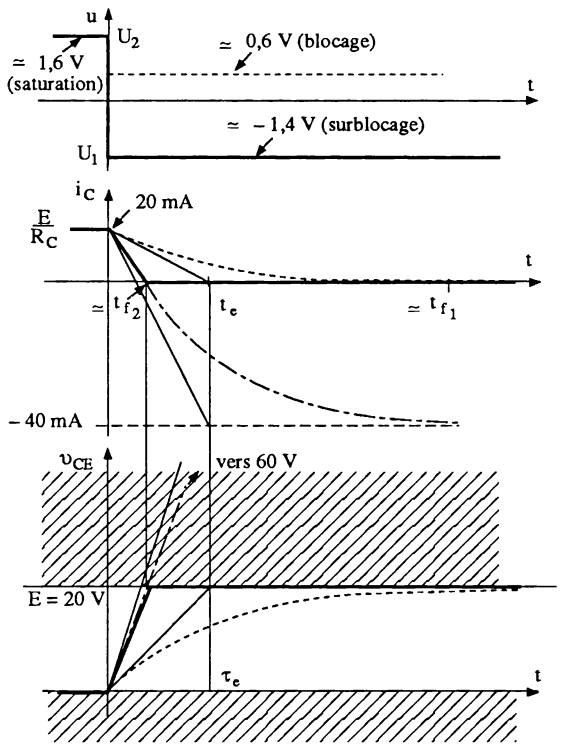


Figure 5.10

5.1.2.3. Fonctionnement en sursaturation et surblocage

La figure 5.11 représente le graphe des différents paramètres du transistor travaillant en commutation, en fonction du temps. La tension u prend deux valeurs

quelconques telles que l'on atteigne le surblocage puis la sursaturation. Le courant i représente le courant de commande. Par rapport aux cas précédents, deux nouveaux temps apparaissent :

— le retard au déblocage t_d,

— le retard à la désaturation t_s.

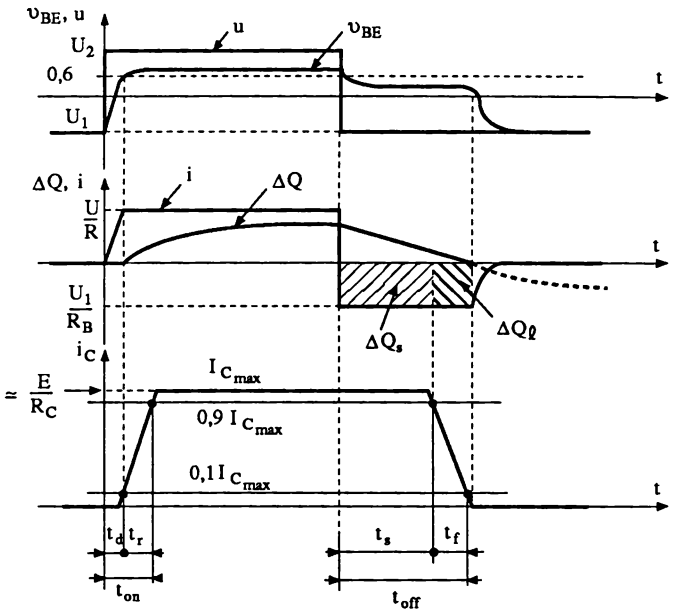


Figure 5.11

Définissons les différents temps.

A. **Temps de montée $t_{on} = t_d + t_r$**

— **Temps de retard t_d *(delay time)*, régime bloqué.** Il représente la somme de trois temps :

• t_{d1} correspondant à la remontée de υ_{BE} de la valeur U_1 (tension négative) vers la tension de seuil (0,6 V à 25°C). Comme le transistor est bloqué et que la sortie n'évolue pas, on est en présence d'un réseau constitué de R_B et des deux capacités de transistion C_{Tbe} entre base et émetteur, et C_{Tbc} entre base et collecteur (figure 5.12). L'évolution exponentielle de υ_{BE} (approximation linéaire) permet d'écrire

$$t_{d1} = R_B\,(C_{Tbe} + C_{Tbc})\,\ln\frac{U_2 - U_1}{U_2 - 0{,}6}$$

avec U_2, tension de saturation

U_1, tension de blocage.

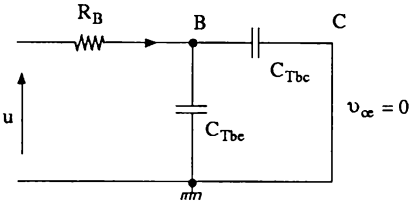


Figure 5.12

• t_{d2} représentant le temps de transit des électrons de la base vers le collecteur. On peut admettre

$$t_{d2} \simeq \frac{1}{6\pi f_T}$$

f_T = fréquence de transition du transistor

• t_{d3} correspondant à l'évolution du courant collecteur de 0 à 0,1 % de $I_{C_{max}}$

$$t_{d3} = \ln \frac{K}{K - 0{,}1} \cdot \tau_e$$

K, coefficient de sursaturation
$\tau_e \simeq h_{11}\, C_e$

On peut admettre $t_d \simeq T_{d1}$.

— **Temps de montée t_r *(rise time)*, régime linéaire.** C'est le temps calculé au paragraphe 5.1.2.2.B pour une évolution de 10 % à 90 %.

$$t_r = \ln \frac{K - 0{,}1}{K - 0{,}9} \cdot \tau_e$$

K, coefficient de sursaturation
$\tau_e \simeq h_{11}\, C_e$

B. Temps de descente $t_{off} = t_s + t_f$

— **Temps de stockage t_s *(storage time)*, régime saturé.**

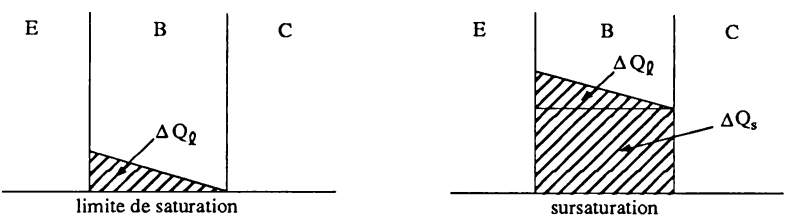


Figure 5.13

Nous avons vu au paragraphe 3.2.2.2 que la quantité de charges stockées dans la zone de base devenait très importante lorsque le transistor se saturait. En effet, les deux jonctions base-émetteur et base-collecteur étant polarisées en direct ($V_{BE} > 0{,}6$ V et $V_{CE} \simeq 0$), les charges issues de l'émetteur ne transitent plus intégralement vers le collecteur (ceci est associé à la différence $I_{C_{max}} - \beta I_B$). La figure 5.13 représente le diagramme des charges stockées dans cette zone de base.

Lorsqu'apparaît la sursaturation, la quantité ΔQ_s devient vite très importante devant ΔQ_ℓ. Ces quantités de charges sont définies par les relations

$$\Delta Q_\ell = \tau I_{B\text{lim}}$$
$$\Delta Q_s = \tau_s (I_{B\text{sat}} - I_{B\text{lim}})$$

En pratique, le temps de transit τ_s est légèrement supérieur à τ.

Le temps de stockage t_s correspond au temps mis pour évacuer les charges ΔQ_s. Il est obtenu à partir de la relation

$$t_s = \ln \frac{\dfrac{U_2}{R_B} - \dfrac{U_1}{R_B}}{I_{B\text{lim}} - \dfrac{U_1}{R_B}} \cdot \tau_s$$

— **Temps de descente t_f *(fall time)*, régime linéaire.** C'est le temps calculé au paragraphe 5.1.2.2.C

$$t_f = \ln \frac{K' - 0{,}1}{K' - 0{,}9} \tau_e \qquad \begin{cases} K', \text{coefficient de surblocage} \\ \tau_e \simeq h_{11} C_e \end{cases}$$

correspondant à l'évacuation du reste des charges ΔQ_ℓ stockées dans la base.

Comme pour la diode, on peut admettre

$$\Delta Q_s = \Delta Q_\ell \simeq t_{off} \cdot I_B \text{ inverse}$$

C. **Exemple de valeurs.** Les transistors bipolaires conçus pour la commutation sont nombreux. Citons quelques composants classiques et moins classiques (RTC).

2N2222, *NPN*, V_{CEO} = , I_C = 800 mA, P_t = 500 mW à 25°C, h_{FE} de 100 à 300 à 150 mA, f_T = 250 MHz, t_{off} = 285 ns à 150 mA.

2N2907, *PNP*, V_{CEO} = 40 V, I_C = 600 mA, P_t = 400 mW à 25°C, h_{FE} de 100 à 300 à 150 mA, f_T > 200 MHz, t_{off} = 100 ns à 150 mA.

2N2369, *NPN*, V_{CEO} = 15 V, I_C = 500 mA, P_t = 360 mW à 25°C, h_{FE} de 40 à 100 à 10 mA, f_T > 500 MHz, t_{off} = 18 ns à 10 mA.

PN3439, *NPN*, V_{CEO} = 350 V, I_C = 1 A, P_t = 625 mW, h_{FE} > 30 à 2 mA, f_T > 70 MHz.

PN5416, *PNP*, V_{CEO} = 350 V, I_C = 1 A, P_t = 625 mW, h_{FE} > 30 à 50 mA, f_T > 15 MHz.

BC517, Darlington *NPN*, V_{CEO} = 30 V, I_C = 400 mA, P_t = 625 mW, h_{FE} > 30 000 à I_C = 20 mA, f_T = 220 MHz.

BC516, Darlington *PNP* complémentaire du BC517.

5.1.2.4. Amélioration des temps de commutation du transistor bipolaire

On fera attention à ne pas dépasser le courant $I_{B_{max}}$ et la tension inverse $V_{EB_{max}}$.

A. Améliorations technologiques. On peut citer :

— diminution des capacités parasites en diminuant les surfaces de jonction,

— travail avec un courant I_C important, ce qui impose des résistances de faibles valeurs, donc une faible constante de temps τ_e,

— diminution du gain en courant β permettant une diminution du temps de transit τ_s des porteurs de charge.

Une amélioration actuelle pour des composants utilisables à partir des années 90 est le transistor HBT (hétérotransistor bipolaire) présentant un émetteur de type *N* en GaAlAs et une base de type *P* en GaAs.

B. Améliorations pratiques. On trouve deux améliorations : l'une pour saturer puis bloquer plus rapidement le transistor en utilisant une capacité d'accélération, l'autre pour empêcher de le sursaturer.

— **Capacité d'accélération** (figure 5.14). On connecte une capacité d'accélération C_a aux bornes de la résistance R_B. A l'instant des transitions de u, la capacité est chargée suivant un certain état. Comme la tension à ses bornes ne peut varier instantanément, cette capacité transmet totalement ou partiellement la variation de u sur la base du transistor, imposant un courant i important. Ce courant i permet de diminuer t_{off} en écoulant rapidement les charges stockées. La valeur de C_a peut être définie à partir de la relation

$$C_a = \frac{\Delta Q_1 + \Delta Q_s}{V_C(0) - V_C(\infty)} \simeq \frac{t_{off} \cdot I_B \text{ inverse}}{V_C(0) - V_C(\infty)}$$

avec $\Delta Q_1 + \Delta Q_s$, charges stockées dans la zone de base et $V_C(0) - V_C(\infty)$, évolution de la tension aux bornes du condensateur entre le temps $t = 0$ et le temps $t = \infty$.

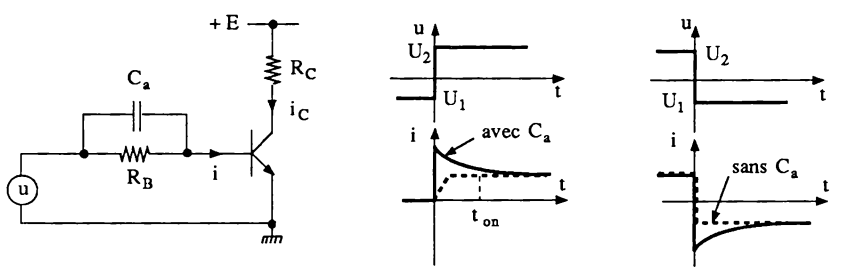


Figure 5.14

Comme il n'est pas toujours aisé de connaître la quantité de charges stockées, on utilise souvent la relation

$$R_B\, C_a \geq t_{off}\ (\text{sans } C_a)$$

Exemple : t_{off} (sans C_a) = 1 µs, R_B = 5 kΩ, alors

$$C_a \geq \frac{10^{-6}}{5 \cdot 10^3} = 200\ \text{pF}$$

— **Diode Schottky d'antisaturation** (figure 5.15). On connecte, entre la base et le collecteur du transistor, une diode Schottky dont la tension de seuil est voisine de 0,3 V. Tant que le transistor n'est pas saturé, nous avons $I_B = I$. Lorsque I_{CE} = 0,4 V, la diode Schottky conduit et dévie une partie du courant de commande I. Seul le courant $I_B = I_{Blim}$ circule dans la base correspondant à $I_C \simeq \frac{E}{R_C}$. La tension V_{BC} = 0,3 V est telle que la jonction base-collecteur reste bloquée, empêchant l'accumulation des charges ΔQ_s. Le transistor est saturé et non sursaturé. Le temps de stockage t_s est théoriquement nul. Cette technique est utilisée dans les circuits TTL Schottky (voir chapitre 7).

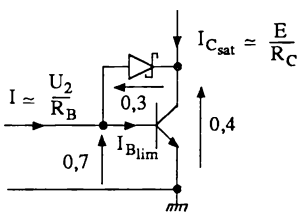


Figure 5.15

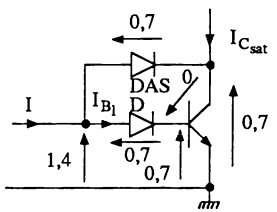


Figure 5.16

— **Diode normale d'antisaturation** (figure 5.16). On obtient un résultat identique au cas précédent en connectant une diode normale (mais rapide) appelée DAS. Son seuil de 0,6 V impose d'augmenter le seuil de commande en connectant une diode D en série avec la base du transistor. Ainsi, lorsque $I > I_{Blim}$, le transistor se sature à une tension V_{CE} = 0,7 V, le courant $I_C \simeq \frac{E}{R_C}$ est obtenu avec $I_B = I_{Blim}$ et la différence $I - I_{Blim}$ circule dans DAS. La tension $V_{BC} \simeq 0$ fait qu'il n'y a pas d'accumulation de charges ΔQ_s, donc un temps de stockage voisin de zéro. Ce principe est très utilisé en électronique de puissance. Les charges stockées ΔQ_ℓ dans la zone de base du transistor sont évacuées à l'aide d'un circuit annexe non représenté.

5.1.2.5. Puissance dissipée dans un transistor en commutation

Théoriquement, le fonctionnement en commutation correspond à un rendement de 100 % (interrupteur fermé, interrupteur ouvert). En pratique, de l'énergie est perdue lorsque le transistor est bloqué ($I_C = I_{CEO}$), lorsqu'il est saturé ($V_{CE} = V_{CE_{sat}}$) et surtout pendant les transitions. La figure 5.17 représente les graphes de i_C (t) et v_{CE} (t) en régime périodique. On en déduit point par point la puissance instantanée p (t). La valeur moyenne de cette puissance instantanée est alors définie par la relation

$$P_{moy} = \frac{1}{T}\int_{(T)} i_c \cdot v_{CE}\, dt$$

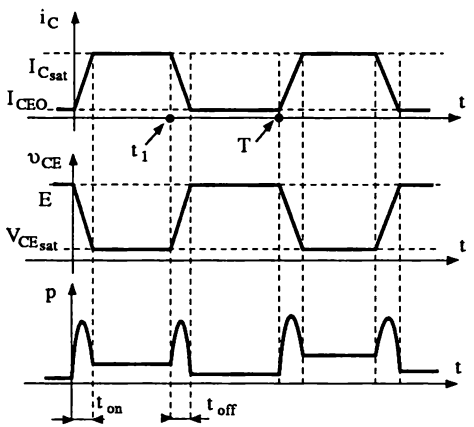


Figure 5.17

Si $t_{on} = t_{off} = t$ et les transitions linéarisées, on obtient

$$P_{moy} = V_{CE_{sat}} \frac{(t_1 - t)}{T} + E\, I_{CEO} \frac{[(T - t_1) - t]}{T} + E\, I_{C_{sat}} \frac{t}{3T}$$

Ainsi, la puissance dissipée dans un transistor (et plus généralement dans un composant en commutation) est d'autant plus faible que :

— $V_{CE_{sat}}$ est faible
— I_{CEO} est faible
} faible température de fonctionnement

— la fréquence de commutation est petite (afin d'avoir $t << T$).

Remarque générale. Plus la fréquence de fonctionnement d'un circuit est importante et plus celui-ci « monte en température » (électronique de puissance, circuits intégrés numériques tels que microprocesseurs, mémoires, etc.).

5.1.3. TRANSISTORS A EFFET DE CHAMP EN COMMUTATION

Le comportement des transistors à effet de champ en commutation est différent de celui des transistors bipolaires, à cause de l'absence des charges stockées. La loi d'évolution du courant de sortie i_D (donc de la tension υ_{DS}) est surtout due aux capacités parasites C_{gs} et C_{gd}.

5.1.3.1. Transistor JFET en petits signaux

La figure 5.18 représente un transistor JFET fonctionnant en source commune. Le générateur de tension fournit deux valeurs U_1 et U_2 telles que le transistor est toujours conducteur, dans sa zone linéaire (hors blocage, hors zone résistive). On peut alors admettre que son schéma équivalent est celui de la figure 4.194 (fonctionnement linéaire en petits signaux). On en déduit le schéma équivalent du montage, après déplacement de C_{gd}. Comme pour le transistor bipolaire, deux constantes de temps apparaissent :

— **à l'entrée,** $\tau_e = R_G\, C_e$ avec $C_e = C_{gs} + (1 + g\, R_D)\, C_{gd}$

— **en sortie ,** $\tau_s \simeq R_D\, C_{gd}$.

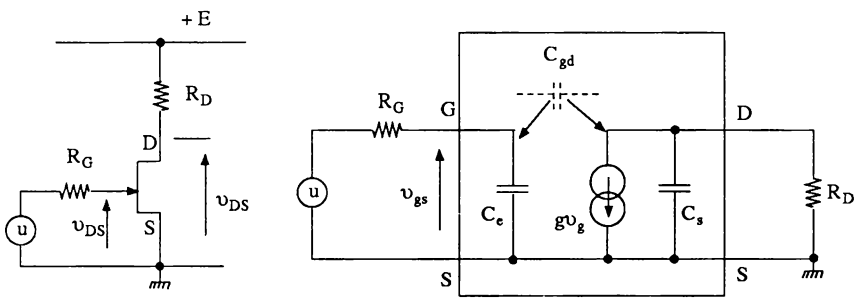


Figure 5.18

La réponse impulsionnelle de cet étage est représentée sur la figure 5.19. Il apparaît en sortie deux temps de réponse identiques, $t_r = t_f$. Ainsi,

$$t_r = t_f \simeq 2{,}2\ \tau_e \quad \textbf{ou} \quad t_r = t_f \simeq 2{,}2\ \tau_s.$$

Remarques

— Si τ_e et τ_s sont de valeurs voisines, il faut alors considérer la réponse du deuxième ordre avec $z \geq 1$.

— On ne tient pas compte, dans cette réponse, de la capacité parasite de charge.

— Si la résistance R_G est de faible valeur, alors la capacité C_{gd} transmet la variation de u vers v_{DS}, comme dans le cas de la commutation suivante, en grands signaux.

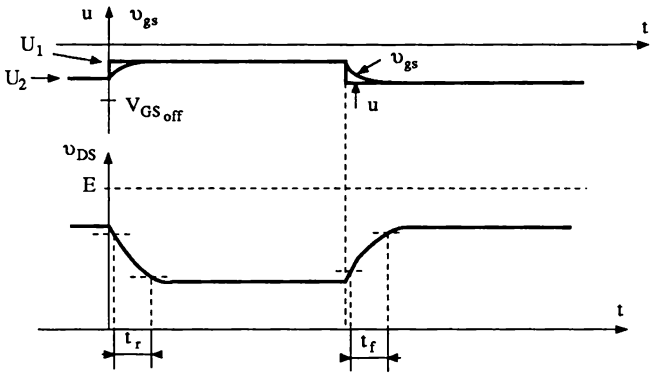


Figure 5.19

5.1.3.2. Transistor JFET en grands signaux

La tension u prend maintenant deux valeurs :

— soit $B\,V_{GS} < U < V_{GS_{off}}$, permettant le blocage,

— soit $u = 0$, permettant la conduction maximale (pour $i_D \leq I_{DSS}$ et $R_{DS} = R_{DS_{on}}$)

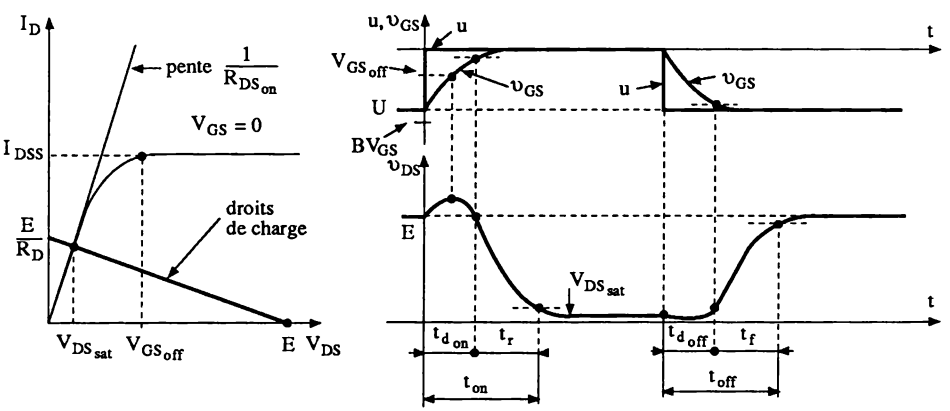


Figure 5.20

Le graphe v_{DS} (t) positionné sur la figure 5.20 nous indique que la commutation peut s'accompagner de plusieurs phénomènes secondaires que nous allons définir approximativement (n'oublions pas que les valeurs des capacités C_{gs} et C_{gd} dépendent de V_{GS} et V_{DS}).

A. Temps de retard à la conduction t_{don}. Dans cet intervalle de temps, deux schémas d'analyse de fonctionnement peuvent être utilisés (figure 5.21).

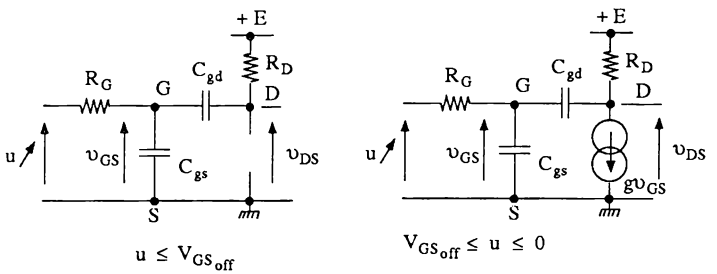


Figure 5.21

— **Pour $u \leq V_{GS_{off}}$.** Le transistor ne conduit pas, la tension v_{GS} augmente et transmet plus ou moins sa variation sur le drain, à cause de C_{gd}. La tension v_{DS} dépasse la valeur E.

— **Pour $V_{GS_{off}} \leq u \leq 0$.** Le transistor conduit. Alors le drain est sollicité par deux actions :

- variation positive due à v_{GS} qui continue à augmenter, mais plus lentement que précédemment ;
- variation négative due au courant $g\ v_{gs}$ qui augmente de plus en plus. Il s'ensuit une diminution de v_{DS}. On peut admettre que le temps t_{don} est associé à l'évolution exponentielle de v_{GS} correspondant au réseau R_G et C_{gs} // C_{gd}. La réponse à 90 % fournit

$$t_{don} \simeq 2{,}2\ R_G\ (C_{gs} + C_{gd})$$

B. Temps de montée du courant de drain t_r. Deux schémas d'analyse sont utilisables (figure 5.22).

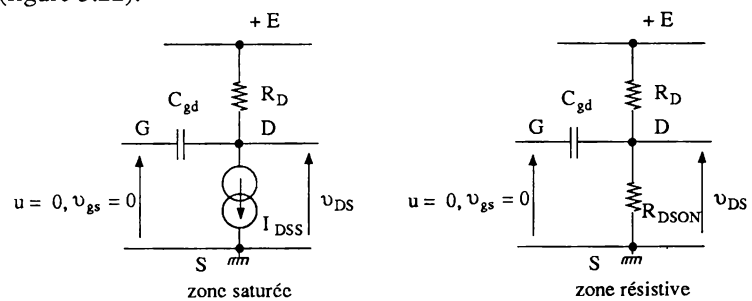


Figure 5.22

— La présence de $v_{GS} = 0$ impose $i_D = I_{DSS}$ tant que v_{DS} varie de E à V_p. L'évolution est exponentielle

$$v_{DS} = A\, e^{-\frac{t}{\tau}} + B \qquad (\tau = R_D\, C_{gd})$$

avec $v_{DS}(0) = E = A + B$

$v_{DS}(\infty) = E - R_D\, I_{DSS} = B$

soit $v_{DS} = R_D\, I_{DSS}\, e^{-\frac{t}{\tau}} + (E - R_D\, I_{DSS})$

La tension v_{DS} obtient la valeur de pincement $V_p = -V_{GS_{off}}$ au bout du temps t_1

$$t_1 = \tau \ln \frac{R_D\, I_{DSS}}{R_D\, I_{DSS} - E + V_p}$$

— La tension V_p étant atteinte, le transistor devient équivalent à sa résistance $R_{DS_{on}}$. On obtient la tension de saturation

$$V_{DS_{sat}} = \frac{R_{DS_{on}}}{R_D + R_{DS_{on}}} \cdot E$$

au bout d'un temps t_2 voisin de $2{,}2\, R_{DS_{on}} \cdot C_{gd}$ si $V_{DS_{sat}} << V_p$

Comme $t_2 << t_1$, le temps de montée $t_r = t_1 + t_2$ s'approxime à la valeur

$$t_r \simeq R_D\, C_{gd} \ln \frac{R_D\, I_{DSS}}{R_D\, I_{DSS} - E} \qquad (R_D\, I_{DSS} > E)$$

C. Temps de retard au blocage $t_{d_{off}}$. La tension v_{GS} évolue de zéro vers $U < V_{GS_{off}}$. Pendant cette variation, le transistor est dans sa zone résistive. Alors le schéma équivalent est celui de la figure 5.23. La variation exponentielle de v_{GS} est associée à la constante de temps $R_G\,(C_{gs} + C_{gd})$. Une partie de cette variation est transmise sur le drain à travers C_{gd} (v_{DS} devient légèrement inférieur à $V_{DS_{sat}}$). Le temps de retard est alors approximé à

$$t_{d_{off}} \simeq 2{,}2\, R_G\, (C_{gs} + C_{gd})$$

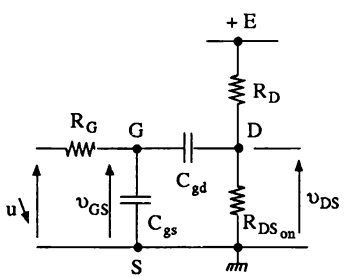


Figure 5.23

D. Temps de blocage du courant de drain t_f. La figure 5.24 nous permet de conclure que la tension v_{DS} évolue exponentiellement jusqu'à la valeur E avec une constante de temps $R_D C_{gd}$ car la tension v_{GS} est considérée constante et égale à U. Le temps de descente est défini par la relation

$$t_f \simeq 2{,}2\, R_D\, C_{gd}$$

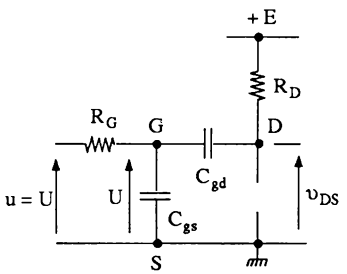


Figure 5.24

5.1.3.3. Cas des transistors MOSFET

Qu'ils soient à déplétion ou à enrichissement, la condition de fonctionnement des MOSFET en commutation est :

— $V_{GS} < V_T$ pour le blocage,

— $V_{GS} > V_{GSlim}$ (correspondant à $I_{Dlim} = \dfrac{E}{R_D}$) pour la pleine conduction (zone résistive).

La tension V_T représente la tension de seuil. Sa valeur dépend de la polarisation du substrat (bulk). La figure 5.25 représente l'évolution v_{GS} (t) et v_{DS} (t) dans le cas d'un transistor NMOS à enrichissement. La tension de commande u prend les deux valeurs : 0 (transistor bloqué) et $U > V_{GSlim}$ (transistor conducteur). On peut utiliser le schéma équivalent simplifié faisant intervenir les éléments C_{gs}, C_{gd} et $g\ v_{gs}$ (avec $V_{GS} = 0$). Toutefois, la très forte variation de la valeur des capacités parasites en fonction de V_{GS} (revoir la figure 4.198) ne permet pas de déterminer simplement la valeur des temps de réponse. Nous pouvons cependant analyser la forme des graphes de la manière suivante.

— **Temps de retard à l'établissement du courant t_{don}.** La capacité parasite d'entrée est définie par C_{gs} (évoluant de zéro – zone de déplétion – vers sa valeur maximale – zone d'inversion) en parallèle avec $C_{gd} = 0$. Sa faible

valeur permet une évolution rapide de v_{GS} donc un faible temps de retard t_{don}. On peut admettre la relation

$$t_{don} \simeq R_G \frac{C_{GS}}{2} \ln \frac{U}{U - V_T}$$

associée à une variation exponentielle définie par la condition initiale $v_{GS} = 0$, la condition finale $v_{GS} = U$ et la valeur particulière $u = V_T$ au temps $t = t_{don}$.

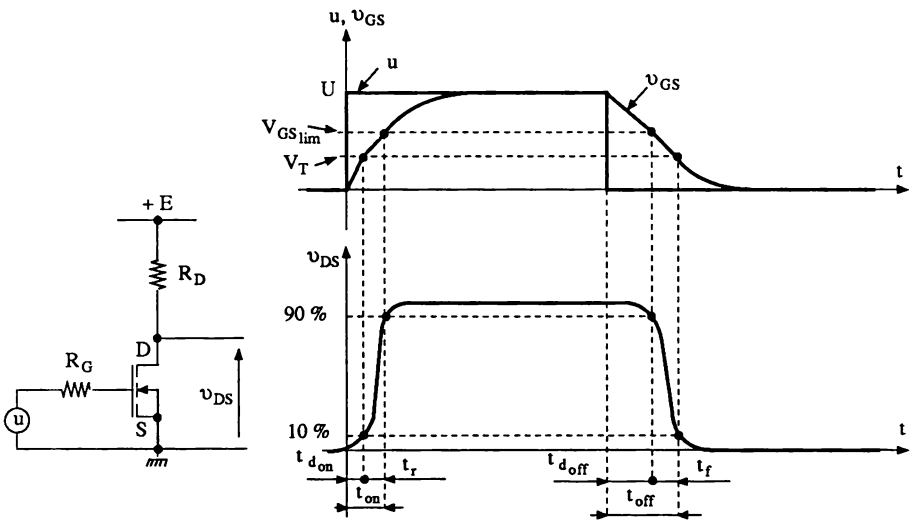


Figure 5.25

— **Temps de montée du courant t_r.** On suppose que les valeurs de C_{gs} et C_{gd} sont maximales. La capacité d'entrée associée à l'effet Miller est alors $C_e \simeq C_{gs} + (1 + g\,R_D)\,C_{gd}$. Plus U est important devant V_{GSlim} et plus t_r est faible. Le temps de montée est alors

$$t_r \simeq R_G\,C_e \ln \frac{U - V_T}{U - V_{GSlim}}$$

obtenu à partir de la variation exponentielle, avec la condition initiale $v_{GS} = V_T$, la condition finale $v_{GS} = U$, et la valeur particulière $u = V_{GSlim}$ pour $t = t_r$.

— **Temps de retard au blocage t_{doff}.** C'est le temps pris à v_{GS} pour passer de U à V_{GSlim} avec la valeur maximale de $C_e \simeq C_{gs} + C_{gd}$. La variation exponentielle (condition initiale $v_{GS} = U$, condition finale $v_{GS} = 0$) nous fournit

$$t_{doff} \simeq R_G\,C_e \ln \frac{U}{V_{GSlim}}$$

— **Temps de descente du courant t_f.** Comme le temps de montée, il dépend de la capacité d'entrée associée à l'effet Miller. On peut admettre la relation

$$t_f \simeq R_G C_e \ln \frac{V_{GSlim}}{V_T}$$

Remarques

— Dans le cas où la résistance d'attaque R_G est de faible valeur, l'évolution de v_{DS} en régime impulsionnel se rapproche de celle du JFET (figure 5.20) avec les dépassements (variation de la tension d'entrée v_{GS} transmise par la capacité parasite C_{gd}). Dans ce cas, l'effet Miller n'intervient plus.

— Lorsque le substrat est à un potentiel différent de celui de la source ($V_{BS} < 0$), il faut tenir compte des trois capacités supplémentaires C_{bg}, C_{bs}, C_{bd} (voir figure 4.197). Ce cas est surtout présent dans les circuits intégrés MOS (analogiques et numériques).

5.1.3.4. Exemples de valeurs et amélioration des temps de commutation

A. Exemples de valeurs

Les tableaux 1 et 2 fournissent quelques éléments issus des caractéristiques Philips Composants.

N-channel junction field-effect transistors for switching

type number	envelope	RATINGS		CHARACTERISTICS							
		V_{DS}	I_G	I_{DSS} min.	I_{DSS} max.	$-V_{(P)GS}$ min.	$-V_{(P)GS}$ max.	$R_{ds\,on}$ max.	C_{rs} max.	t_{on} max.	t_{off} max.
		V	mA	mA		V		Ω	pF	ns	ns
2N3966	TO-72	30	10	2	–	4	6	220	1,5	120	100
2N4091				30	–	5	10	30		25	40
2N4092	TO-18	40	10	15	–	2	7,0	50	5	35	60
2N4093				8	–	1	5,0	80		60	80
2N4391				50	150	4	10	30		15	20
2N4392	TO-18	50	50	25	75	2	5,0	60	3,5	15	35
2N4393				5	30	0,5	3,0	100		15	50
2N4856		40		50	–	4	10	25		9	25
2N4857		40		20	100	2	6	40		10	50
2N4858	TO-18	40	50	8	80	0,8	4	60	8	20	100
2N4859		30		50	–	4	10	25		9	25
2N4860		30		20	100	2	6	40		10	50
2N4861		30		8	80	0,8	4	60		20	100

Tableau 5.1

***Source* : Philips Composants**

N-channel MOS-FETs single gate for switching

type number	envelope	RATINGS		CHARACTERISTICS					
		V_{DS}	I_D	I_{DSS} min.	$-V_{(P)GS}$**	mode	$R_{ds\,on}$ max.	C_{rs} typ.	t_{on}/t_{off} typ.
		V	mA	mA	V		Ω	pF	ns
BFR29	TO-72	30*	20	10 – 40	0,5 – 3,5	depl	–	0,4	–
BSD10 BSD12	TO-72	10 20	50	– –	– 2	depl	30	0,6	1/5
BSD20 BSD22	SOT-143	10 20	50	– –	– 2	depl	30	0,6	1/5
BSD212 BSD213 BSD214 BSD215	TO-72	10 10 20 20	50	– –	0,1 – 2	enh	70	0,6	1/5
BSS83	SOT-143	10	50	– –	0,1 – 2	enh	45	0,6	1/5
BSV81	TO-72	30*	25	– –	– –	depl	100	0,5	–

* V_{DB}/V_{SB}

** En h. types $V_{GS(th)}$

Tableau 5.2

***Source* : Philips Composants**

— **Tableau 1, transistors JFET canal *N*.** Les temps de commutation s'échelonnent entre 9 ns et 120 ns pour t_{on} et 25 ns et 100 ns pour t_{off}, pour des capacités de réaction comprises entre 1,5 pF et 8 pF.

— **Tableau 2, transistors NMOS.** Les temps de commutation sont voisins de 1 ns pour t_{on} et 5 ns pour t_{off} avec C_{rss} compris entre 0,4 pF et 0,6 pF.

Les transistors DMOS ne sont pas présentés. Ils travaillent avec V_{DS} pouvant atteindre 200 V, I_D quelques centaines de mA et t_{on} / t_{off} voisin de 5/20 ns.

Notons que :

— ces valeurs sont définies pour des conditions de mesures fournies sur les databooks ;

— pour les transistors de puissance, les temps t_{on} et t_{off} sont obligatoirement plus grands (plus grandes dimensions) ;

— la grille du transistor MOS est souvent protégée contre le claquage de l'isolant, par des circuits à diodes ou à diodes Zener. Ces circuits contribuent à augmenter la valeur de la capacité d'entrée (voir MOS de puissance) ;

— Siliconix est aussi très bien placé dans le domaine de la commutation.

B. Amélioration des temps de commutation

— **Transistor JFET.** Temps de commutation et capacités parasites sont associés. Toutefois, un transistor prévu pour les applications en commutation n'a pas forcément les valeurs capacitives minimales. Exemple :

• Transistor de commutation JFET, Siliconix, référence J105
g_{fs} = 55 mS pour I_D = 25 mA, I_{GSS} = 10 pA, $r_{ds_{on}}$ = 3 Ω, C_{iss} = 120 pF, C_{rss} = 20 pF, $t_{d_{on}}$ = 6 ns, t_r = 8 ns, $t_{d_{off}}$ = 5 ns, t_f = 9 ns avec $V_{GS_{on}} = 0$, $V_{GS_{off}} = -12$ V, R_L = 50 Ω, structure interdigitée (2 x 150 doigts).

• Transistor pour amplification, à grande résistance d'entrée, Siliconix, référence 2N4117
g_{fs} = 70 µS, I_{GSS} = 0,2 pA, C_{iss} = 1,2 pF, C_{rss} = 0,3 pF aucun temps de commutation précisé, structure simple à deux doigts.

— **Transistors MOSFET.** Les temps de commutation des MOS dépendent de la valeur des capacités parasites, donc de la dimension du canal et de la capacité de l'isolant C_{ox}. Le tableau 2 nous indique la supériorité des transistors NMOS par rapport aux transistors JFET, pour des tensions et courants voisins. On retrouve les mêmes performances dans le domaine de l'intégration. Citons, en numérique :

PMOS, largeur du canal l = 10 µm, temps de propagation t_p = 50 ns (1971)
NMOS, l = 5 µm, $t_p \simeq$ 12 ns (1976)
$HMOS_1$, l = 3 µm, $t_p \simeq$ 1 ns (1977)
$HMOS_2$, l = 2 µm, t_p = 0,2 ns (1979)
$HMOS_3$, l = 1 µm, $t_p < 0{,}1$ ns (1982)

— **Transistor MESFET.** Ces transistors à l'arséniure de gallium et à jonction Schottky représentent l'amélioration des transistors JFET. Leur temps de commutation théorique est de 10 ps, et pratique de 100 ps à cause des capacités parasites des connexions.

Remarque. Comme la commutation s'accompagne d'une perte d'énergie, nous verrons au chapitre 7 que les performances des circuits intégrés numériques associent les deux paramètres : temps de propagation et puissance « consommée ».

5.1.4. COMPOSANTS DE L'OPTOÉLECTRONIQUE EN COMMUTATION

5.1.4.1. Émetteurs de lumière

Les émetteurs de lumière sont :

— les voyants simples pour lesquels on ne tient pas compte des temps de réponse,

— les diodes émettrices d'information (en général numériques),

— les diodes laser.

Les temps de réponse des diodes émettrices d'information et des diodes laser sont sensiblement identiques, $t_r \simeq t_f$. Ils sont dus à la durée de vie de la

recombinaison radiative. Leur mesure est effectuée suivant le schéma de la figure 5.26. Nous indiquons quelques valeurs.

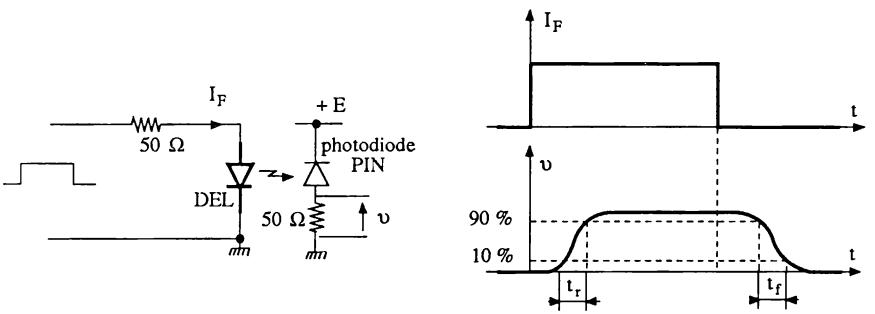


Figure 5.26

A. Diodes électroluminescentes RTC

CQW58, $I_{F_{max}} = 60$ mA, $t_r = t_f = 30$ ns à $I_F = 20$ mA, $C_d = 200$ pF à $V_R = 0$.

CQY58, $I_{F_{max}} = 80$ mA, $t_r = t_f = 3$ µs à $I_F = 20$ mA, $C_d = 40$ pF à $V_R = 0$.

B. Diode laser RTC

504CQL, $I_{th} = 45$ mA, $t_{on} = t_{off} = 1$ ns.

5.1.4.2. Récepteurs de lumière

Les récepteurs de lumière sont :

— les photodiodes,

— les phototransistors.

La méthode de mesure des temps de réponse est celle indiquée sur la figure 5.27.

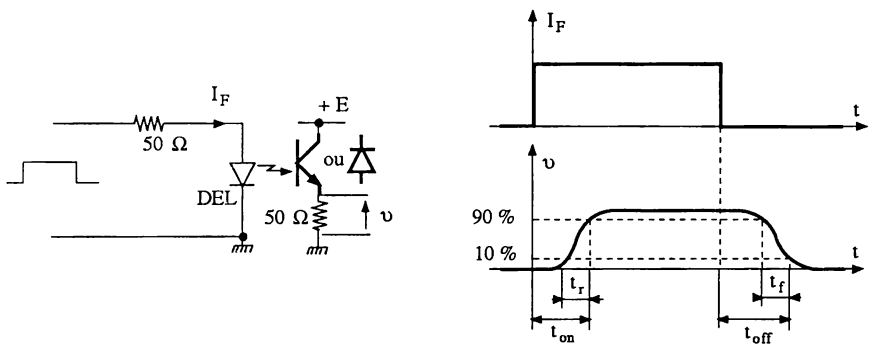


Figure 5.27

A. **Photodiode.** Le paramètre intéressant de ce composant est la capacité de jonction. Celle-ci est d'autant plus faible que la tension inverse est importante. La structure *PIN* permet une capacité très réduite. Exemple de caractéristiques :

BPX61, $t_r = 25$ ns, $t_f = 40$ ns, $C_d = 20$ pF à $V_R = 3$ V.

B. **Phototransistor.** Le phototransistor est moins rapide que la photodiode, à cause de l'effet Miller. Les temps de commutation t_r et t_f sont fonction de la fréquence de transition f_T, de la résistance de charge, de la capacité collecteur-base et du gain. Ils sont de l'ordre de 1 à 30 µs sur une charge résistive R_L de 1 kΩ. Exemple de caractéristiques :

BPW22A, $V_{CEO} = 50$ V, $I_c = 25$ mA
$R_L = 100\ \Omega$, $t_{on} = 3$ µs, $t_{off} = 3$ µs
$R_L = 1$ kΩ, $t_{on} = 12$ µs, $t_{off} = 12{,}5$ µs.

Ces valeurs sont déduites de la figure 3.226 (**Composants actifs discrets 1**, p. 499).

5.1.4.3. Optoisolateurs

On rencontre :
— les photocoupleurs diode-photodiode,
— les photocoupleurs diode-phototransistor,
— les photocoupleurs diode-JFET,
— les photocoupleurs diode-Darlington,
— les photocoupleurs diode-photodiode + phototransistor,
— les photocoupleurs diode-triac, diode-trigger, diode-interface logique, etc.

Leurs caractéristiques de commutation sont définies :
— soit par les temps t_{on} et t_{off} identiques à ceux de la figure 5.27,
— soit par les temps de propagation t_{pLH} et t_{pHL} définis à 50 % de l'évolution de l'entrée et de la sortie ainsi que l'indique la figure 5.28,

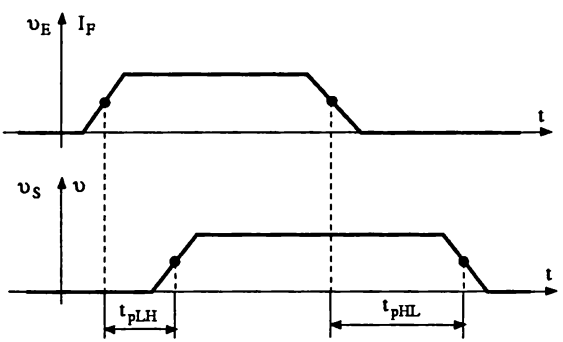


Figure 5.28

— soit par les temps t_{on} et t_{off} définis sur la figure 5.29.

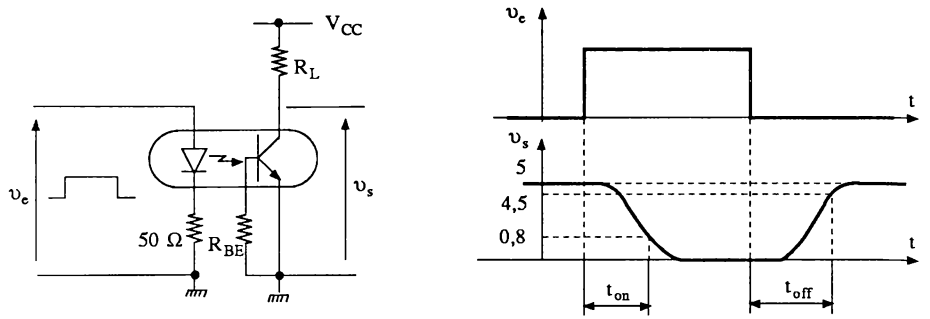


Figure 5.29

Exemples de caractéristiques

— MCT2, photocoupleur diode-transistor, C_D = 50 pF à V_R = 0, C_{be} = 8 pF, C_{bc} = 4,5 pF, C_{ce} = 8 pF, $C_{\text{diode-transistor}}$ = 0,6 pF

t_{on} = 5 µs, t_{off} = 30 µs : I_F = 15 mA, V_{CC} = 5 V, R_L = 2 kΩ, $R_{BE} = \infty$

t_{on} = 5 µs, t_{off} = 10 µs : I_F = 20 mA, V_{CC} = 5 V, R_L = 2 kΩ, R_{BE} = 100 kΩ

La mesure des temps est effectuée suivant la figure 5.29.

— H11F1, photocoupleur diode-JFET (General Electric), $t_{on} = t_{off}$ = 15 µs, R_{on} = 200 Ω.

5.2. APPLICATIONS DE LA COMMUTATION FAIBLE PUISSANCE

De nombreuses fonctions de l'électronique travaillent en commutation. La plupart sont intégrées :

— fonctions analogiques telles que les amplificateurs opérationnels, les comparateurs, les commutateurs analogiques (présentés au chapitre 6),

— fonctions numériques en technologie TTL, ECL, NMOS et CMOS (présentés au chapitre 7).

D'autres sont câblées et utilisent les éléments discrets :

— circuits de commande de l'électronique de puissance (voir ouvrages *Electronique industrielle* et *Amplificateurs de puissance*),

— commutateurs de toutes fonctions,

— bascules, etc.

Nous présentons, dans ce chapitre, quelques schémas de l'électronique de commutation. **En ce qui concerne la commutation des signaux analogiques, on se reportera au chapitre 6.**

5.2.1. QUELQUES SCHÉMAS TESTS

Les composants discrets sont testés en commutation, avec des signaux très « raides ». Les capacités parasites de mesure doivent être minimisées tout en conservant l'adaptation des lignes (entrée et sortie sur impédance caractéristique). Plusieurs schémas sont proposés par les fabricants.

— **Figure 5.30.** Le circuit est attaqué par un signal d'amplitude + 10 V pour la saturation du transistor et – 10 V pour le blocage. L'impédance d'entrée est 50 Ω ; la diode limite la tension de jonction inverse à – 3,6 V. Le collecteur est chargé par une résistance de 200 Ω. Le circuit de mesure, en sortie, est un diviseur de tension (20 kΩ – 50 Ω). Ce circuit ne modifie pas les temps de montée et de descente du transistor et adapte à 50 Ω la ligne de sortie (par exemple vers un oscilloscope).

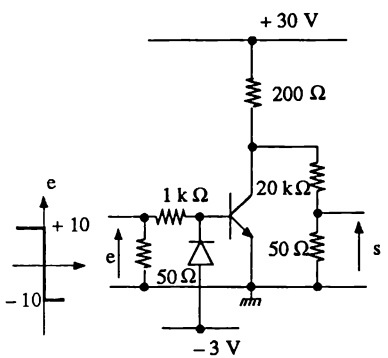


Figure 5.30

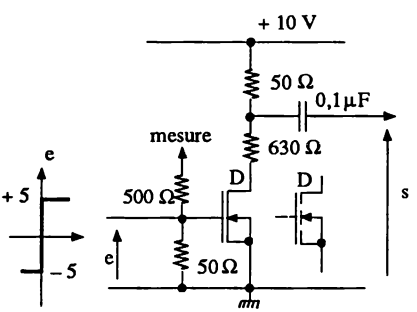


Figure 5.31

— **Figure 5.31.** Un autre principe de mesure est proposé pour des transistors à effet de champ (mais serait tout aussi valable pour des transistors bipolaires). La tension d'attaque doit être telle que le transistor puisse se bloquer, ou conduire à son maximum. Dans notre cas, les valeurs ± 5 V correspondent à la commande du transistor à déplétion NMOSD. La mesure en entrée est effectuée à travers une résistance de 500 Ω, et en sortie sur la résistance de 50 Ω. En aucun cas, cette mesure ne perturbe le commutateur.

5.2.2. EXEMPLES DE DRIVERS POUR TRANSISTORS

5.2.2.1. Driver à transistors bipolaires

La figure 5.32 représente un circuit de puissance (48 V, 50 Ω) utilisant un transistor rapide de puissance BUV27 (V_{CEO} = 120 V, I_C = 8 A, β_{sat} = 10, $t_f \leq 0{,}15$ µs). Ce transistor de puissance est piloté par le push-pull $T_3 - T_4$, lui-même piloté par le *PNP* T_2. Une autre inversion est nécessaire pour une commande par rapport à zéro, assuré par T_1. L'exercice 3 de la section 5.7 fournit la valeur des composants.

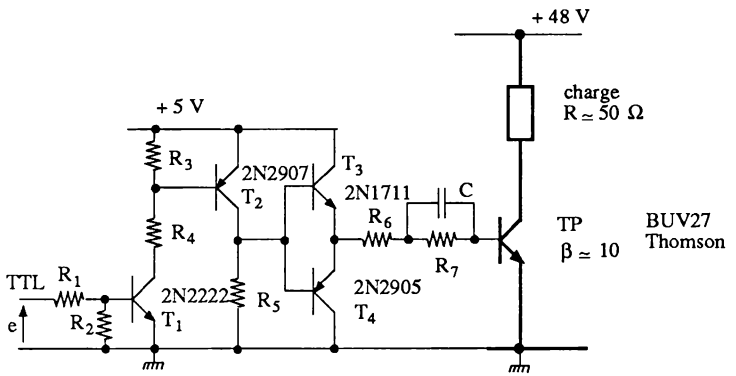


Figure 5.32

5.2.2.2. Drivers à transistors à effet de champ

Les transistors à effet de champ DMOS (MOS à enhancement) sont de plus en plus utilisés dans le domaine de l'interfaçage de puissance. On trouve couramment des tenues en tension jusqu'à 200 V, des courants de plusieurs centaines de mA, des résistances $R_{DS_{on}}$ de quelques ohms pour des temps de commutation t_{on} / t_{off} de 5 à 10 ns. Deux schémas de base sont proposés.

— **Figure 5.33.** Le transistor NMOS travaille en drain commun. Pour une commande 0, + V_G, la tension aux bornes de la charge est 0, (+ $V_G - V_T$).

— **Figure 5.34.** Le transistor PMOS est moins rapide que le DMOS (t_{on} de 10 à 50 ns pour $I_D \simeq 1$ mA). Il peut toutefois être utilisé dans des opérations d'inversion ainsi que l'indique notre figure. La tension de sortie se situe entre 0 et $V_{DD} - I_D R_{DS_{on}}$.

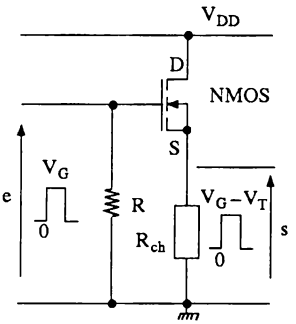


Figure 5.33

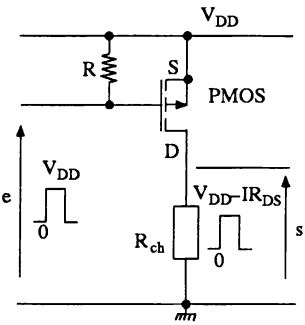


Figure 5.34

Nous indiquons aussi quelques schémas pratiques de drivers pilotés par une logique TTL.

— **Figure 5.35.** Le transistor NMOS travaille en source commune et pilote le PMOS, lui aussi en source commune. La diode Zener limite la tension V_{SG} à + 15 V, dans le cas où V_{DD} dépasse 15 V. Rappelons que la commande TTL correspond sensiblement à 0 V et + 3 V (voir chapitre 7).

— **Figure 5.36.** On n'utilise que des NMOS (DMOS), le premier en source commune, le second en drain commun. Afin d'obtenir un maximum de dynamique en sortie, on utilise un bootstrapp. Lorsque T_1 conduit, T_2 est bloqué si $V_T > 0{,}6$ V. Le condensateur se charge à travers D_1 et R_{ch} (T est bloqué). Lorsque T_1 se bloque, T_2 conduit, la sortie évolue en positif, le condensateur C transmet la variation, D_1 et D_2 sont bloquées et T conduit. Le potentiel de la grille de T_2 dépasse la valeur V_{DD}. Ainsi, V_{GS_2} atteint une valeur telle que T_2 est équivalent à $R_{DS_{on}}$.

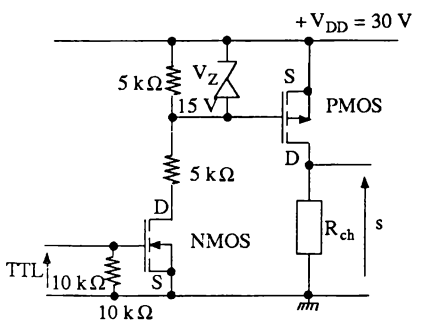


Figure 5.35

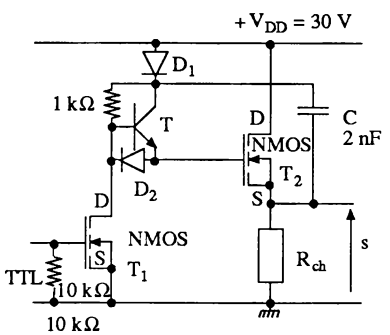


Figure 5.36

— **Figure 5.37.** La tension d'alimentation symétrique permet un courant alternatif dans la charge. La structure complémentaire en commutation impose une tension d'entrée positive puis négative, en général égale à $\pm V_{DD}$. Comme, dans les deux cas, $|V_{GS}| = 30$ V, il faut s'assurer que les transistors supportent cette tension.

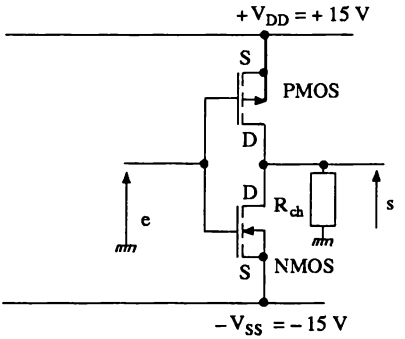


Figure 5.37

— **Figure 5.38.** C'est l'amélioration du montage précédent avec une commande TTL. Lorsque T_1 est bloqué (sortie TTL à zéro), nous avons $V_{GS2} = -0{,}25\text{ V} = -(30 - V_Z)\dfrac{R_3}{R_3 + R_4}$ et $V_{GS3} = +4{,}75\text{ V} = (30 - V_Z)\dfrac{R_4}{R_3 + R_4}$. Ainsi T_2 est bloqué et T_3 conduit. Alors $V_{GS4} = -30$ V, $V_{GS5} \simeq 0$, ce qui impose la conduction de T_4 et le blocage de T_5. Dans le cas contraire, T_1 conduit et le diviseur de tension bloque tout juste la diode Zener. Nous avons $V_{GS2} = -5$ V, $V_{GS3} = 0$ (T_2 conduit et T_3 est bloqué), $V_{GS4} \simeq 0$, $V_{GS5} = +30$ V (T_4 est bloqué et T_5 conduit).

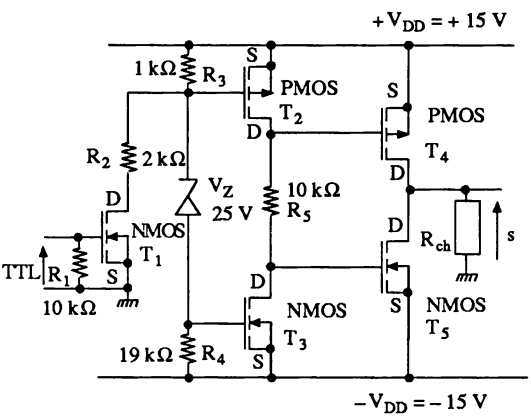


Figure 5.38

On peut limiter la tension V_{GS} des transistors T_4 et T_5 en connectant, entre grille et source de chacun d'eux, une résistance de l'ordre 10 kΩ (limitation à 15 V).

5.2.3. BASCULES A TRANSISTORS

On ne rencontre plus beaucoup ces montages appelés aussi multivibrateurs. En pratique, ce sont les circuits intégrés (amplificateurs opérationnels, comparateurs, circuits numériques) seuls ou pilotant un transistor, qui les remplacent. Toutefois, revoir certains principes a pour intérêt de comprendre leur fonctionnement, aussi bien pour les besoins de la maintenance d'appareils que pour la réalisation de fonctions marginales (haute tension, puissance, monotechnologie, etc.).

5.2.3.1. Bascules bistables

Ce sont des bascules à deux états de sortie stables, qu'une impulsion de commande fait passer d'un état stable à l'autre état stable. En l'absence d'impulsion, les sorties restent indéfiniment dans l'un quelconque des deux états stables, celui qu'avait provoqué la dernière impulsion reçue. Les bascules bistables servent à réaliser :

— des diviseurs par deux,
— des compteurs,
— des mémoires.

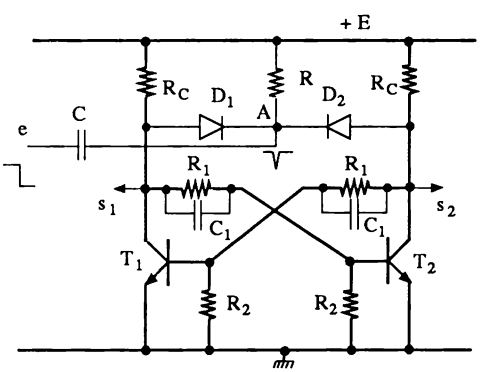


Figure 5.39

Les figures 5.39 et 5.40 représentent deux schémas de bascules bistables, l'une à transistors bipolaires, l'autre à transistors NMOSE (MOS à enrichissement, canal *N*). La partie en traits épais représente les éléments statiques ; la saturation

d'un transistor entraîne le blocage de l'autre, et inversement. La partie en traits fins représente les éléments de déclenchement. En supposant T_1 bloqué et T_2 saturé, une impulsion négative de commande entraîne une variation négative sur le collecteur de T_1, transmise par D_1 (D_2 étant bloquée à cause de la saturation de T_2). Cette variation négative du transistor de T_1 est transmise par R_1 et C_1 vers la base de T_2 bloquant celui-ci. Le blocage de T_2 entraîne la saturation de T_1 (variation positive du collecteur de T_2 vers la base de T_1).

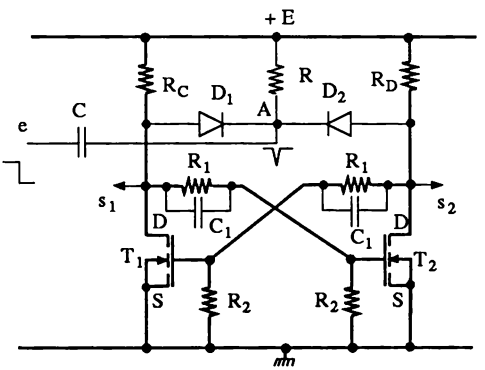


Figure 5.40

Remarques

— L'impulsion de commande est en général issue d'un signal carré dérivé par le réseau *CR* (constante de temps supérieure au temps de blocage t_{off} du transistor).

— On peut utiliser un réseau de commande sur les bases, identique au précédent (commande au blocage).

— La capacité d'accélération C_1 est définie à partir des relations du paragraphe 5.1.2.4.B.

— Les résistances R_1 et R_2 sont obtenues de manière à bloquer ou saturer correctement les transistors. Dans le cas des NMOSE, le blocage a lieu pour $V_{R2} < V_T$. Les résistances R_2 peuvent être connectées à un potentiel négatif.

— Deux sorties s_1 et s_2 sont possibles. Elles sont complémentaires. En régime périodique, la fréquence de sortie est moitié de celle de l'entrée. La figure 5.41 représente l'évolution de quelques potentiels.

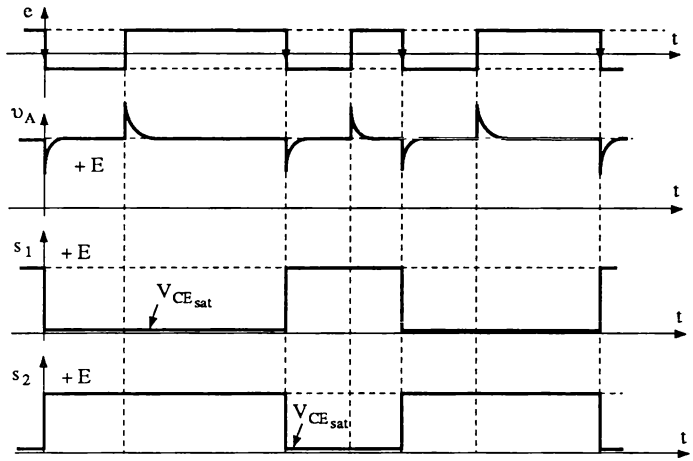


Figure 5.41

Exemples de valeurs

— **Figure 5.39.** Pour E = 20 V, β = 100 et $I_{C_{sat}}$ = 10 mA (transistors 2N1711), nous avons :
R_C = 2 kΩ, $R_1 = R_2$ = 40 kΩ, R = 10 kΩ, C = 1 nF, C_1 = 100 pF.

— **Figure 5.40.** Pour E = 100 V, I_D = 50 mA et V_T = 1 V (transistor DMOS BS107A), nous avons :
R_D = 2 kΩ (> 5 W), R_1 = 100 kΩ, R_2 = 10 kΩ, R = 10 kΩ, C = 1 nF, C_1 = 100 pF.

A titre d'exercice, on déterminera les potentiels et les courants aux différents points des deux montages, en régime stable.

5.2.3.2. Bascules monostables

Ce sont des bascules présentant un seul état stable, mais susceptible, sous l'effet d'un signal extérieur de déclenchement, de passer brusquement dans un second état et d'y rester pendant un temps t_1 qui ne dépend que des éléments de la bascule. La fréquence du signal de sortie est celle des impulsions de commande. Les monostables sont utilisées pour obtenir :

— des retards calibrés,

— des impulsions calibrées.

Les figures 5.42 et 5.43 représentent deux schémas de monostables, l'un en technologie bipolaire, l'autre en technologie NMOSE.

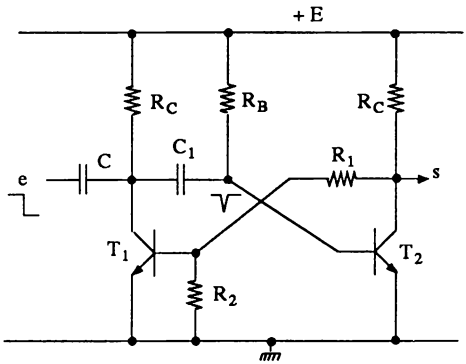


Figure 5.42

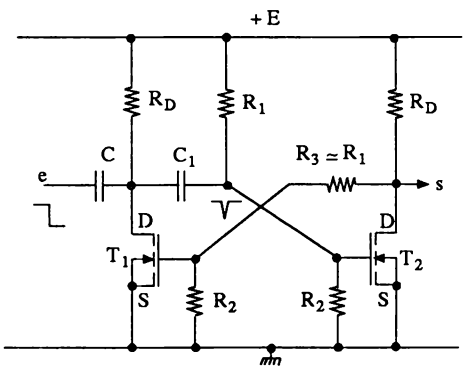


Figure 5.43

— **Technologie bipolaire.** En régime stable, la résistance R_B sature T_2, bloquant T_1 (action du diviseur $R_1 - R_2$). Une brève impulsion négative de commande, transmise par C et C_1, bloque T_2, saturant T_1. La variation négative du collecteur de T_1 est transmise sur la base de T_2 par C_1. Comme C_1 était chargé à une valeur voisine de $+E$, le potentiel de la base de T_2 atteint sensiblement la valeur $-E$. **(Attention, prévoir éventuellement une protection de la jonction base-émetteur, en inverse.)** Sachant que T_1 est saturé, C_1 se charge à travers R_B et la variation V_{BE2} est exponentielle, de la forme

$$V_{BE2} = A\, e^{-\frac{t}{R_B C_1}} + B$$

avec

$$V_{BE2}(0) = -E = A + B$$

$$V_{BE2}(\infty) = +E = B$$

$$V_{BE2}(t_1) = +0{,}7\ \text{V}.$$

En considérant $E >> 0{,}7$ V, le temps t_1 est

$$t_1 \simeq R_B\, C_1 \ln 2 \simeq 0{,}7\, R_B\, C_1.$$

La figure 5.44 représente l'évolution du potentiel des bases et des collecteurs. On remarque la remontée exponentielle de v_{CE_1}, à cause du réseau $R_C\, C_1$ (car V_{BE_2} est pratiquement constant).

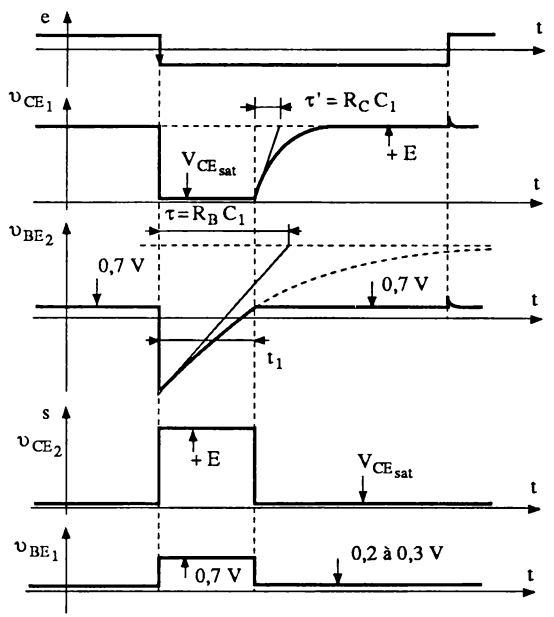


Figure 5.44

— **Technologie DMOS.** Le processus de fonctionnement est le même que pour le transistor bipolaire. Toutefois, la résistance R_2 de T_2 permet de limiter V_{GS_2}, dans le cas où E est de valeur importante. Le transistor T_2 se bloque, faisant conduire T_1. Si $R_1 = 9\, R_2$ (cas où E est de valeur importante), en régime stable, C_1 est chargé à la valeur $0{,}9\, E$. Au moment du basculement, V_{GS_2} atteint $-0{,}9\, E$ (il faut protéger la grille – voir exercice 4), puis évolue exponentiellement vers $0{,}1\, E$. T_2 redevient conducteur pour $V_{GS_2} = V_T$. Le temps t_1 est obtenu à partir de

$$V_{GS_2} = A\, e^{-\frac{t}{\tau}} + B, \qquad \text{avec} \qquad \tau = R_1 \,//\, R_2\, C \simeq R_2\, C$$

soit

$$t_1 \simeq R_2\, C \ln \frac{E}{0{,}1\, E - V_T}$$

Exemples de valeurs

— **Figure 5.42.** Pour E = 20 V, β = 100, $I_{C_{sat}}$ = 10 mA (transistor 2N1711), nous avons :
R_C = 2 kΩ, $R_1 = R_B = R_2$ = 40 kΩ, C_1 = 0,35 µF pour t_1 = 10 ms. C dépend de l'amplitude de e.

— **Figure 5.43.** Pour E = 100 V, $I_{D_{max}}$ = 50 mA et V_T = 1 V (transistor DMOS, BS107A), nous avons :
R_D = 2 kΩ (> 5 W), R_1 = 100 kΩ, R_2 = 10 kΩ, C_1 = 1,4 µF pour t_1 = 10 ms. On protégera la grille des transistors avec une résistance série R = 500 kΩ et éventuellement une diode en inverse (cathode sur la grille et anode à la masse).

5.2.3.3. Bascules astables

Les bascules ou multivibrateurs astables sont des montages qui changent en permanence d'état. Ils passent spontanément d'un équilibre quasi-stable à un autre équilibre quasi-stable. Ce sont de véritables oscillateurs qui peuvent, éventuellement, être synchronisés. On les utilise pour générer des signaux « carrés ».

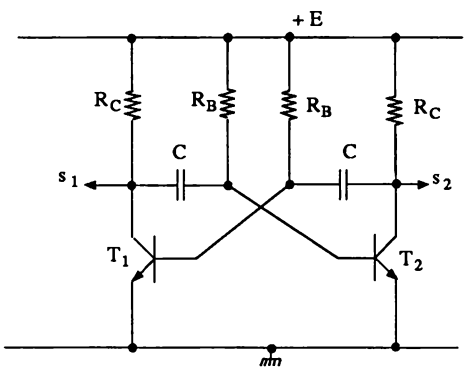


Figure 5.45

Les figures 5.45 et 5.46 représentent deux schémas d'astables en technologie bipolaire et NMOSE.

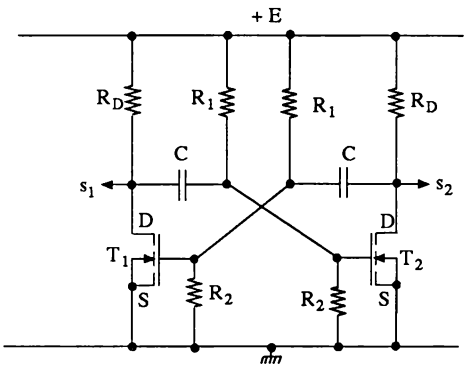


Figure 5.46

— **Technologie bipolaire.** Les deux transistors sont polarisés pour la saturation (sans les condensateurs *C*). A la mise sous tension, la dissymétrie inéluctable fait que, dès qu'un transistor commence à se saturer, il bloque l'autre à cause de la liaison capacitive. Des phases d'oscillations transitoires apparaissent, et en régime permanent, les tensions sont celles indiquées sur la figure 5.47. Ainsi, lorsque T_1 se sature, il transmet la variation de la tension

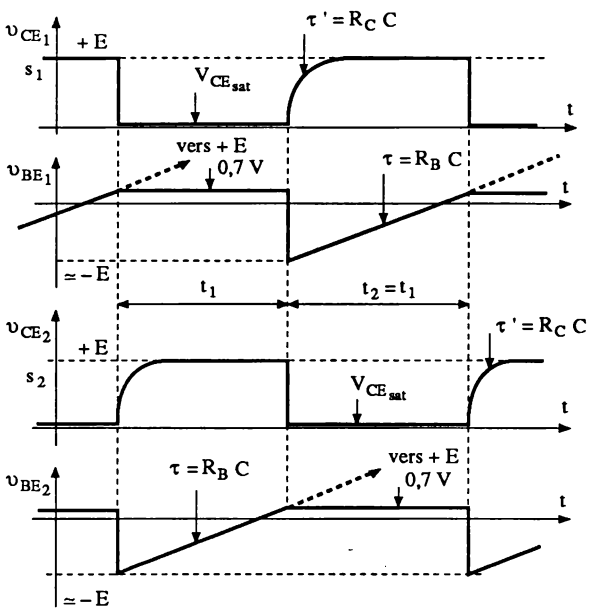


Figure 5.47

collecteur ($\simeq -E$) sur la base de T_2, bloquant celui-ci. Comme $V_{CE_1} \simeq 0$, l'évolution de v_{BE_2} est exponentielle avec, comme condition initiale $-E$ et comme condition finale $+E$. Lorsque cette tension atteint 0,7 V, T_2 se sature, bloquant T_1. L'évolution de v_{BE_1} est identique à v_{BE_2}. Pour un montage entièrement symétrique et $E >> 0{,}7$ V, nous obtenons

$$t_1 = t_2 \simeq R_B\, C \ln 2 \simeq 0{,}7\, R_B\, C.$$

Remarques

— Les remontées de v_{CE_1} et v_{CE_2} ne sont pas instantanées, mais dépendent de la constante de temps $R_C\, C$ (car V_{BE} reste à 0,7 V pour le transistor saturé). On améliore ceci en connectant entre le condensateur et le collecteur du transistor, une diode (cathode vers le collecteur), puis une résistance R'_C entre $+E$ et l'anode de la diode.

— On accroît la rapidité de fonctionnement en connectant entre base et collecteur une diode Schottky ou une diode DAS (voir paragraphe 5.1.2.4.B).

— On fait varier le rapport cyclique en faisant varier la valeur de R_B ou C.

— **Technologie NMOSE.** Le principe de fonctionnement est le même que précédemment. La conduction d'un transistor bloque l'autre. L'évolution exponentielle nous permet d'écrire

$$t_1 = t_2 \simeq R_2\, C \ln \frac{E}{0{,}1E - V_T} \qquad (R_1 = 9\, R_2)$$

Exemples de valeurs

— **Figure 5.45.** Pour E = 20 V, β = 100, $I_{C_{sat}}$ = 10 mA (transistor 2N1711), nous avons
R_C = 2 kΩ, R_B = 40 kΩ, C = 0,35 µF pour $t_1 = t_2$ = 10 ms et f = 50 Hz.

— **Figure 5.46.** Pour E = 100 V, $I_{D_{max}}$ = 50 mA et V_T = 1 V (transistor DMOS, BS107A) nous avons :
R_D = 2 kΩ (> 5 W), R_1 = 100 kΩ, R_2 = 10 kΩ, C = 1,4 µF pour f = 50 Hz (il faut ajouter la protection de grille – voir exercices de fin de chapitre).

5.2.3.4. Trigger de Schmitt

C'est une bascule bistable avec une seule réaction collecteur-base et deux seuils de basculement. Les triggers de Schmitt sont utilisés dans les cas suivants :

— comparateurs de signaux,

— détecteurs de seuils,

— mise en forme de signaux.

On les rencontre couramment en technologie intégrée numérique et analogique (voir ouvrage *Amplificateurs opérationnels*).

La figure 5.48 représente un trigger à transistors bipolaires avec la condition $R_{C1} > R_{C2}$.

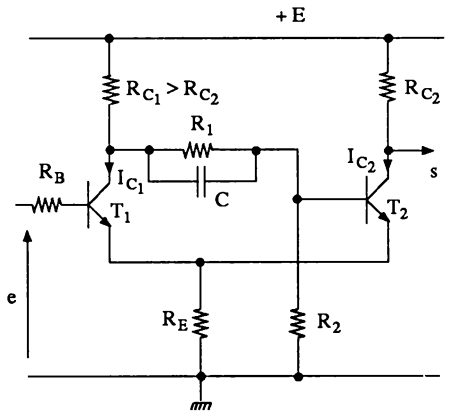


Figure 5.48

— Lorsque $e = 0$, le transistor T_1 est bloqué donc T_2 est saturé. La tension commune des émetteurs est

$$V_{RE} \simeq E \frac{R_E}{R_{C2} + R_E} = V_1$$

— La tension e évolue en positif, le transistor T_1 commence à conduire pour $e \simeq V_1 + 0{,}6$. Alors son collecteur « s'abaisse », bloquant T_2. Comme $R_{C1} > R_{C2}$, la tension V_{RE} diminue, ce qui assure la saturation « franche » de T_1. On obtient une nouvelle tension aux bornes de R_E

$$V_{RE} = E \frac{R_E}{R_{C1} + R_E} = V_2 < V_1$$

— Lorsque la tension e diminue, le transistor T_1 se bloque pour $e \simeq V_2 + 0{,}6$, assurant la saturation de T_2 et l'augmentation de $V_{RE} = V_1$. On retrouve les conditions initiales. Les deux valeurs de basculement sont $V_1 + 0{,}6$ et $V_2 + 0{,}6$ (figure 5.49).

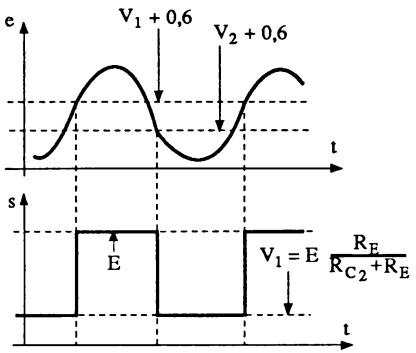


Figure 5.49

Exemple de valeurs. Transistors 2N1711, β = 100, E = 20 V, R_E = 1 kΩ, R_{C2} = 3 kΩ, R_{C1} = 5 kΩ, R_1 = 50 kΩ, R_2 = 100 kΩ, basculement pour $V_1 + 0{,}6 = 5{,}6$ V et $V_2 + 0{,}6 = 3{,}9$ V.

5.2.4. EXEMPLES D'UTILISATION DES OPTOCOUPLEURS*

5.2.4.1. Optocoupleur diode-transistor bipolaire

A. Détection de la présence secteur (figure 5.50). La tension secteur est appliquée à un redresseur à pont de Graetz alimentant la diode électroluminescente. La limitation en courant est assurée par les deux résistances de 15 kΩ (pour 220 V efficaces et $I_{F_{max}} \simeq 10$ mA). La résistance de charge du phototransistor doit être telle que celui-ci atteigne la saturation (d'où la nécessité de connaître le coefficient de transfert I_C / I_F). Notons que la DEL est protégée en inverse par l'ensemble des diodes du redresseur.

* Extrait des notes d'application de General Electric (Harris).

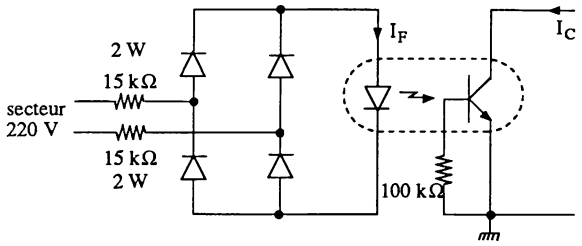


Figure 5.50

B. **Détection du sens du courant dans un circuit de puissance** (figure 5.51). Le courant I_1 ou I_2 crée une chute de tension aux bornes de R (valeur maximale $\simeq$ 1,5 V). La polarité de cette tension fait conduire l'une ou l'autre des diodes électroluminescentes.

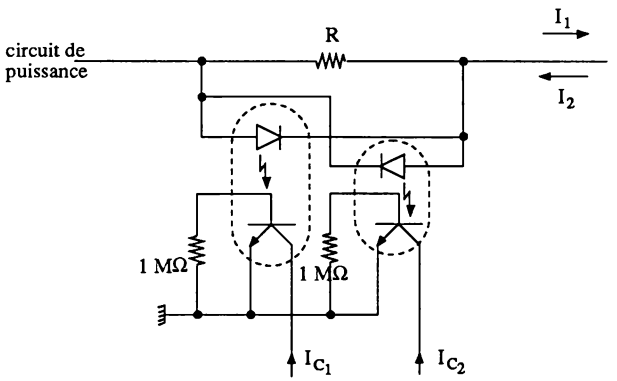


Figure 5.51

5.2.4.2. Optocoupleur diode-JFET

Le schéma de la figure 5.52 représente un commutateur de signaux analogiques. L'avantage de l'utilisation de l'optocoupleur JFET est sa bidirectionalité. La logique de commande permet d'obtenir $s = e$ lorsque $U_C = 1$ (O_1 conducteur et O_2 bloqué) puis $s = 0$ lorsque $U_C = 0$ (O_1 bloqué et O_2 conducteur).

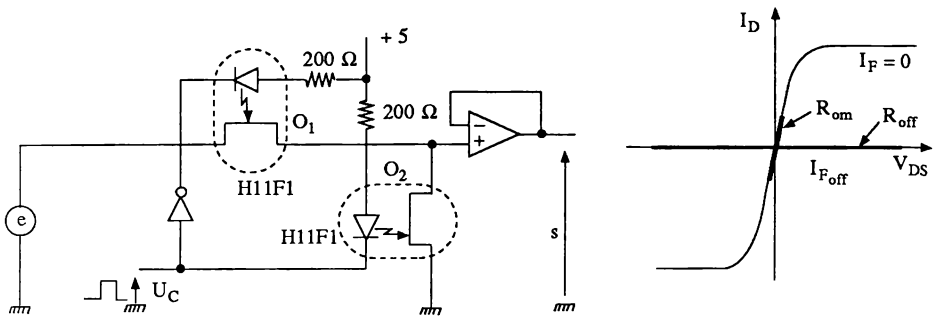


Figure 5.52

5.3. LES COMPOSANTS DE PUISSANCE EN COMMUTATION

Ces composants ont été présentés au chapitre 7 de l'ouvrage *Electronique industrielle*. Nous ferons donc un résumé des technologies rencontrées en indiquant les performances en commutation. Rappelons qu'en commutation rapide, il y a toujours des inductances volontaires L et parasites L_p.

5.3.1. COMPOSANTS « LINÉAIRES » EN COMMUTATION

5.3.1.1. Diodes

Les diodes de commutation sont des diodes rapides dont le temps de recouvrement t_{rr} doit être inférieur à 1 µs. On rencontre deux types de technologies (revoir la section 2.2).

A. Diodes au silicium. Exemples issus de la documentation Thomson (figure 7.10 – ouvrage *Electronique industrielle*).

— Pour I = 1 A, t_{rr} = 50 ns avec V_{RRM} = 50 V ou t_{rr} = 1 200 ns avec V_{RRM} = 1 500 V.

— Pour I = 60 A, t_{rr} = 100 ns avec V_{RRM} = 50 V ou t_{rr} = 500 ns avec V_{RRM} = 1 000 V.

B. **Diodes Schottky.** Elles sont utilisées pour le redressement basse tension, à cause de leur faible seuil et de l'absence de charges stockées. Elles présentent toutefois une forte capacité parasite. Le tableau 5.3 indique la gamme des valeurs des courants et tensions inverses proposée par RTC.

SCHOTTKY RECTIFIER DIODES

$I_{F(AV)max}$ (A)		Outline	V_{RRMmax} (V) 30	35	40	40A▲	45
10	BYV18*	TO-220AB	●	●	●	●	●
10	BYV19	TO-220AC	●	●	●	●	●
15	BYV20	DO-4	●	●	●	●	●
16	BYV39	TO-220AC	●	●	●	●	●
20	BYV33*	TO-220AB	●	●	●	●	●
20	BYV33F*	SOT-186	●	●	●	●	●
26	BYV43F*	SOT-186	●	●	●	●	●
30	BYV21	DO-4	●	●	●	●	●
30	BYV43*	TO-220AB	●	●	●	●	●
30	BYV73*	SOT-93	●	●	●	●	●
60	BYV22	DO-5	●	●	●	●	●
60	PHSD51	DO-5	●	●	●	●	●
80	BYV23	DO-5	●	●	●	●	●

*Monolithic dual rectifier diodes
▲With guaranteed reverse surge capability

Tableau 5.3

***Source* : Philips Composants**

Le conditionnement des diodes est unitaire, par groupe de 2, de 4 ou de 6, dans des boîtiers moulés (indépendant des ponts redresseurs classiques).

5.3.1.2. Transistors bipolaires

A. **Technologie.** On rencontre quatre technologies :

— technologie homobase, $V_{CE_{max}} = 100$ V,

— technologie à base épitaxiée (elle permet de réaliser des transistors complémentaires – voir ouvrage *Amplificateurs de puissance*), $V_{CE_{max}}$ de 150 V à 200 V et $f_T \leq 2$ MHz,

— technologie multi-émetteur (plusieurs centaines de transistors de faible puissance connectés en parallèle), $V_{CE_{max}} = 100$ V et $f_T \simeq 50$ MHz,

— **technologie triple diffusée à épitaxies multiples,** $f_T \simeq 10$ MHz.

C'est cette dernière famille technologique qui est utilisée pour réaliser des transistors de puissance, basse ou haute tension fonctionnant en commutation. On rencontre trois filières (source Thomson).

— **Technologie planar épitaxiée moyenne tension** (figure 5.53) :
- matériau de départ N^+ (substrat),
- collecteur épitaxié double couche (N et N^-),
- épitaxie de la zone P de base,
- épitaxie de la zone N^+ d'émetteur,
- passivation par oxyde.

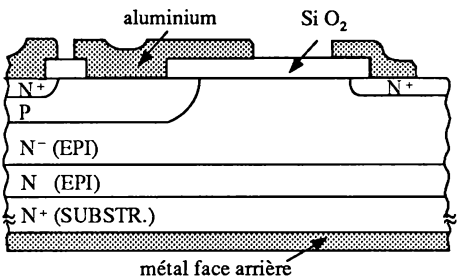


Figure 5.53

Cette technologie permet des tenues en tension de 600 V, de très faibles courants de fuite et une robustesse en commutation.

— **Technologie épitaxiée haute tension** (figure 5.54) :
- même fabrication que précédemment plus un sillon mésa annulaire permettant une très bonne tenue en tension,
- passivation avec du verre.

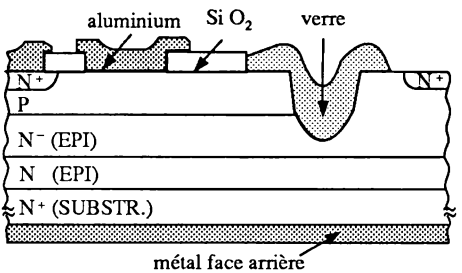


Figure 5.54

Cette technologie permet des tenues en tension de 1 000 V, une excellente fiabilité en haute tension et une rapidité de commutation élevée.

— **Technologie mésa triple diffusée** (figure 5.55). On part d'un matériau N^- dont le gradient de résistivité est contrôlé en fonction de la tenue en tension souhaitée. Puis on diffuse de part et d'autre les zones de collecteur, de base et d'émetteur. On peut ainsi obtenir des transistors supportant 1 500 V.

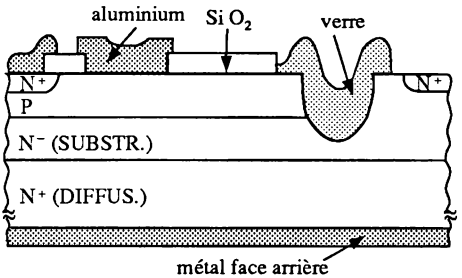


Figure 5.55

Les contraintes des montages à transistors de puissance fonctionnant en commutation sont :

— **les hautes tensions.** Il faut considérer les problèmes d'isolation entre le boîtier et le radiateur ou le chassis,

— **les forts courants** qui imposent de dissiper l'énergie $1/2\ L_p\ I^2$ emmagasinée dans les inductances parasites, sans oublier les surtensions induites $L_p \frac{\mathrm{d}\,i}{\mathrm{d}\,t}$,

— **la puissance dissipée** qu'il faut réduire en améliorant le rendement, et évacuer, en diminuant les résistances thermiques,

— **les commutations rapides** imposant de réduire les capacités et inductances parasites de câblage.

L'aire de sécurité normalement limitée par $I_{C\max}$, V_{CEsus} et $P_{\max}$ (hyperbole de limitation de puissance), se trouve, en plus, affectée par le phénomène de second claquage en I_S / B et E_S / B (courant et tension de second claquage). En effet, en cours de commutation, il peut se produire un emballement thermique et une focalisation des lignes de courant dans la zone de base détruisant les jonctions.

Le transistor bipolaire de puissance est souvent le meilleur choix dans les applications en commutation jusqu'à une puissance de plusieurs dizaines de kilowatts.

B. Transistors Darlington. On rencontre aussi ces composants en commutation forte puissance pour des intensités de plusieurs dizaines d'ampères et une tenue en tension voisine du kilovolt. Le Darlington est en technologie intégrée. Il présente l'avantage d'un faible courant de commande ($\beta \simeq 1\ 000$) et l'inconvénient d'une

moins bonne saturation. La figure 5.56 représente deux conditionnements de transistors Darlington *NPN* intégrés. Les éléments permettant l'évacuation des charges stockées peuvent être internes ($R_1 \simeq 100\ \Omega$, $R_2 \simeq 10\ \Omega$ et D' rapide) ou externes (la base de T_2 est « sortie »). La diode D est une diode de roue libre. Elle permet au courant d'utilisation (circuit inductif) de continuer à circuler lorsque T_2 se bloque.

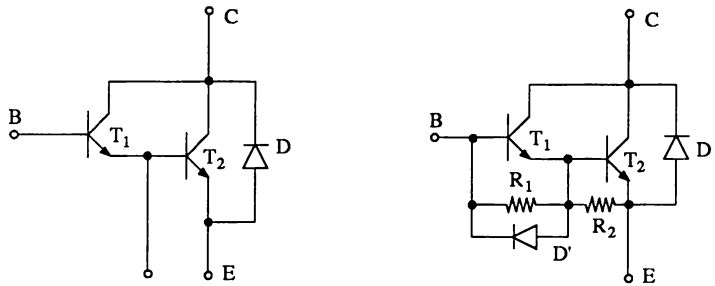


Figure 5.56

Indiquons quelques valeurs des temps de commutation :

— **Transistor bipolaire BUV48,** 450-850 V, 15 A,

$$V_{CE_{sat}} = 1{,}5\ \text{V},\ t_s = 5\ \mu\text{s},\ t_f = 0{,}4\ \mu\text{s},\ t_{on} = 1\ \mu\text{s}.$$

— **Transistor Darlington BUD48,** 400-850 V, 16 A,

$$V_{CE_{sat}} = 2{,}5\ \text{V},\ t_s = 3{,}6\ \mu\text{s},\ t_f = 0{,}4\ \mu\text{s}.$$

C. Remarques

— Les limites technologiques actuelles sont :
- pour les transistors bipolaires 15 A - 1 500 V ou 200 A - 200 V,
- pour les transistors Darlington 50 A - 1 000 V ou 800 A - 120 V.

— Plusieurs exemples de circuits inductifs fonctionnant en commutation sont présentés sous forme d'exercices au chapitre 8 de l'ouvrage *Electronique industrielle.*

— Il existe des optocoupleurs diode-transistor et diode-Darlington de moyenne puissance dont les tensions d'isolement atteignent 4 000 V, avec des tenues en tension V_{CE} de 300 V et des taux de transfert de 20 % (transistors bipolaires) à 1 000 % (transistors Darlington).

5.3.1.3. Transistors à effet de champ

A. Technologie. Il n'y a pas de transistors à effet de champ à jonction, de puissance. En effet, le fort dopage de la zone de grille ne permet pas une tenue en

tension canal-grille, donc drain-grille, supérieure à 100 V. Les transistors de puissance sont des MOS, et plus particulièrement des MOSE (enrichissement). Il existe trois technologies.

— **Les structures à canal horizontal et dopage uniforme.** C'est l'amélioration de la structure présentée sur la figure 4.42. Elles permettent des courants de l'ordre de la dizaine d'ampères pour des tenues en tension de 200 V et une résistance R_{DSon} voisine de l'ohm. On rencontre le TMOS (Motorola), le HEXFET (International Rectifier), le SIPMOS (Siemens). Ces structures sont très bien adaptées pour réaliser des amplificateurs linéaires (à très faible distorsion).

— **Les structures à canal horizontal DMOS** présentées sur la figure 4.43, dont la tenue en tension atteint 300 V.

— **Les structures à canal vertical VDMOS.** La figure 5.57 représente deux structures rencontrées, où la conduction du drain vers la source s'effectue verticalement (canal vertical). Le principe est celui des transistors DMOS avec une électrode de grille plane (dénomination DMOS) ou en forme de V (dénomination VMOS). Grâce à ces structures (en technologie interdigitée), on obtient des composants MOS dont les caractéristiques peuvent être quelques dizaines d'ampères, 1 000 V (grâce à la couche N^-) et R_{DSon} inférieur à 0,1 Ω. Leur prix de revient relativement important fait que le transistor bipolaire reste, dans la plupart des cas, compétitif.

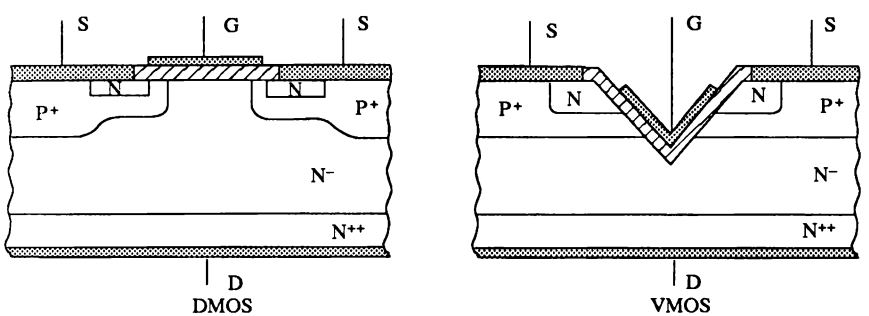


Figure 5.57

B. Contraintes de commande.

— **Influence des capacités parasites** C_{gs} et C_{gd}. Les MOS de puissance peuvent, dans certains cas, présenter des capacités parasites d'entrée, proches du nanofarad.

Ainsi, pour une tension V_{GS} = 10 V et une capacité parasite C = 1 nF, la charge stockée est $Q = 10^{-8}$ C. Bloquer le transistor revient à décharger ce

condensateur parasite. Si I_G = 1 mA, le temps de blocage est t_{off} = 10 µs, si I_G = 1 A, alors t_{off} = 10 ns. Ce résultat montre que les transistors MOS doivent être commandés avec une bonne source de courant.

La figure 5.58 montre que les temps de commutation au blocage sont différents, en fonction de la commande en courant ou en tension ($t_1 < t_2$). Les zones hachurées représentent la charge stockée dans les capacités parasites.

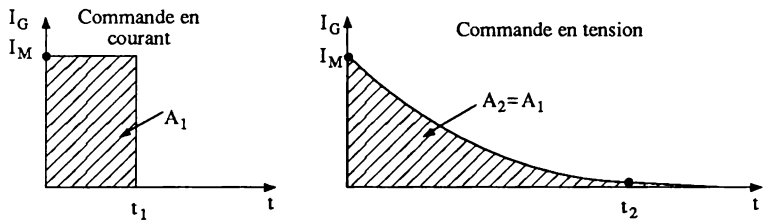


Figure 5.58

Un exemple de commande est fourni sur la figure 5.59. Pour une fréquence de fonctionnement ne dépassant pas la centaine de kilohertz, on utilise les six inverseurs du circuit 4049. Au delà de cette fréquence, RTC préconise le circuit DS0026 car il peut délivrer un courant de 1,5 A pouvant ainsi charger une capacité de 1 nF en moins de 25 ns. La résistance R limite le courant de charge, la diode D_1 permet une décharge rapide. La diode V_Z protège l'isolant de la grille du transistor contre les surtensions ; la diode D_2 est une diode de roue libre.

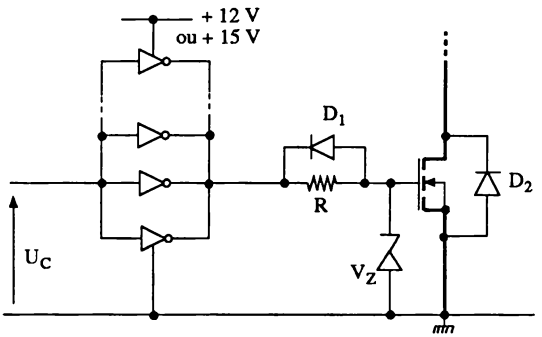


Figure 5.59

Remarques

- La diode Zener et la diode de roue libre peuvent être intégrées.
- **Dans certains cas, on utilise la diode de structure substrat-drain comme diode de roue libre.**

— **Influence d'un d V_{DS} / d t trop important.** Lorsque le potentiel du drain évolue rapidement en positif (blocage du transistor), la capacité parasite C_{gd} se charge à travers la résistance du circuit de commande R_G (figure 5.60). La chute de tension associée peut commander le transistor à la conduction, donc freiner la commutation. Un remède est d'utiliser la diode D_1 positionnée sur la figure précédente (figure 5.59).

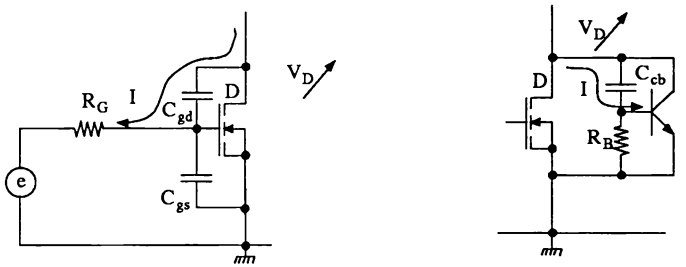


Figure 5.60

Dans certains cas de fonctionnement en très hautes fréquences, il peut y avoir conduction du transistor bipolaire parasite $N\ P^+\ N^-$. Le remède est de choisir un MOS mieux adapté.

C. Transistors à effet de champ spéciaux.

— **Transistor IGT** *(Insulated Gate Transistor)*, rencontré aussi sous la dénomination COMFET *(Conductibility Modulated FET)*, GEMFET, BIPMOS. Son principe de fonctionnement est indiqué sur la figure 5.61. La structure *NPN-PNP* en cascade (c'est aussi le principe du thyristor – voir plus loin) ne permet pas un maintien de la conduction, à cause de la très faible valeur de la résistance R. Une tension positive appliquée sur la grille G par rapport à l'émetteur E attire les électrons du canal permettant la conduction entre les zones N^+ et N^-. Le transistor *PNP* conduit, entraînant la conduction du transistor *NPN*.

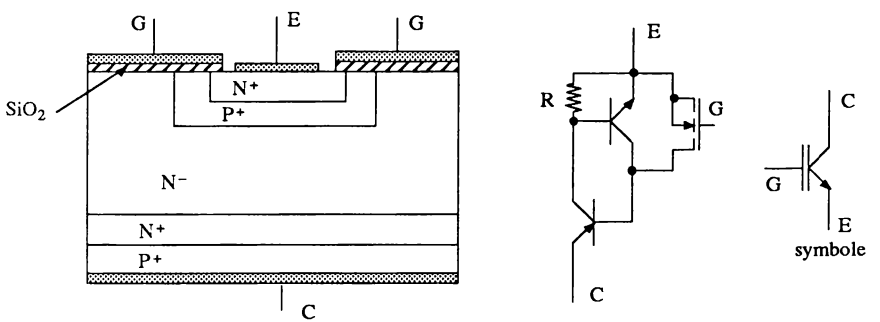


Figure 5.61

On rencontre de nombreux modèles industrialisés (General Electric, etc.) dont les caractéristiques atteignent la vingtaine d'ampères, pour des tensions de 500 V. La tension de saturation est voisine de 2,5 V et le temps de blocage t_{off}, compris entre 0,5 et 4 µs. Il existe aussi des IGT canal *P*. Ils sont moins rapides que les précédents.

— **Transistor HEXSence** (International Rectifier). Ce transistor à effet de champ à grille isolée présente, au niveau de la source, une sonde de Kelvin fournissant un courant $I_{CS} = K\, I_D$ ($K << 1$) à la sortie de la connexion *CS (current sense)*. La figure 5.62 représente un circuit de mesure du courant utilisant un convertisseur courant-tension à amplificateur opérationnel

$$u = -R\, I_{CS} = -R\, K\, I_D$$

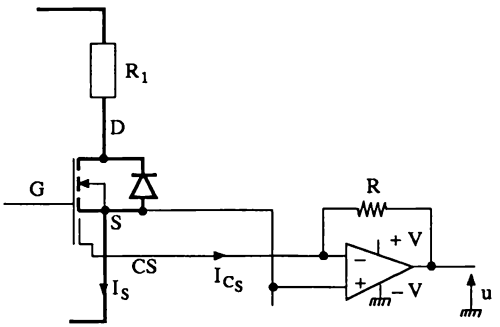


Figure 5.62

Les caractéristiques extrêmes, pour ce composant, sont I_D = 10 A, V_{DS} = 500 V et $t_{on} = t_{off}$ inférieurs à 0,1 µs.

5.3.2. COMPOSANTS A AVALANCHE*

Ce sont des composants qui, une fois amorcés, restent conducteurs tant que le courant est supérieur au courant de maintien.

5.3.2.1. Thyristors

Le thyristor, encore appelé SCR *(Silicon Controlled Rectifier)* est équivalent à une diode de redressement commandée. Il peut être « de phase » c'est-à-dire destiné à des applications à fréquences industrielles, en commutation naturelle ou « rapide », c'est-à-dire conçu pour la commutation forcée dans les hacheurs et les onduleurs.

---

* Inspiré du cours de C. Masselot et D. Angélis, IUT Cachan.

A. **Principe de fonctionnement.** La figure 5.63 représente le thyristor classique constitué d'un empilement de 4 zones *PNPN*. Cet empilement peut correspondre à deux transistors *PNP-NPN* imbriqués. A partir du schéma équivalent à transistors, on voit que, sans courant de gâchette I_G, le composant ne conduit pas ; avec un courant de gâchette, le transistor T_2 conduit, imposant la conduction de T_1. A la disparition du courant de commande I_G, les deux transistors restent conducteurs. Ils se bloquent losque I_A disparaît. En fait, la présence de I_G impose aux électrons libres de la zone N^+ de se déplacer vers la zone P où ils sont attirés vers la zone N^- par la présence du champ électrique dû à la tension positive de l'anode. La circulation du courant anode-cathode maintient la continuité électrique entre les deux zones N et N^+. La tenue en tension du thyristor dépend du dopage de la zone N^-.

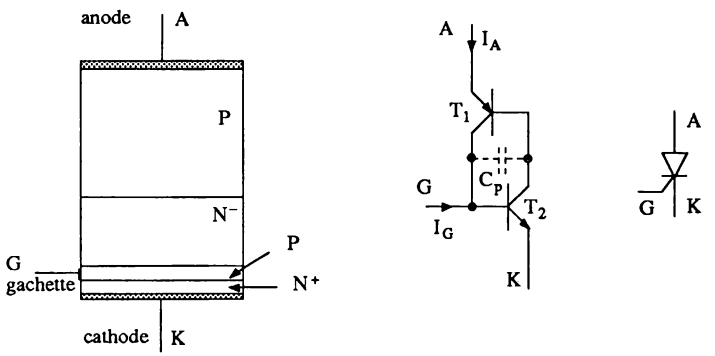


Figure 5.63

B. **Caractéristiques** (figure 5.64)

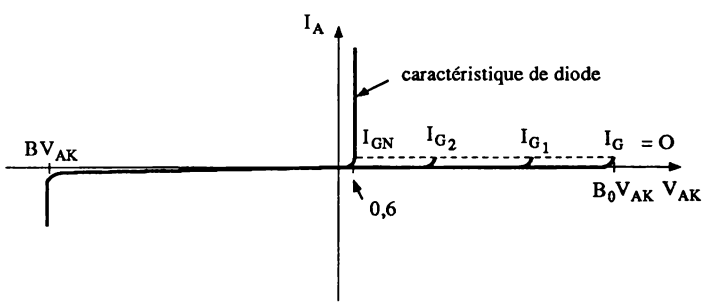


Figure 5.64

— **Caractéristiques directes.** Lorsque le courant de commande I_G est nul (court-circuit entre G et K), le thyristor ne conduit que lorsqu'on atteint la tension d'avalanche directe B_0 V_{AK} (avalanche de la jonction NP) pouvant atteindre plus de 1 000 V). Une fois le processus amorcé, le composant

présente une chute de tension identique à celle d'une diode. Si le courant de gâchette est I_{G1}, la tension d'avalanche directe est plus faible que la précédente. On augmente I_G jusqu'à I_{GN}, alors le thyristor s'amorce de suite et devient équivalent à une diode.

— **Caractéristique inverse.** Il existe une tension d'avalanche $B\ V_{AK}$ dont la valeur est voisine (en valeur absolue) à $B_0\ V_{AK}$ en direct. Le choix de ces valeurs dépend des tensions d'utilisation.

C. Temps de commutation. Comme pour la diode, nous avons le temps de conduction $t_{on} = t_d + t_r$ et le temps de désamorçage $t_{off} = t_q + t_f \simeq t_q$. Ces temps sont définis ainsi :

t_d : temps de déclenchement dû à l'injection des porteurs au niveau de la jonction de commande,

t_r : temps de croissance de l'amorçage correspondant à la conduction complète de la jonction (sur toute la surface),

t_q : temps de recouvrement correspondant à l'écoulement des charges stockées (appelé aussi turn off).

En pratique, $t_q >> t_{on}$. Donnons quelques valeurs :

— $t_q > 100$ µs pour un thyristor de phase,

— t_q compris entre 5 et 50 µs pour un thyristor rapide.

D. Conditions de bon fonctionnement

— **Amorçage.** Il faut

$$V_{AK} > 0, \quad I_G > I_{G_{min}} \quad \text{et} \quad V_{GK} > V_{GK_{min}}$$

— **Maintien.** Le courant d'anode doit rester supérieur à un courant minimum dont la valeur est fournie par les constructeurs.

— **Blocage.** Il faut que le courant d'anode s'annule et que la tension V_{AK} soit négative pendant le temps t_q.

Remarques

— Le courant d'amorçage I_G doit injecter rapidement des porteurs au niveau de la jonction de commande puis se maintenir pendant un temps suffisamment long afin que le courant d'anode atteigne sa valeur d'accrochage (attention aux circuits inductifs où le courant n'évolue pas instantanément). La forme idéale du courant de commande correspond au courant de décharge d'un condensateur (exponentielle décroissante pour un circuit supposé linéaire).

— En régime alternatif, le thyristor se bloque seul ; en régime continu, il faut des circuits d'aide au blocage (voir paragraphe 7.5.8 de l'ouvrage *Electronique industrielle*).

E. **Limitations et protections.** Les thyristors sont limités :

— **contre les surtensions** par des varistances appelées GeMOV ou SIOV présentées au paragraphe 2.6.2.,

— **contre les d V_{AK} / d t**, par des condensateurs ou un réseau *RC*. En effet sans ces éléments, lorsque la tension V_{AK} varie rapidement, la capacité parasite C_p (figure 4.63) se charge à travers les jonctions de commande des transistors équivalents, alors l'ensemble s'amorce,

— **contre les d I / d t** par une inductance connectée en série avec le thyristor.

F. **Technologie.** On rencontre différentes structures de thyristors (figure 5.65).

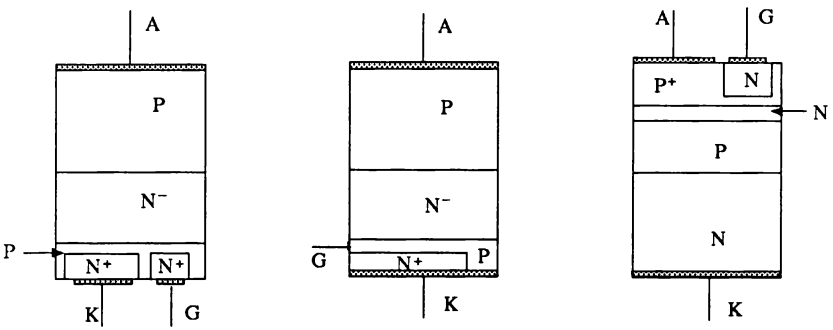


Figure 5.65

— **Thyristor à gâchette à jonction** (figure de gauche). Nous nous trouvons en présence de deux thyristors dont l'un amorce l'autre. Ce processus permet un faible courant de commande.

— **Thyristor à court-circuit d'émetteur** (figure centrale). La résistance de la zone *P* se trouvant entre grille et cathode ne permet pas un amorçage en d V_{AK} / d t. Par contre, il faut un courant de gâchette important. **C'est la technologie la plus employée.**

— **Thyristor à commande par rapport à l'anode** (figure de droite). Une impulsion négative sur la gâchette par rapport à l'anode permet l'amorçage de ce composant.

Les limites technologiques actuelles sont I_A = 3 000 A et V_{AK} = 3 000 V pour des thyristors « de phase » (diamètre du silicium : 75 mm) avec un d V_{AK} / d t de 100 V/µs.

Les thyristors rapides (diminution de la durée de vie des porteurs par diffusion d'or) présentent des chutes de tension et des courants inverses importants. La limite est actuellement 1 500 A/1 200 V ou 1 000 A/2 500 V.

On réalise des thyristors asymétriques (tenue en tension inverse de quelques volts seulement, ce qui n'est pas gênant dans les hacheurs et onduleurs) dont le temps de désamorçage est trois fois plus faible que celui des thyristors rapides symétriques. Les performances actuelles sont 500 A/2 000 V.

G. Thyristors spéciaux. Nous trouvons :

— **le GTO (Gate Turn Off).** C'est un semiconducteur bistable, trijonction, destiné au contrôle de courant unidirectionnel. La double commande s'effectue sur une gâchette avec un courant I_G positif pour l'amorçage et une tension V_{GK} négative pour le blocage.

Les performances actuelles sont 3 000 A/4 500 V. Ils sont un peu plus lents que les thyristors. La figure 5.66 représente un exemple de circuit de commande. L'amorçage s'effectue lorsque T_1 conduit. La résistance R permet une commande en courant ; le condensateur se charge à la valeur V_Z. Le blocage a lieu lorsque T_2 conduit. La présence du condensateur chargé permet d'imposer une tension négative sur la gâchette ;

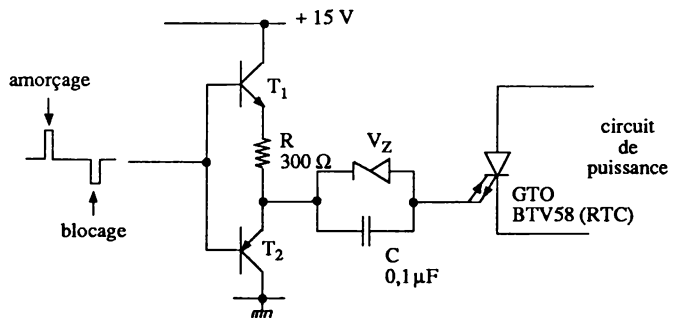


Figure 5.66

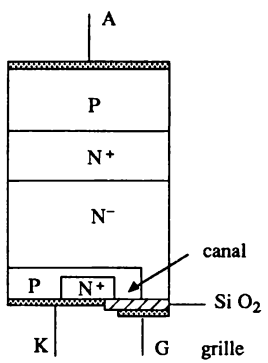


Figure 5.67

— **les thyristors MOS** (FCT, **Field Controlled Thyristors**). L'amorçage de ces thyristors est obtenu à partir de la conduction du canal d'un transistor MOSE équivalent. La figure 5.67 représente la structure du thyristor MOS IGT. Il existe aussi des thyristors MOS blocables présentant deux grilles : l'une pour amorcer le thyristor, l'autre pour l'éteindre.

H. Exemple d'utilisation des thyristors. Les exemples d'application des thyristors sont très nombreux.*

Ces composants utilisés dans le redressement commandé et dans les hacheurs et onduleurs, sont aussi rencontrés dans les circuits à fonctionnement statique (équivalents à des relais). La figure 5.68 en représente un exemple. Le thyristor principal T_1 s'amorce à travers le circuit R_5, R_3 et le bouton poussoir marche (sauf si T_2 est amorcé). Le thyristor T_2 s'amorce pour deux causes :

— soit en appuyant sur le bouton poussoir arrêt,

— soit en cas de surcharge du circuit principal (tension aux bornes de R_1 trop importante).

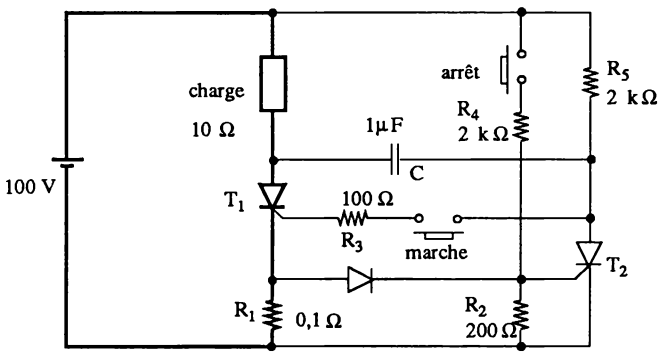


Figure 5.68

Dans les deux cas, l'amorçage de T_2 transmet une impulsion négative sur l'anode de T_1 bloquant celui-ci (grâce au condensateur C).

I. Test à l'ohmmètre des thyristors de faible puissance. La mesure est extrêmement simple. Elle consiste tout d'abord à connaître la polarité de l'ohmmètre (on prend une diode). Ensuite, on connecte la borne + de l'appareil sur l'anode et la borne – sur la cathode. Normalement, à « l'échelle des ohms » la résistance est infinie. On relie la gâchette à l'anode ; le thyristor s'amorce. Lorsque la gâchette est déconnectée de l'anode, le thyristor reste amorcé.

---

* Consulter le SCR Manual de General Electric.

5.3.2.2. Triac

Contrairement au thyristor dont la conduction est unidirectionnelle, le triac conduit dans les deux sens lorsqu'il est commandé par une impulsion en courant, positive ou négative. Équivalent à deux thyristors tête-bêche parallèles, ce composant est utilisé dans les gradateurs. La figure 5.69 représente sa structure comportant cinq couches. La commande s'effectue sur la gâchette par rapport à l'anode A_1. Les caractéristiques courant-tension sont celles de la figure 5.70. Lorsque $I_G = 0$, le triac ne conduit qu'à partir de la tension d'avalanche directe ou indirecte dont la valeur est de plusieurs centaines de volts. Il est donc bloqué en fonctionnement normal sans commande. Lorsque le courant I_G est égal au courant nominal d'amorçage I_{GN}, le triac est conducteur dans les deux sens et équivaut à deux diodes tête-bêche parallèle.

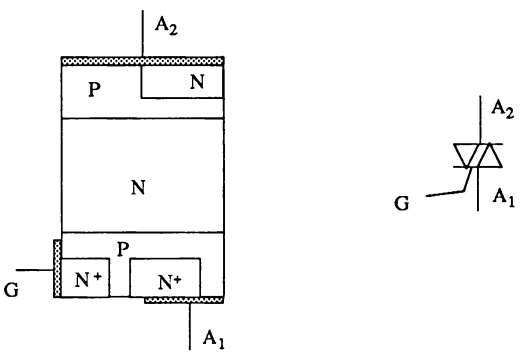


Figure 5.69

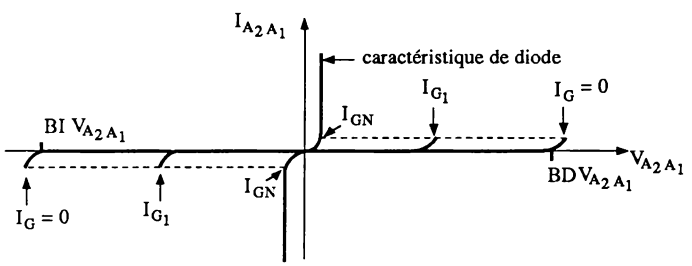


Figure 5.70

Le fonctionnement bidirectionnel du triac s'effectue suivant quatre modes de déclenchement correspondant à

$$\left.\begin{array}{ll} V_{A_2A_1} & >0 \\ & <0 \\ I_G & >0 \\ & <0 \end{array}\right\} \quad \text{quadrants I, II, III, IV}$$

Chaque mode impose un courant I_{GN} plus ou moins différent. Le cas le plus défavorable est $V_{A2A1} < 0$ et $I_G > 0$ (quadrant II). Prenons l'exemple du triac BTB10 (Thomson), BV_{A2A1} compris entre ± 200 V et ± 700 V suivant le type, I_{A2A1} = 10 A, I_G = 100 mA dans les quadrants I, III, IV et I_G = 200 mA dans le quadrant II. Le turn off est de 2 µs.

L'utilisation du triac réclame les mêmes limitations que pour le thyristor (le d V / d t du triac précité est 10 V/µs).

Comme pour les thyristors, les circuits de déclenchement des triacs sont :

— les circuits intégrés spécifiques (TDA 1024, etc.),

— les circuits à éléments discrets (transistors et transformateurs d'impulsions ; celles-ci devant être synchronisées par rapport à la tension secteur),

— les circuits utilisant le diac (voir section 5.4).

Le fonctionnement en régime alternatif du triac n'impose aucun circuit de blocage. L'extinction est naturelle.

La figure 5.71 représente deux ensembles transformateur-redressement alimentant une charge R_{ch} avec une tension moyenne S_{moy} variable (moteur à courant continu, alimentation régulée, etc.). Dans le schéma de gauche, on fait varier la valeur efficace de la tension primaire du transformateur en utilisant un triac. Dans le schéma de droite, on utilise un redressement commandé à point milieu utilisant deux thyristors. Les deux cas sont rencontrés en pratique.

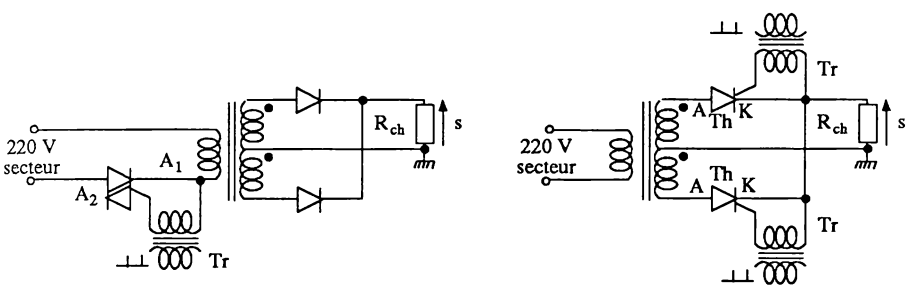


Figure 5.71

5.3.2.3. Optocoupleurs à thyristors et triacs

Les optocoupleurs ou composants à déclenchement optique sont utilisés en puissance. Ils permettent une très bonne isolation entre la commande et l'utilisation.

A. Optothyristor. L'énergie lumineuse de déclenchement étant limitée, la structure du thyristor doit donc être de 10 à 100 fois plus sensible que pour un thyristor

commandé par la gâchette. Ceci est au détriment de la tenue en d V / d t et en d I / d t. L'utilisation d'une gâchette interne amplificatrice permet toutefois d'obtenir des optothyristors de 1 500 A/4 kV, ayant un d V / d t de 100 V/µs et un d I / d t de 200 A/µs.

Le schéma de la figure 5.72a donne un exemple d'application d'un interrupteur optocoupleur à thyristor. Le circuit de blocage n'est pas représenté. On peut très bien utiliser un optothyristor pour commander un thyristor de puissance plus importante.

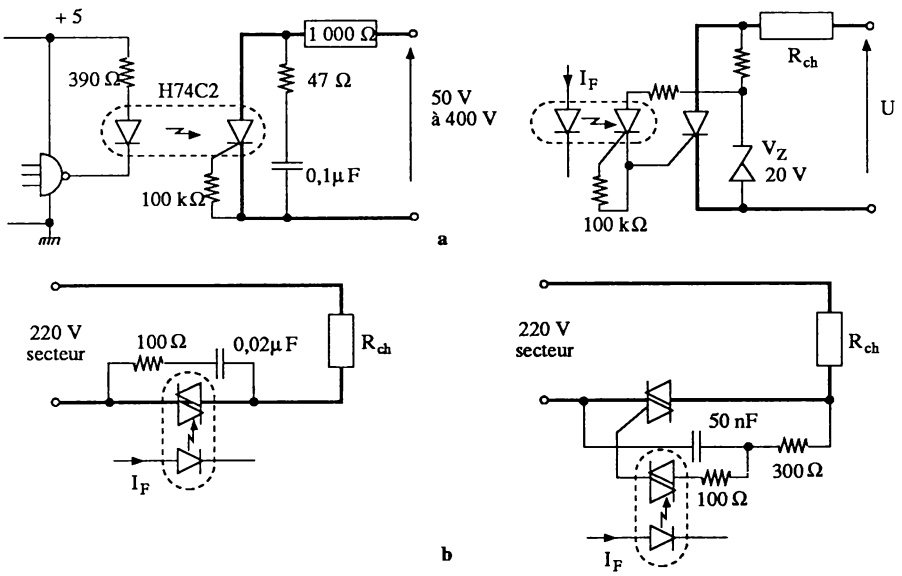


Figure 5.72

B. Optotriac. Ce composant est très utilisé dans les applications où la source d'énergie est le secteur, pour un courant avoisinant la dizaine d'ampère. La figure 5.72b représente un circuit d'alimentation utilisant un optotriac H11J1 (GE). La résistance et le condensateur servent à limiter le d V / d t. Un courant $I_F = 10$ mA est nécessaire pour déclencher le triac. Dans le cas d'un fonctionnement à forte puissance on utilise un optotriac pour piloter un triac de puissance.

5.4. COMPOSANTS A AVALANCHE DE FAIBLE PUISSANCE

Ces composants sont nombreux et ont chacun leurs applications particulières. Citons :

— les thyristors, optothyristors, triacs, optotriacs ayant une tenue en tension de quelques dizaines de volts à quelques centaines de volts pour une intensité

avoisinant l'ampère,
— le thyristor tétrode ou à double commande,
— le transistor unijonction ou UJT,
— le transistor unijonction programmable ou PUT,

puis les dipôles actifs :

— le SUS *(Silicon Unilateral Switch)*
— le SBS *(Silicon Bilateral Switch)*
— la diode Schockley
— le diac.

5.4.1. THYRISTOR TÉTRODE

La figure 5.73 représente la structure, le schéma équivalent et le symbole du thyristor tétrode. Ce composant est utilisé pour commander des relais, des thyristors de puissance, pour bloquer des transistors dans des régulations, etc.

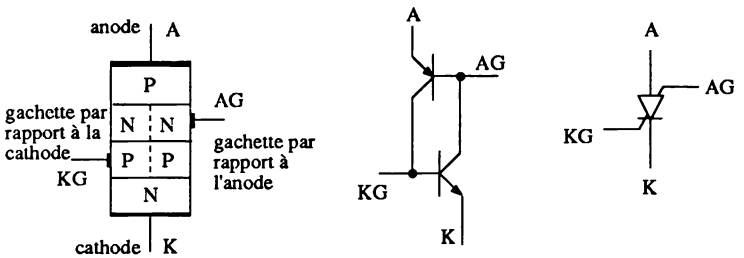


Figure 5.73

RTC commercialise le thyristor tétrode BRY39 dont la tenue en tension est 70 V, le courant moyen 0,25 A et les temps de commutation $t_{on} < 300$ ns, $t_{off} < 3$ µs.

5.4.2. TRANSISTOR UNIJONCTION

Le transistor unijonction ou UJT est constitué d'un barreau de silicium dopé N^- et d'une zone diffusée P appelée l'émetteur (figure 5.74). Le schéma électrique correspond à un diviseur de tension $R_{B_1} - R_{B_2}$ ($R_{B_1} + R_{B_2} \simeq 10$ kΩ à cause du faible dopage N^- et du canal réduit), associé à une diode.

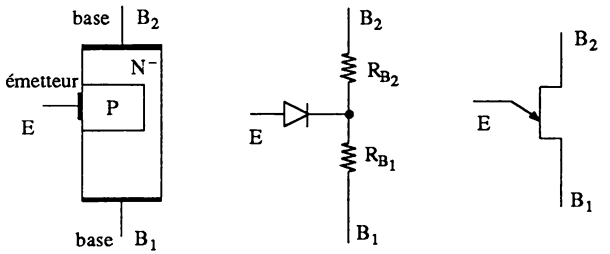


Figure 5.74

La caractéristique tension V_{EB_1} en fonction du courant I_E est représentée sur la figure 5.75. L'UJT étant alimenté par la source continue E, tant que V_{EB_1} n'a pas atteint la valeur

$$V_{pic} = \frac{R_{B_1}}{R_{B_1} + R_{B_2}} E + 0{,}6 = \eta E + 0{,}6 \simeq \eta E$$

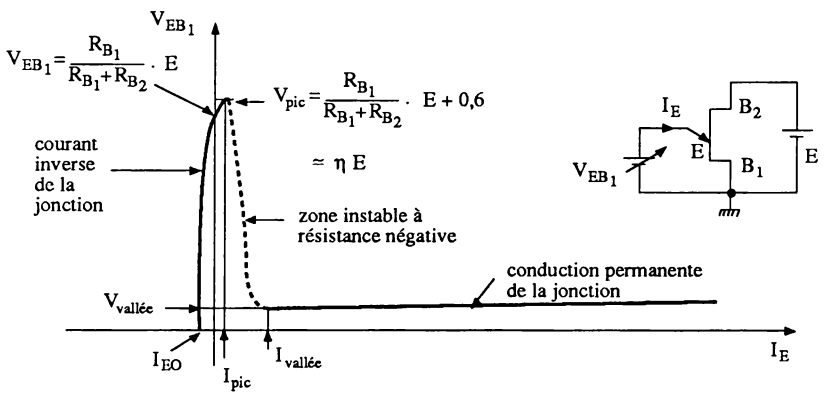


Figure 5.75

le seul courant qui traverse la jonction est le courant de fuite inverse puis direct. Il évolue de la valeur I_{EO} à la valeur I_{pic}. A partir de la tension V_{pic}, la jonction EB_1 conduit fortement et la résistance équivalente R_{EB_1} devient très faible. Alors V_{EB_1} diminue malgré l'augmentation de I_E. Entre le pic et la vallée, la caractéristique présente une pente négative associée à une résistance négative. Au delà de $I_{vallée}$, la pente redevient positive. Le fonctionnement est stable dans les parties en traits pleins, il est instable dans la partie en trait pointillé. Notons que η représente le rapport intrinsèque du diviseur de tension interne et que la tension V_{pic} dépend de η et de E (en pratique $0{,}5 \leq \eta \leq 0{,}85$).

Le transistor unijonction est utilisé pour réaliser des oscillateurs à relaxation. La figure 5.76 représente un tel oscillateur. Les résistances R_1 et R_2 sont de faible

valeur (quelques dizaines d'ohms). A la mise sous tension, le condensateur se charge à travers R. Lorsque la tension $v_C = v_E$ a atteint v_{pic}, l'UJT conduit et le condensateur se décharge à travers le circuit R_{EB_1} et R_1 avec une constante de temps très faible. Lorsque le courant de décharge a atteint $I_{vallée}$, l'UJT se bloque et le cycle recommence. La figure 5.77 représente les graphes de $v_C = v_E$ et v_{R_1}. On obtient de très belles impulsions énergétiques permettant de commander des thyristors ou des triacs (les figures 7.61 et 7.62 de l'ouvrage *Electronique industrielle* représentent une commande de thyristor par impulsions synchronisées, issues d'un relaxateur à UJT).

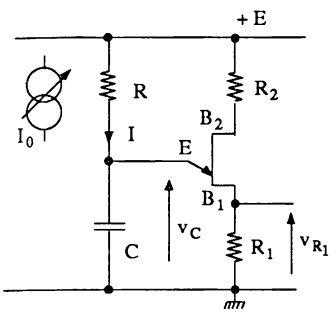


Figure 5.76

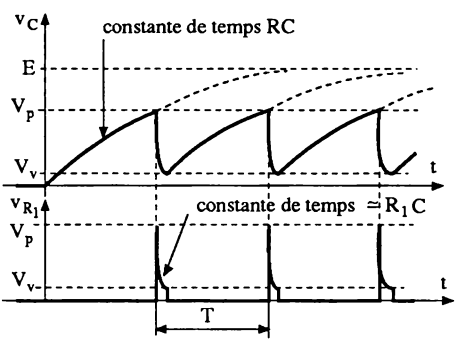


Figure 5.77

Remarques

— Pour que l'oscillateur fonctionne correctement, il faut que le courant I dans la résistance R soit plus grand que I_p (sinon l'UJT reste bloqué) et plus petit que I_v (sinon l'UJT reste conducteur). Cela traduit

$$\frac{E}{I_v} < R < \frac{E\,(1-\eta)}{I_p}$$

— A partir des conditions initiale et finale de la variation exponentielle, on déduit la fréquence de relaxation $f = \frac{1}{T}$ avec

$$T \simeq RC \ln \frac{1}{1-\eta}$$

— Faire varier la fréquence, revient à faire varier la valeur de R (résistance fixe en série avec une résistance variable).

— On peut remplacer la résistance R par un générateur à courant constant ou à courant commandé. La tension v_C est alors triangulaire.

— La sortie sur la base B_2 fournit des impulsions négatives.

Exemple de caractéristiques : UJT 2N4870 $I_{E_{max}} = 1{,}5$ A, $V_{B2B1_{max}} = 35$ V, $0{,}56 \leq \eta \leq 0{,}75$, $4\ k\Omega \leq R_{B2B1} \leq 9\ k\Omega$, $I_p = 5\ \mu A$, $I_v = 5$ mA.

5.4.3. TRANSISTOR UNIJONCTION PROGRAMMABLE

Le transistor unijonction programmable ou PUT est un thyristor de faible puissance, à commande de gâchette par rapport à l'anode (figure 5.78). Il s'amorce lorsque le potentiel de la gâchette est négatif ($\simeq -0{,}6$ V) par rapport au potentiel de l'anode. Comme l'UJT, il est utilisé dans des applications de commutation telles que : oscillateurs, contrôle de moteurs, remplacement de relais, timers, conformateurs d'impulsions, etc. Le schéma de la figure 5.79 représente un relaxateur à PUT. Le composant s'amorce lorsque la tension v_C a atteint la valeur $E\dfrac{R_2}{R_1+R_2} + 0{,}6$. La forme des graphes de $v_C(t)$ et $u(t)$ est identique à celle de la figure 5.77 (R_K est de l'ordre de la dizaine d'ohms, R_1 et R_2 de 10 kΩ à 1 MΩ et R déterminée à partir des valeurs de I_p et I_v). Les avantages du PUT comparé à l'UJT sont :

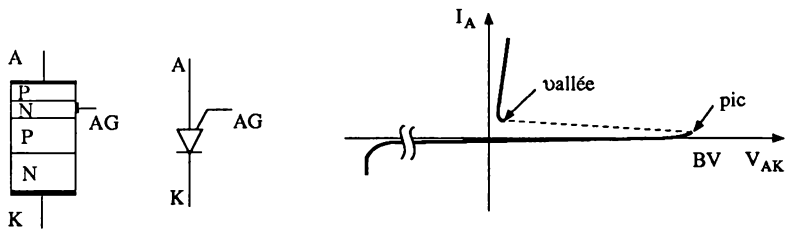


Figure 5.78

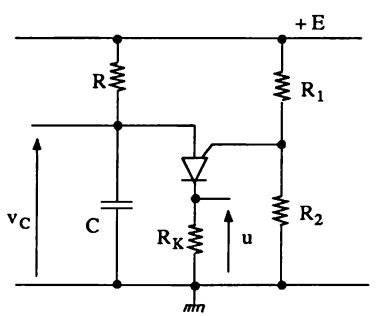


Figure 5.79

— un rapport intrinsèque programmable

$$\eta = \frac{R_2}{R_1 + R_2}$$

— en saturation, la résistance dynamique plus faible permet des courants plus élevés,

— un courant de fuite très faible à l'état bloqué ($R_{AK} >> R_{B2B1}$),

— un temps de montée inférieur à 100 ns.

On comprend pourquoi l'UJT tend à disparaître au profit du PUT.

Exemples de caractéristiques. Transistor unijonction programmable BRY39 (RTC), V_{GA} = 70 V, I_A = 250 mA, I_p < 5 µA, I_v > 25 µA, I_{GAO} < 10 mA, I_{GKS} < 100 nA, t_r < 80 ns.

5.4.4. DIPÔLES ACTIFS À AVALANCHE

A. Silicon Unilateral Switch SUS (figure 5.80). C'est un thyristor à commande de gâchette par rapport à l'anode dont la gâchette est reliée à la cathode par une diode Zener à faible valeur V_Z. Il permet de réaliser des oscillateurs sans obligation d'utiliser la gâchette (par exemple, commande de thyristors).

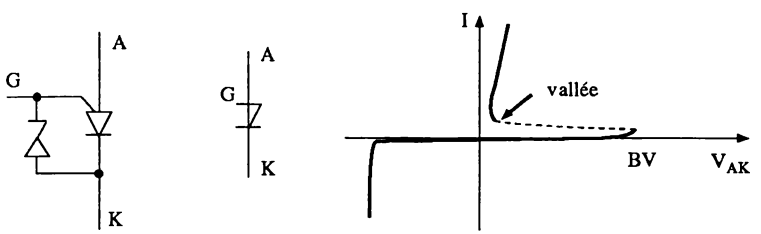


Figure 5.80

B. Silicon Bilateral Switch SBS (figure 5.81). Ce composant est identique à deux SUS connectés en tête-bêche parallèle. Il permet de commander des triacs (I_G positif et négatif).

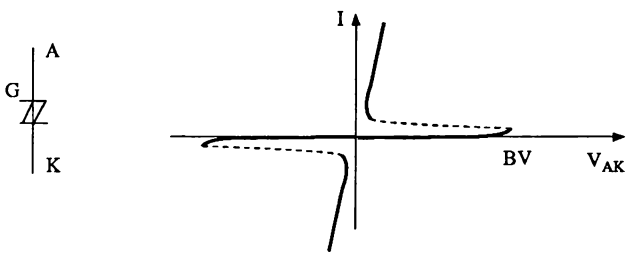


Figure 5.81

Remarque. Nous avons présenté au paragraphe 2.6.2, les varistances et plus particulièrement les diodes à avalanche BOD (breakover diodes). Ces diodes utilisées comme éléments de protection dans certaines installations, présentent les caractéristiques du SUS (reverse blocking BOD) ou du SBS (symetric BOD), avec des tensions d'avalanche comprises entre 100 V et 280 V pour des courants de surcharge de 250 A.

C. Diode Schockley. Comme pour le SUS et le SBS, la diode Schockley est un composant à quatre couches qui bascule d'un état haute impédance à un **état stable** de très faible impédance. Il revient à son état haute impédance lorsque $I < I_{maintien}$ (ou $I_{vallée}$). Sa caractéristique courant-tension ressemble à celle du SBS (figure 5.81) mais est beaucoup moins stable en température (dérive moyenne du SBS et du SUS, 0,02 % par °C au voisinage de 8 V).

D. Diac ou bilateral trigger diode (figure 5.82). C'est un transistor symétrique *NPN* à avalanche contrôlée. Il est utilisé comme élément à résistance négative. Par rapport au SBS, le diac est toujours instable lorsqu'il conduit. Il est utilisé comme élément de déclenchement des triacs. Thomson commercialise les diacs DB3, DB4, DB6 dont les tensions de déclenchement sont respectivement 32 V, 40 V et 60 V, une dissymétrie de ± 3 V, un coefficient de température égal à 0,1 %/°C, un courant à la limite de déclenchement de 200 µA et un courant de crête en conduction de ± 2 A.

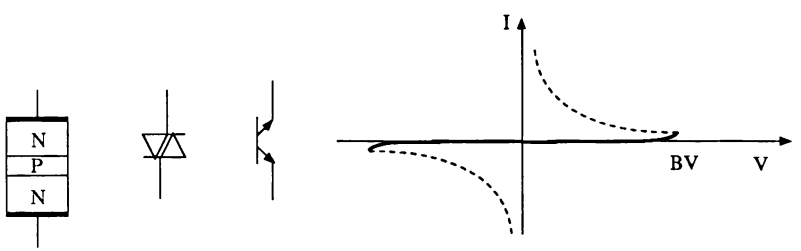


Figure 5.82

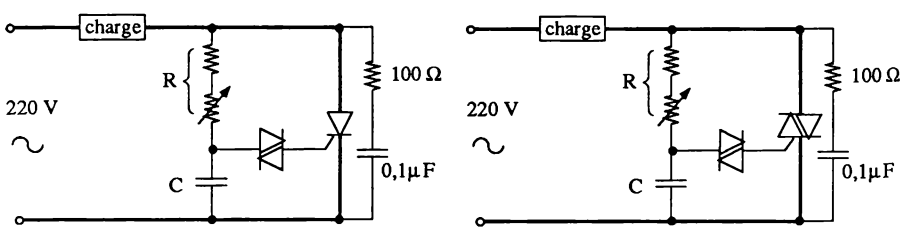


Figure 5.83

Exemples d'utilisation. La figure 5.83 représente une charge (moteur universel, lampe, etc.) alimentée par le secteur, à travers un thyristor ou un triac. Le circuit de déclenchement est un condensateur qui se charge à travers R et se décharge dans le circuit de gâchette à travers un diac (ou un SBS).

5.5. PROBLÈMES THERMIQUES EN RÉGIME IMPULSIONNEL

5.5.1. PROBLÈMES THERMIQUES EN GÉNÉRAL

La loi d'Ohm thermique appliquée aux composants, en régime permanent, s'écrit

$$\theta_j - \theta_a = P\,(R_{thjb} + R_{thbr} + R_{thra})$$

Cette relation largement présentée aux paragraphes 2.1.4.2 et 3.2.2.6 permet de déterminer la dimension des radiateurs (dissipateurs) afin de travailler avec une température de jonction θ_j raisonnable.

Remarque. Sans radiateur, un composant de puissance ne dissipe que très peu d'énergie. A titre d'exemple, le transistor 2N3055 (P = 117 W), conditionné dans un boîtier T03, présente une résistance thermique boîtier-ambiante R_{thba} = 30°C/W (30 K/W). Pour une température ambiante de 30°C et une température de jonction maximale imposée, égale à 100°C, la puissance dissipable est obtenue à partir de la relation

$$100 - 30 = P\,(R_{thjb} + R_{thba})$$

avec

$$R_{thjb} = \frac{200 - 25}{117} = 1{,}5 \text{ K/W}$$

Ainsi

$$P = \frac{70}{31{,}5} = \mathbf{2{,}2\ W}$$

5.5.1.1. Fatigue thermique des transistors de puissance

En général, un composant de puissance est constitué d'une pastille de silicium soudée sur un boîtier métallique en cuivre ou en acier, qui lui sert de support et d'échangeur thermique. La différence des coefficients de dilatation linéaire de ces matériaux, provoque des contraintes mécaniques au niveau de la soudure, à chaque cycle thermique.

En pratique, on rencontre deux types de soudures :

— **la soudure tendre,** à base d'un alliage plomb-étain, utilisée pour des pastilles de silicium de diamètre inférieur à 5 mm ;

— **la soudure dure** ou brasure, à base d'alliage or-silicium, avec un matériau intermédiaire, le molybdène, pour des puissances supérieures à la centaine de watts.

La fatigue thermique se caractérise par une augmentation de la résistance thermique $R_{th_{jb}}$. Elle dépend de la température maximale atteinte et du nombre de cycles. A titre d'exemple, la figure 5.84 représente la limite d'endurance pour un transistor 2N3055 à soudure tendre (nombre de cycles), en fonction de la puissance dissipée et de la différence de température du boîtier. Ainsi pour $P = 30$ W et $\Delta I = 60°C$ entre le fonctionnement et l'arrêt, on trouve 70 % de transistors bons après 90 000 cycles.

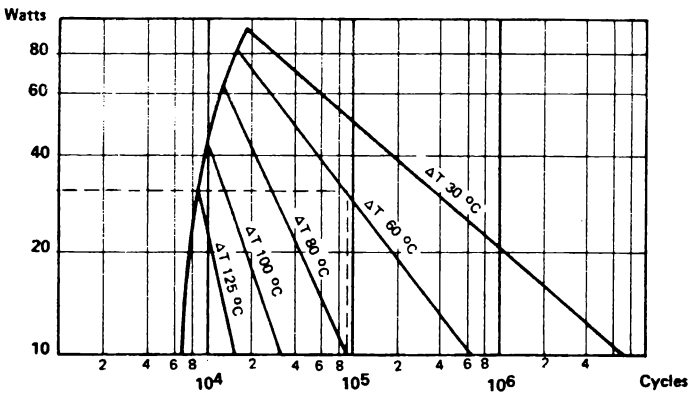


Figure 5.84

***Source* : Sescosem**

5.5.2. RÉGIME IMPULSIONNEL

En régime transitoire, la température de jonction ne dépend pas directement de la puissance dissipée, mais de l'énergie $W = P \cdot t_p$ fournie par une impulsion de durée t_p.

5.5.2.1. Impédance thermique

Lorsque l'on applique au composant un « échelon de puissance », la température varie exponentiellement (système thermique du premier ordre). Cette notion tient compte de la résistance thermique R_{th} à l'état permanent et de la capacité thermique C_{th} traduisant le stockage de chaleur dans les éléments du dispositif (pastille, boîtier, connexions). On admet que la température du boîtier atteint la température d'équilibre au bout du temps $3\,\tau_{th} = 3\,R_{th}\,C_{th}$ (figure 5.85).

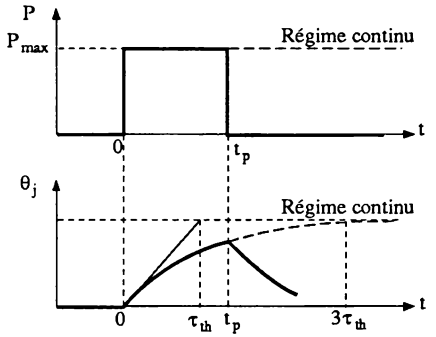


Figure 5.85

5.5.2.2. Série d'impulsions

Dans le cas d'une série d'impulsions, la température de jonction subit des croissances et décroissances exponentielles (figure 5.86). L'impédance Z_{th} est déduite de R_{th} par la relation

$$Z_{th} = K R_{th}$$

où K dépend de t_p (durée de l'impulsion) et δ (rapport cyclique). Les abaques K (t_p et δ) sont tracées pour chaque composant. La figure 5.87 en donne un exemple pour le transistor BUX39. On détermine la puissance maximale des impulsions par la relation

$$P_{CEmax} = \frac{\theta_{jmax} - \theta_{amb}}{\delta R_{thba} + K R_{thjb}}$$

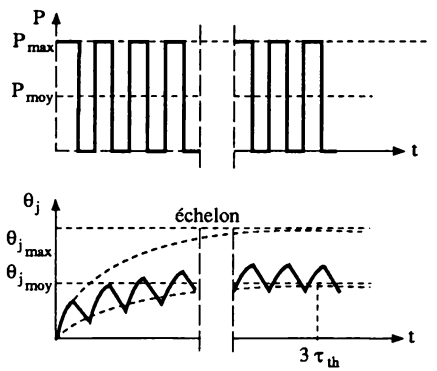


Figure 5.86

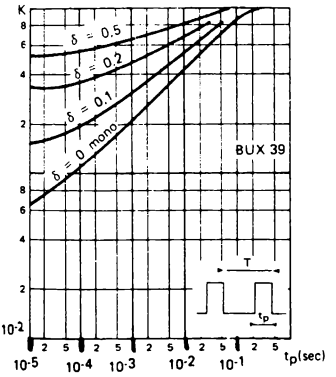


Figure 5.87
Source **: Sescosem**

Exemple. Transistor BUX39, R_{thjb} = 1,5 K/W, largeur des impulsions t_p = 1 ms, rapport cyclique δ = 0,2, résistance thermique boîtier-ambiante R_{thba} = 3 K/W, température ambiante θ_a = 40°C, température de jonction θ_{jmax} = 100°C. A partir de la figure 5.87, on déduit K = 0,45. Ainsi

$$P_{CEmax} = \frac{100 - 40}{0{,}2 \cdot 3 + 0{,}45 \cdot 1{,}5} = 47 \text{ W}.$$

5.5.2.3. Impulsion unique

Dans le cas d'une impulsion unique de durée t_p très inférieure à la constante de temps thermique, la température du boîtier est celle de l'ambiante. Le fabricant indique une aire de sécurité en I_C, V_{CE}, P et second claquage pour tous les transistors. La figure 5.88 donne un exemple pour le transistor BUX39. On remarque que l'on peut, par exemple, appliquer une impulsion de largeur t_p = 1 ms avec I_C = 20 A et V_{CE} = 30 V.

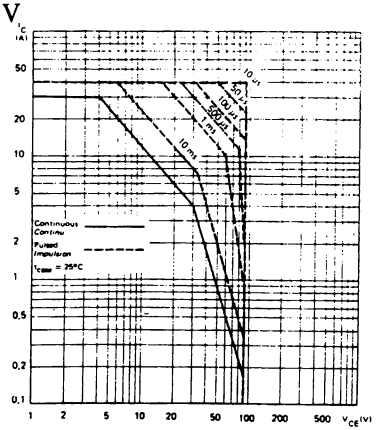


Figure 5.88
Source **: Sescosem**

Le régime d'impulsion unique est équivalent au régime périodique avec un rapport cyclique $\delta = 0{,}01$.

Si les impulsions sont de forme quelconque, on les calibre en impulsions rectangulaires de même surface (même énergie).

5.5.3. BOÎTIERS ET RADIATEURS

Les composants de puissance sont toujours associés à un radiateur. L'isolement électrique peut être assuré à trois niveaux différents :

— entre le silicium et le boîtier (isolement interne),

— entre le boîtier et le radiateur,

— entre le radiateur et le chassis (la masse).

La dernière solution est celle qui n'augmente pas la résistance thermique jonction-ambiante mais qui présente un double inconvénient :

— capacité parasite importante (gênante en commutation rapide),

— rayonnement élevé, à cause du radiateur porté à un potentiel variable flottant.

L'isolement entre le boîtier et le radiateur tend à disparaître en grande puissance. Il présente, en effet, trois inconvénients :

— il est coûteux en main-d'œuvre,

— les risques de défaut d'isolement sont importants (il existe actuellement les boîtiers à fond plat fixés par clip),

— il entraîne une augmentation de la résistance thermique pouvant atteindre 1 K/W.

L'isolement interne devient la meilleure solution (dans la mesure de la disponibilité du composant). A titre d'exemple, et pour un transistor 450 V-20 A, un boîtier TO3 (métal) + mica présente une résistance thermique $R_{th_{jr}} = 1{,}5$ K/W et une capacité parasite de 110 pF, un boîtier TOP3 ou SOT3 (époxy) + mica présente $R_{th_{jr}} = 1{,}4$ K/W et $C = 85$ pF, un boîtier TOP3 ou SOT3 isolé présente $R_{th_{jr}} = 1{,}1$ K/W et $C = 13$ pF et un boîtier ISOTOP présente $R_{th_{jr}} = 0{,}83$ K/W et $C = 60$ pF.

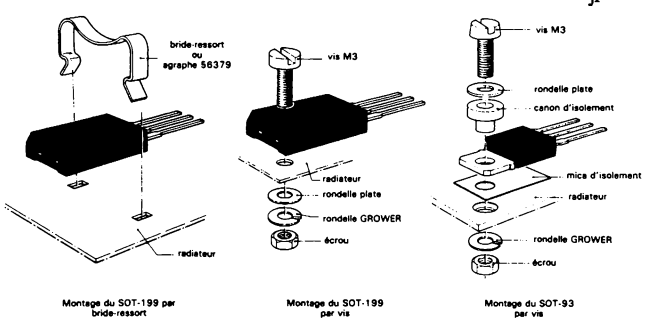


Figure 5.89
***Source* : Philips Composants**

La figure 5.89 représente le montage sur radiateur des transistors isolés (SOT199-RTC) comparé au transistor non isolé (SOT83).

La figure 5.90 présente les composants isolés ISOTOP, connectés par vis ou par prises *fast-on*.

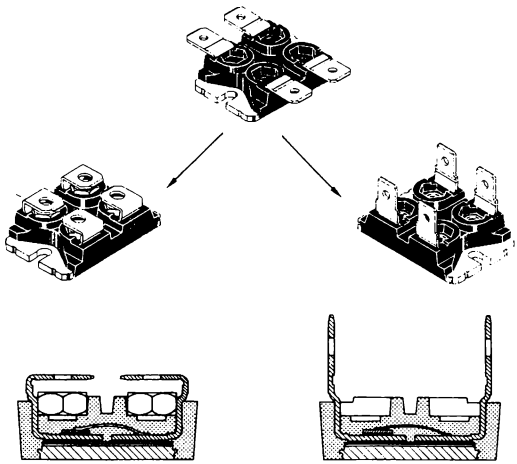


Figure 5.90
***Source* : Thomson Semiconducteurs**

5.6. EXERCICES

Exercice 1. **La figure 5.91 représente un transistor bipolaire fonctionnant en émetteur commun et en commutation. Ses caractéristiques sont β = 100, f_T = 100 MHz, C_{bC} = 3 pF.**

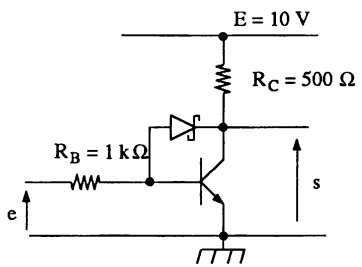


Figure 5.91

— Quelle doit être la valeur statique de *e* permettant d'obtenir $s = S_0$ = 5 V (V_{BE0} = 0,6 V) ?

— Déterminer la valeur de la capacité parasite C_{be}.

— Déterminer la constante de temps du circuit d'entrée et du circuit de sortie si la diode Schottky présente une capacité parasite $C_{AK} = 5$ pF.

Solution

— Le courant $I_{C0} = \dfrac{E - S_0}{R_C} = \dfrac{10 - 5}{500} = 10$ mA est commandé par un courant $I_{B0} = \dfrac{10 \text{ mA}}{100} = 0{,}1$ mA. La valeur statique de e doit être

$$e = R_B I_{B0} + V_{BE0} = 10^3 \cdot 10^{-4} + 0{,}6 = \mathbf{0{,}7\ V}.$$

— La valeur de la capacité parasite C_{be} est déterminée à partir de la relation

$$f_T = \frac{\beta_0}{2\pi h_{11e} C_{be}} \quad \text{avec} \quad h_{11e} = \frac{\beta}{40 I_C} = 250\ \Omega.$$

Ainsi

$$C_{be} = C_{Dbe} = \frac{\beta_0}{2\pi \cdot h_{11e} \cdot f_T} = \frac{10^2}{2\pi \cdot 2{,}5 \cdot 10^2 \cdot 10^8} = \mathbf{600\ pF}.$$

— Pour déterminer les constantes de temps, il faut utiliser le schéma des figures 5.6 et 5.7. Les capacités C_{bc} et C_{AK} sont déplacées par effet Miller. Le gain en tension en régime linéaire étant

$$G_{v0} = -\frac{\beta R_C}{h_{11}} = -\frac{100 \cdot 500}{250} = -200 = -A$$

la capacité d'entrée devient

$$C_e = C_{be} + (1 + A)(C_{bc} + C_{AK}) \simeq [600 + 200\ (3 + 5)] \cdot 10^{-12}$$
$$= 2\ 200 \text{ pF}.$$

Ainsi la constante de temps d'entrée vaut

$$\tau_e = R_B // h_{11} \cdot C_e = 1\ 000 // 250 \cdot 2{,}2 \cdot 10^{-9}$$
$$\tau_e = \mathbf{4{,}4 \cdot 10^{-7} = 0{,}44\ \mu s}$$

et celle de sortie

$$\tau_s = R_C (C_{bC} + C_{AK}) = 500\ (3 + 5)\ 10^{-12}$$
$$\tau_s = \mathbf{4 \cdot 10^{-9} = 4\ ns}.$$

Exercice 2. **Le montage précédent travaille en commutation grands signaux. Quels sont les temps de montée et de descente si le signal d'attaque e est un signal carré évoluant entre 0 volt et 1 volt ? On prendra $C_{Tbe} = 5$ pF.**

Solution

En fonctionnement sursaturé et surbloqué, les temps de montée et de descente sont définis au paragraphe 5.1.1.3.

— **Temps de montée t_{on}.** Nous avons la relation

$$t_{on} = t_{d1} + t_{d2} + t_{d3} + t_r$$

avec

- $t_{d1} \simeq R_B (C_{Tbe} + C_{Tbc} + C_{AK}) \ln \dfrac{1}{1 - 0{,}6}$

  $t_{d1} = 10^3 (5 + 3 + 5) \cdot 10^{-2} \ln 2{,}5 = \mathbf{1{,}2 \cdot 10^{-8}\ s}$

- $t_{d2} \simeq \dfrac{1}{6\pi f_T} = \dfrac{1}{6\pi \cdot 10^8} = \mathbf{5 \cdot 10^{-10}\ s}$

- $t_{d3} \simeq \tau_e \ln \dfrac{K}{K - 0{,}1}$

avec
$$K = \frac{I_{Bsat}}{I_{Blim}} = \frac{\dfrac{1 - 0{,}6}{1\,000}}{\dfrac{10 / 500}{100}} = 2$$

$$t_{d3} = 4{,}4 \cdot 10^{-7} \ln \frac{2}{1{,}9} = \mathbf{0{,}22 \cdot 10^{-7}\ s}$$

- $t_r = \tau_e \ln \dfrac{K - 0{,}1}{K - 0{,}9} = 4{,}4 \cdot 10^{-7} \ln 1{,}7 = \mathbf{2{,}4 \cdot 10^{-7}\ s}$

Ainsi $t_{on} = 1{,}2 \cdot 10^{-8} + 5 \cdot 10^{-10} + 2{,}2 \cdot 10^{-8} + 2{,}4 \cdot 10^{-7} \simeq 2{,}7 \cdot 10^{-7}$

$$t_{on} = \mathbf{0{,}27\ \mu s.}$$

— **Temps de descente.** Il est normalement défini par la relation $t_{off} = t_s + t_f$. La présence de la diode d'antisaturation (diode Schottky) fait que $t_s = 0$. Alors

$$t_f = \tau_e \ln \frac{K' - 0{,}1}{K' - 0{,}9}$$

avec
$$K' = \frac{1 - 0}{1 - 0{,}6} = 2{,}5$$

soit
$$t_f = 4{,}4 \cdot 10^{-7} \ln 2{,}5 = 4 \cdot 10^{-7}$$

$$t_{off} = t_f = \mathbf{0{,}4\ \mu s.}$$

Exercice 3. **Nous avons présenté, au paragraphe 5.2.2.1, un exemple de circuit driver à transistors bipolaires pilotant un transistor de puissance (figure 5.32). Déterminer la valeur des éléments si nous nous imposons un coefficient de surtension permanente $K_p = 2$, un coefficient de surtension transitoire $K_t = 10$, $V_{BEsat} = 0{,}7$ V et $V_{CEsat} = 0{,}2$ V.**

Solution

Le transistor de puissance est parcouru par un courant $I_C \simeq 1$ A. Pour un $\beta = 10$, le courant de base I_{Blim} est égal à 100 mA et le courant permanent de

saturation $I_{B_{sat}} = 2\ I_{B_{lim}} = 200$ mA. Lorsque T_2 est saturé, la base de T_3 est au potentiel de $5 - V_{CE_{sat}} = 4{,}8$ V.

L'équation

$$4{,}8 - V_{BE_3} - V_{BE_{TP}} = (R_6 + R_7)\ I_{B_{sat}}$$

permet d'obtenir

$$R_6 + R_7 = \frac{4{,}8 - 0{,}7 - 0{,}7}{0{,}2} = 17\ \Omega$$

La valeur de R_6 est calculée en utilisant le coefficient de sursaturation transitoire $K_t = 10$. Le condensateur non chargé étant considéré comme un court-circuit, nous avons

$$4{,}8 - V_{BE_3} - V_{BE_{TP}} = R_6\ (10\ I_{B_{lim}})$$

$$\boldsymbol{R_6 = \frac{3{,}4}{1} = 3{,}4\ \Omega}$$

alors

$$\boldsymbol{R_7 = 17 - 3{,}4 = 13{,}6\ \Omega.}$$

On obtient la valeur de C en utilisant la relation $R_7\ C \simeq t_{off}$ (du transistor de puissance)

$$\boldsymbol{C \simeq \frac{0{,}15 \cdot 10^{-6}}{13{,}6} = 0{,}01 \cdot 10^{-6} = 10\ nF.}$$

La résistance R_5 est déterminée en considérant la phase de blocage avec une tension $v_C = 3{,}4 \cdot \frac{13{,}6}{17} = 2{,}7$ V (charge du condensateur pendant la phase précédente) et un courant d'évacuation égal à 0,2 A (même valeur que le courant permanent de sursaturation). L'équation de la maille $R_5 - V_{EB_4} - R_6 - R_7 - V_{BE_{TP}}$ correspond à

$$R_5\ I_{B_4} + 0{,}7 + (3{,}4 \times 0{,}2) - 2{,}7 - 0{,}7 = 0$$

soit $R_5\ I_{B_4} = 2{,}02$. Comme $\beta_4 \simeq 100$ et $I_{B_4} = \frac{0{,}2}{\beta} = 2$ mA, cela conduit à

$$\boldsymbol{R_5 = \frac{2{,}02}{2 \cdot 10^{-3}} \simeq 1\ k\Omega}$$

En régime transitoire, le courant I_{C_2} correspond à la somme de $I_{B_3} = \frac{1}{\beta} = 10$ mA et du courant dans R_5 ($\frac{5\ V}{1\,000} = 5$ mA) soit $I_{C_2} = 15$ mA. Pour un $\beta = 100$, nous avons $I_{B_{lim}} = \frac{15}{100} = 0{,}15$ mA et $I_{B_{sat}} = 0{,}3$ mA. Si, dans la résistance R_3, on prend un courant égal à $I_{B_{sat}}$, on trouve

$$\boldsymbol{R_3 = \frac{0{,}7}{0{,}3 \cdot 10^{-3}} = 2{,}32\ k\Omega.}$$

On obtient R_4 à partir de la relation $5 - 0{,}7 - 0{,}2 = R_4 \times 0{,}6$ mA

$$R_4 = \frac{4{,}1}{0{,}6 \cdot 10^{-3}} = \mathbf{6{,}8\ k\Omega.}$$

Le courant limite de base de T_1 est $\frac{0{,}6\ mA}{\beta} \simeq 6\ \mu A$. Si on adopte $I_{B_{sat}} = 2\, I_{B_{lim}}$ et $I_{R_2} = I_{B_{sat}}$, nous avons

$$R_2 = \frac{0{,}7}{12 \cdot 10^{-6}} = \mathbf{60\ k\Omega.}$$

Pour une sortie TTL de 2,5 volts, la résistance R_1 vaut

$$R_1 = \frac{2{,}5 - 0{,}7}{24 \cdot 10^{-6}} = \mathbf{75\ k\Omega.}$$

On pourrait réduire ces valeurs de R_2 et R_1 en nous imposant un courant de saturation de T_1 plus important (par exemple $R_2 = R_1 = 10\ k\Omega$).

Exercice 4. **On réalise un « clignoteur » constitué de deux lampes de 300 W et alimenté par une tension continue de 300 V (figure 5.92). Les transistors MOS de puissance utilisés sont des IRF730 dont les caractéristiques sont BV_{DSS} = 400 V, I_D = 5,5 A, R_{DSon} = 1 Ω, V_T = 4 V, g = 4 S, $V_{GSmax} = \pm$ 20 V, C_{iss} = 620 pF et C_{rss} = 21 pF.**

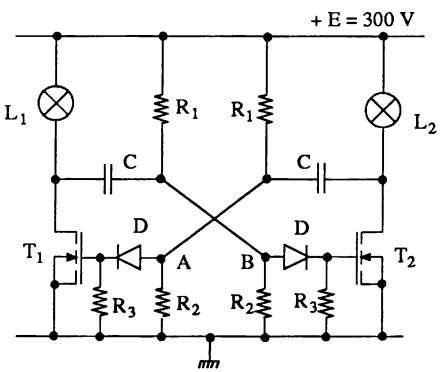


Figure 5.92

Déterminer les éléments du montage sachant que la fréquence de fonctionnement est 0,5 Hz.

Solution

Il faut d'abord déterminer la valeur de la tension de commande V_{GS}. Le courant I_D est celui qui circule dans les lampes

$$I_D = \frac{P}{U} = \frac{300}{300} = 1 \text{ A}$$

Comme la tension de seuil est $V_T = 4$ V et la pente $g = 4$ S = 4 A/V, la tension limite de commande est

$$V_{GS} = 4 + \frac{1}{4} = 4{,}25 \text{ V}$$

La limite maximale de V_{GS} étant 20 V, nous prendrons

$$V_{GS} = 15 = \frac{R_2}{R_1 + R_2} \cdot 300$$

soit

$$R_1 = 19\, R_2$$

La diode D protège la grille du transistor lorsque l'impulsion négative de -300 V apparaît. Sa tenue en tension inverse doit être supérieure à 300 V (par exemple, une diode 1N4005).

A cause de la symétrie, le rapport cyclique de cet astable est de 50 %. Pour une fréquence de 0,5 Hz, la période vaut $T = 2\, t_1 = 2$ s.

Le temps t_1 est déterminé à partir de la variation exponentielle des potentiels des points A et B

$$V_A \text{ ou } V_B = A\, e^{-\frac{t}{\tau}} + B$$

avec

$$-E = A + B = 300, \text{ (condition initiale)}$$
$$+15 = B, \text{ (condition finale)}$$

et

$$\tau = R_1 // R_2 \cdot C \simeq R_2\, C \text{ car } R_2 << R_1.$$

Donc

$$A = -315$$

et

$$V_A = -315\, e^{-\frac{t}{R_2 C}} + 15.$$

Au temps t_1, la tension $V_A \simeq V_{GS}$ est égale à la tension de seuil du transistor ($V_T = 4$ V). On en déduit la relation

$$4 = -315\, e^{-\frac{t_1}{R_2 C}} + 15$$

soit

$$t_1 = R_2\, C \ln \frac{315}{11} = 1 \text{ seconde}$$

et

$$R_2\, C = 0{,}3$$

Si on prend $C = 1$ µF (tenue en tension supérieure à 300 V), il vient $R_2 = 300$ kΩ, $R_1 = 5{,}7$ MΩ, $R_3 = 3$ MΩ ($R_3 >> R_2$ afin de ne pas modifier la constante de temps).

Remarque. On pourrait utiliser ce principe pour réaliser un onduleur autonome simple. Il suffirait de remplacer les deux lampes par un primaire à point milieu de transformateur, la charge étant sur le secondaire.

CHAPITRE 6

Intégration des fonctions analogiques*

6.1. PRÉSENTATION SUCCINCTE DES CIRCUITS INTÉGRÉS ANALOGIQUES

Les premiers circuits intégrés analogiques datent de l'époque de la maîtrise du silicium ($\simeq$ 1960). L'amplificateur opérationnel µA702 fut le précurseur avec ses 9 transistors *NPN* répartis sur une pastille de 1,5 mm^2. L'évolution permanente de la technologie d'intégration monolithique (diffusion, implantation ionique, etc.) a permis de réaliser des fonctions bien plus performantes qu'en technologie câblée et tout aussi performantes qu'en technologie intégrée hybride.

Il existe sur le marché un nombre impressionnant de circuits intégrés analogiques courants (amplificateurs opérationnels, régulateurs, comparateurs, etc.) et moins courants (amplificateurs vidéo, commande de moteurs, décodeurs stéréo, etc.). Nous allons essayer de dresser une liste en définissant quelques termes « clés ».

6.1.1. FONCTIONS LINÉAIRES CLASSIQUES

6.1.1.1. Famille des amplificateurs opérationnels

Nous trouvons :

— les amplificateurs opérationnels classiques, rapides, à faible consommation, programmables, monotension, haute-tension, de puissance,

---

* A partir de ce chapitre, nous quittons les composants discrets pour présenter leur intégration. Il n'y aura donc pas d'exercices d'accompagnement.

— les amplificateurs d'instrumentation, de précision,
— les buffers.

Les mots « clés » sont :

- **Bandwidth**, bande passante f_0,
- **Gain Bandwidth,** produit gain x bande passante,
- **Voltage gain**, gain en tension,
- **Slew rate,** pente maximale du signal de sortie en V/µs,
- **Common mode rejection ratio,** taux de réjection de mode commun $TRMC = 20 \log A_d / A_C$,
- **Input bias current,** courant de polarisation en entrée,
- **Input offset voltage,** tension de décalage en entrée,
- **Input resistance,** résistance dynamique d'entrée,
- **Supply current,** courant à vide fourni par l'alimentation,
- **Input voltage range,** dynamique maximale en entrée pour une tension d'alimentation donnée,
- **Ouput voltage range,** dynamique de sortie pour une charge donnée,

etc.

6.1.1.2. Famille des régulateurs

Nous trouvons :

— les régulateurs linéaires,
— les régulateurs à découpage,
— les régulateurs à capacités commutées,
— les références de tension.

Donnons quelques mots « clés » :

- **Drop out voltage,** minimum normal de tension entre l'entrée et la sortie,
- **Input voltage range,** maximum de tension admissible à l'entrée,
- **Line regulation,** régulation en fonction des variations du secteur,
- **Load regulation,** régulation en fonction des variations de la charge,
- **Quiescent current,** courant absorbé par le régulateur, à vide,
- **Ripply rejection,** réjection de l'ondulation amont,

etc.

6.1.1.3. Famille des comparateurs de tensions

Nous trouvons :

— les comparateurs classiques,
— les comparateurs programmables.

La plupart des termes « clés » sont identiques à ceux des amplificateurs opérationnels. Notons toutefois en plus :

- **Positive output level,** niveau haut en sortie pour la compatibilité TTL,
- **Negative output level,** niveau bas en sortie,
- **Response time,** temps de réponse à un créneau d'entrée.

6.1.2. COMMUTATEURS ANALOGIQUES

Les commutateurs analogiques utilisent des transistors JFET, des transistors MOS ou des CMOS. Ils sont utilisés pour commuter des signaux analogiques en simple voie ou dans des multiplexeurs.

D'autres applications utilisent ces commutateurs :

— les échantillonneurs-bloqueurs,
— les amplificateurs opérationnels « chopper »,
— les filtres à capacités commutées, etc.

Les quelques mots « clés » sont :

- **ON resistance,** résistance série R_{on} à l'état conducteur,
- **Analog current range,** gamme de courant que peut véhiculer le commutateur à l'état passant,
- **Analog input leakage current,** courant de fuite d'entrée à l'état bloqué,
- **Analog input capacitance,** C_S (on) et C_S (off), capacité entre l'entrée (source) et la masse,
- **Analog output capacitance,** C_D (on) et C_D (off), capacité entre la sortie (drain) et la masse,
- **Analog voltage range,** dynamique maximale de la tension à commuter,
- **Analog ON-OFF switching time,** t_{on} et t_{off}, intervalle de temps défini à 50 % entre la commande et le signal de sortie.

6.1.3. FONCTIONS SPÉCIALES

Les domaines d'applications sont très variés, certains circuits sont présentés dans d'autres ouvrages de cette collection. Citons :

— les filtres actifs (passe-bas, passe-haut, passe-bande, sélectifs, universels) suivant des réponses typiques (Butterworth, Cauer, Chebyshev, Bessel) ;
— les convertisseurs analogiques-numériques CAN compatibles TTL, TTL TRISTATE, CMOS, 8-10 ou 12 bits ;
— les convertisseurs numériques-analogiques CNA, 8-10-12 bits ;
— les circuits audiofréquences tels que préamplificateurs correcteurs, équaliseurs, amplificateurs de puissance mono ou stéréo ;

— les circuits radiofréquences tels que décodeurs stéréo, démodulateurs, amplificateurs FI, circuits d'accord, amplificateurs sélectifs ;
— les circuits pour récepteurs de télévision tels que circuits de synchronisation lignes et trames, circuits décodeurs, circuits de déviation, oscillateurs mélangeurs ;
— les circuits utilisant les boucles à verrouillage de phase ou PLL ;
— les circuits de commande pour l'électronique de puissance (modules à transistors, commande des thyristors et des triacs) ;
— les circuits de commande des moteurs (à courant continu, pas à pas, synchrones autopilotés par onduleur), les circuits PWM ;
— et bien d'autres circuits très spécifiques comme les convertisseurs fréquence-tension, les détecteurs de niveau de fluide, les contrôleurs d'injection de fuel, les récepteurs d'ultrasons, les timers, les capteurs de température, etc.

6.2. TECHNOLOGIE DES FONCTIONS LINÉAIRES CLASSIQUES

On pourra se reporter à l'ouvrage *Amplificateurs opérationnels* car de nombreux éléments technologiques sont fournis. D'autre part, certains schémas de base ont été étudiés dans les chapitres précédents. Nous y ferons référence.

6.2.1. TECHNOLOGIE BIPOLAIRE

6.2.1.1. Composants de base

Les composants de base rencontrés dans les circuits intégrés analogiques, en technologie bipolaire, sont :

— les transistors *NPN*,
— les transistors *PNP* verticaux et latéraux,
— les transistors multicollecteurs ou source de courant,
— les diodes,
— les résistances,
— les condensateurs.

Nous présentons ces composants, sans préciser les phases de fabrication (pour cela, consulter les ouvrages cités en bibliographie).

A. Transistor *NPN* (figure 6.1). Dans un caisson isolant, on diffuse respectivement la zone N du collecteur, la zone P de la base puis les zones N^+ de l'émetteur et du collecteur. Les caractéristiques de ce transistor *NPN* sont identiques à celles

obtenues avec les composants discrets ($100 \leq \beta \leq 300$). Le transistor super β ($2\,000 \leq \beta \leq 5\,000$) présente une zone N^+ d'émetteur plus profondément implantée dans la base, ce qui réduit son épaisseur et diminue la tension de claquage de la jonction base-émetteur.

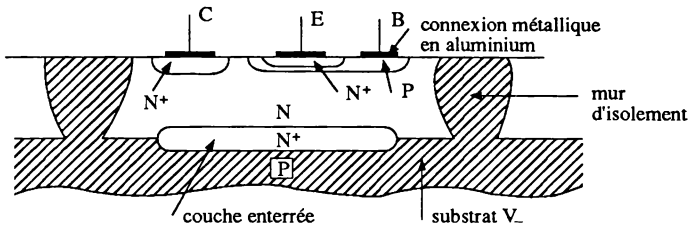


Figure 6.1

Le transistor *NPN* intégré présente plusieurs éléments parasites (figure 6.2) :

— une jonction *NP* (diode *D*) normalement sans effet si le substrat est relié au potentiel le plus négatif V_-,

— un transistor *PNP* actif lorsque le potentiel du collecteur du *NPN* est négatif par rapport à la base,

— des capacités parasites :

- capacité collecteur-base C_{bc} contribuant à l'effet Miller dans l'émetteur commun (première fréquence de cassure),
- capacité collecteur-substrat C_{cs} contribuant à la deuxième fréquence de cassure (autour de 1 MHz).

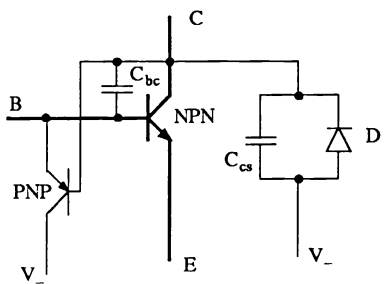


Figure 6.2

La couche enterrée N^+ présente un double rôle :

— elle réduit l'influence du transistor *PNP* en diminuant son gain en courant ($\beta < 1{,}5$),

— elle diminue la résistance série des composants en apportant une plus forte densité d'électrons.

B. Transistor *PNP* vertical (figure 6.3). On l'appelle aussi transistor *PNP* substrat, utilisable uniquement en collecteur commun. Par construction, la base relativement épaisse ne permet pas un gain en courant important ($20 \leq \beta \leq 50$). La forte valeur de la capacité parasite base-collecteur fournit une fréquence de cassure, à partir de 20 MHz.

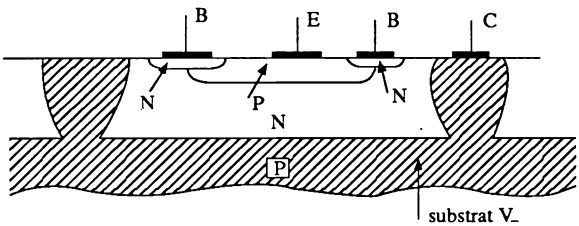


Figure 6.3

C. Transistor *PNP* latéral (figure 6.4). Le collecteur et l'émetteur sont réalisés ensemble, en même temps que les bases des transistors *NPN*. L'effet transistor ne se manifeste qu'aux abords des jonctions émetteur-collecteur. Une grande partie des porteurs se recombine dans la base épaisse. Ces transistors présentent un gain en courant β n'excédant pas la dizaine. En pratique, lorsque l'on souhaite obtenir un gain en courant important, on associe ce *PNP* à un *NPN*, pour réaliser un transistor équivalent *PNP* composite. La fréquence de transition des transistors *PNP* latéraux est inférieure à 10 MHz.

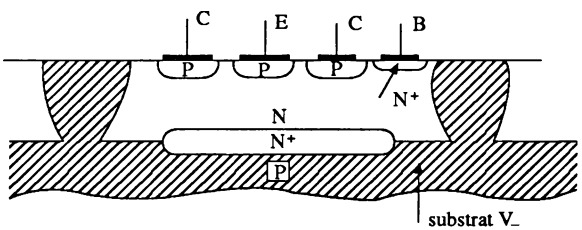


Figure 6.4

D. Transistor multicollecteur ou source de courant. Les circuits intégrés analogiques réclament des sources de courant calibrées. Leur principe sera vu un peu plus loin et correspond à utiliser un transistor multicollecteur (figure 6.5). Le courant dans chaque collecteur est proportionnel à la surface de sa zone *N*. Ainsi, en imposant un courant I_1 dans C_1, les courants dans C_2 et C_3 sont respectivement $k_2 I_1$ et $k_3 I_1$.

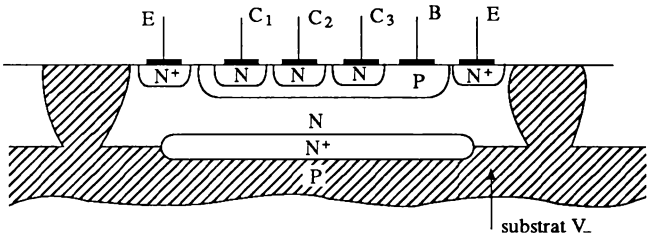


Figure 6.5

E. **Diodes** (figure 6.6). Les diodes sont fabriquées en même temps que les transistors. Plusieurs principes sont retenus :

— utilisation d'un transistor *NPN* dont on relie le collecteur et la base,

— utilisation de la jonction base-émetteur d'un transistor *NPN*. Dans ces deux premiers cas, la tenue en tension inverse est de quelques volts,

— utilisation de la jonction collecteur-base (la zone d'émetteur n'étant pas diffusée). La tenue en tension en inverse de cette diode est de plusieurs dizaines de volts.

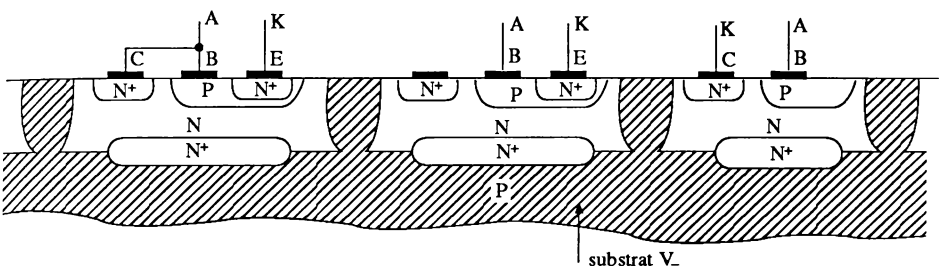


Figure 6.6

Pour obtenir une diode Zener, on utilise les deux premiers cas entre l'émetteur et la base du transistor. La tension Zener est alors voisine de 7 volts.

F. **Résistances** (figure 6.7). On utilise en général la propriété de la conductance d'un barreau de silicium. La densité d'impuretés correspond à celle de l'étape de diffusion générale. Dans la plupart des cas, les résistances sont diffusées en impuretés *P* **(étape de fabrication de la base des transistors *NPN*).**

— **Pour des résistances de 30 Ω à 30 kΩ,** on diffuse les impuretés *P* dans le caisson *N*, suivant une certaine épaisseur. La géométrie de la diffusion est souvent en forme de spirale. La résistance est isolée en portant la zone *N* au potentiel V_+.

— **Pour des résistances de plus de 30 kΩ,** on diffuse dans la zone *P* précédente une zone N^+, diminuant son épaisseur et augmentant ainsi la valeur résistive. La résistance ainsi obtenue est non linéaire et présente un coefficient de température important.

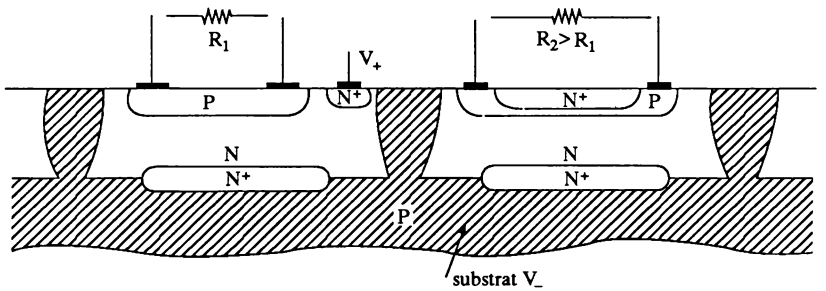


Figure 6.7

Les tolérances de ces résistances peuvent atteindre ± 20 % (dans ce cas, on considère plutôt le rapport de résistances). On améliore la précision en utilisant l'implantation ionique ou le dépôt en couche mince de nickel et chrome (on peut atteindre une tolérance ± 3 % et un coefficient de température de 10^{-5}/°C).

Les contacts ohmiques semiconducteur-métal sont réalisés, d'un côté par surdopage, de l'autre côté en utilisant de l'aluminium.

G. Condensateurs. En intégration, il existe trois méthodes permettant de réaliser des condensateurs :

— utilisation de la capacité de transition d'une jonction polarisée en inverse (quelques picofarads),

— dépôt d'une couche mince (quelques dizaines de picofarads). Le condensateur est alors constitué d'une zone N^+, d'un isolant SiO_2 et d'une couche d'aluminium,

— utilisation de la capacité MOS.

La figure 6.8 représente un condensateur MOS constitué de deux couches de silicium polycristallin séparées par du SiO_2. La valeur capacitive est voisine de $4 \cdot 10^{-4}$ pF/µm² (40 pF correspond à une surface de 0,1 mm² – ceci est important à l'échelle de la dimension des puces). On augmente la valeur capacitive d'un facteur 10 en utilisant un isolant à base de tantale ($4 \cdot 10^{-3}$ pF/µm²).

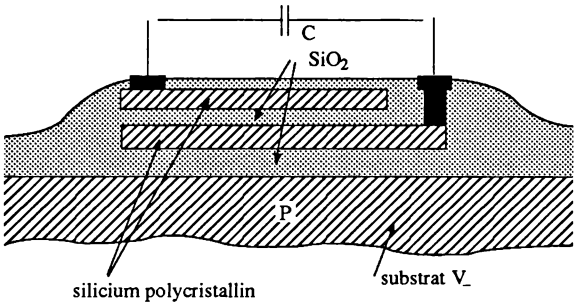


Figure 6.8

Remarque générale. Les circuits intégrés bipolaires sont toujours issus d'un substrat dopé *P* connecté au potentiel *V*_.

6.2.1.2. Fonctions de base

Les fonctions de base sont en partie celles rencontrées au chapitre 3. Toutefois, l'intégration conduit à certaines particularités.

A. **Références de tension.** Les références de tension classiques, autres que celles rencontrées dans les régulateurs (et qui demandent un haut degré de stabilisation – voir ouvrage *Alimentations électroniques*), utilisent la tension de seuil de la jonction base-émetteur. Les schémas de la figure 6.9 permettent d'obtenir :

— une tension $V_1 = V_{BE} \simeq 0{,}6$ V à 25°C

— une tension $V_2 = \dfrac{R_1 + R_2}{R_2} V_{BE} > V_1$, en supposant un courant I_{R1} petit devant I_0 et grand devant I_B.

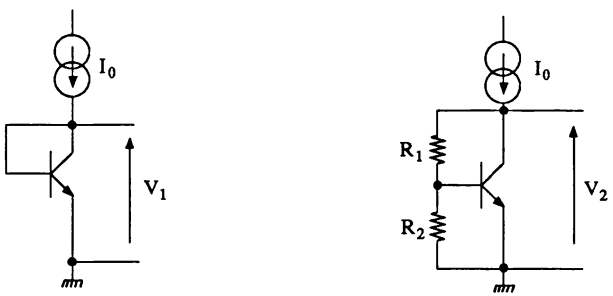


Figure 6.9

Pour une tension plus faible que V_{BE}, on a recours au schéma de la figure 6.10. La tension obtenue est alors $V_3 \simeq V_{BE} - R\,I_0 < V_1$. L'implantation de la résistance est effectuée dans la zone *P* de base.

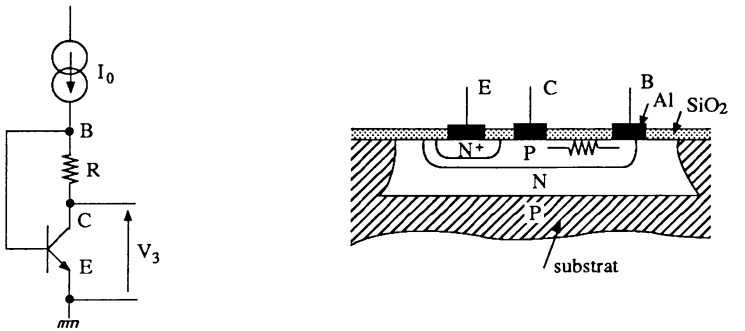


Figure 6.10

B. Miroirs de courant. Les miroirs de courant peuvent être à base de transistors *NPN* (émetteurs positionnés sur la borne V_-) ou *PNP* (émetteurs positionnés sur la borne V_+). Du fait de la symétrie, nous ne présentons que les miroirs de courant à transistors *NPN*.

— **Figure 6.11.** Le courant I qui circule dans la résistance R représente la somme de I_{C_1}, de I_{B_1} et de I_{B_2}. Si le gain en courant β est très important, on admet, en première approximation, que $I_{C_1} \simeq I$. Les transistors sont identiques, alors $V_{BE_1} = V_{BE_2}$ entraîne $I_{B_1} = I_{B_2}$ et $I_{C_1} = I_{C_2}$. Ainsi

$$I_0 \simeq I = \frac{(V_+ - V_-) - V_{BE}}{R} \simeq \frac{V_+ - V_-}{R}$$

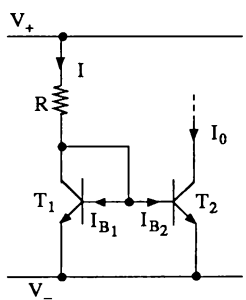


Figure 6.11

Cette source de courant présente une résistance interne $r_i = \dfrac{1}{h_{22}}$ (pente de la caractéristique I_C (V_{CE}) dans la zone saturée).

— **Figure 6.12.** Le miroir de courant précédent est très bien adapté pour générer un courant de l'ordre du mA (R voisin de 10 kΩ). Pour des courants

de valeur plus faible, il faudrait une résistance R de forte valeur, très difficile à intégrer. On a alors recours à deux techniques :

- réaliser des transistors dont la surface d'émetteur est dans un rapport $K = \frac{S_2}{S_1}$. On obtient ainsi la relation

$$I_0 = k\,I$$

- réaliser une contre-réaction d'émetteur pour deux transistors identiques (notre figure).

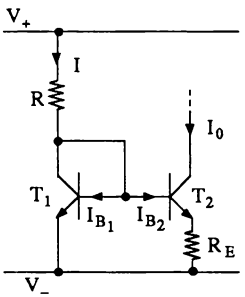


Figure 6.12

Comme $V_{BE2} < V_{BE1}$, il s'ensuit $I_{B2} < I_{B1}$, $I_{C2} < I_{C1}$ et $I_0 < I$. Une étude quantitative s'impose. La relation

$$V_{BE1} = V_{BE2} + (I_{B2} + I_{C2})\,R_E$$

devient

$$V_{BE1} - V_{BE2} = \Delta V_{BE} = (I_{B2} + I_{C2})\,R_E \simeq I_{C2}\,R_E$$

Comme $I_C = k\,e^{\frac{V_{BE}}{V_T}}$ avec $V_T \simeq 25$ mV à 25°C (revoir le paragraphe 3.1.3.4), nous obtenons

$$\frac{I_{C1}}{I_{C2}} = e^{\frac{V_{BE1} - V_{BE2}}{V_T}} = e^{\frac{\Delta V_{BE}}{V_T}}$$

Ainsi $$V_{BE1} - V_{BE2} = \Delta V_{BE} = V_T \ln \frac{I_{C1}}{I_{C2}} \simeq I_{C2}\,R_E$$

et $$R_E \simeq \frac{V_T}{I_{C2}} \ln \frac{I_{C1}}{I_{C2}}$$

soit $$\boldsymbol{R_E \simeq \frac{0{,}025}{I_0} \ln \frac{I}{I_0}} \qquad \text{à } 25°C$$

A titre d'exemple, si $I = 1$ mA et $I_0 = 50$ µA, la résistance R_E vaudra

$$R_E = \frac{0{,}025}{0{,}05} \ln \frac{1}{0{,}05} \simeq 1{,}5\ \text{k}\Omega$$

La résistance interne de cette source est beaucoup plus élevée que dans le cas de la figure 6.11

$$r_i \simeq \frac{1}{h_{22}} \cdot \frac{\beta}{h_{11_2}} R_E$$

— **Figure 6.13.** Dans le cas d'une forte variation de température, les tensions V_{BE} et V_T varient. On réalise alors une contre-réaction sur chaque émetteur. On obtient ainsi

$$\frac{I_0}{I} \simeq \frac{R_1}{R_2} \qquad (R_1 I \simeq R_2 I_0)$$

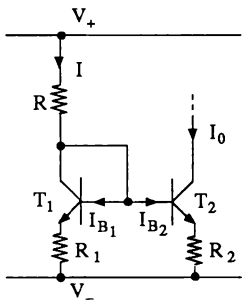


Figure 6.13

La résistance interne équivalente est identique à celle de la figure précédente. Il faut que la chute de tension dans les résistances R_1 et R_2 reste faible pour conserver la dynamique de fonctionnement.

— **Figure 6.14.** Si nous revenons à la figure 6.11, l'expression réelle de I_0 est

$$I_0 = \frac{\beta}{\beta + 2} I \simeq I$$

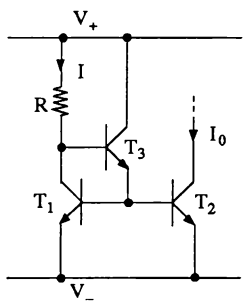


Figure 6.14

Lorsque le gain en courant β est faible (par exemple l'utilisation de transistors *PNP* intégrés), il est préférable d'utiliser un troisième transistor (T_3). On a alors

$$I_0 = \frac{\beta\,(\beta + 1)}{\beta^2 + \beta + 2} \cdot I \simeq I$$

— **Figure 6.15.** La source précédente présente une résistance interne $r_1 = \frac{1}{h_{22}}$. On augmente sa valeur en déplaçant le transistor T_3. Le courant I_0 est

$$I_0 = \frac{\beta\,(\beta + 2)}{\beta^2 + 2\beta + 2} I \simeq I$$

et $$r_1 \simeq \frac{1}{h_{22}} \left[1 + \frac{\beta}{h_{113} + R} (h_{112} \,//\, h_{111}) \right] \quad \text{avec } h_{111} = h_{112} \simeq h_{113}$$

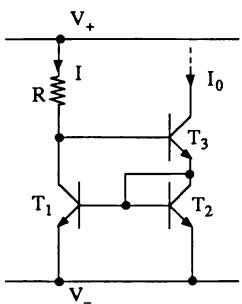


Figure 6.15

— **Figure 6.16.** Ce miroir de courant cascode utilisant quatre transistors, permet d'obtenir une source de courant dont l'impédance interne est quasi infinie, à cause de la présence de T_2 en série avec T_4. La valeur de I_0 est

$$I_0 \simeq \frac{(V_+ - V_-) - 2\,V_{BE}}{R} \simeq \frac{V_+ - V_-}{R} = I$$

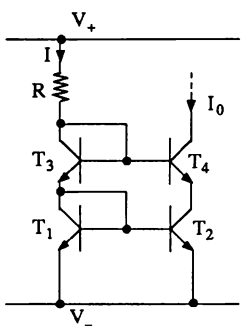


Figure 6.16

Remarque. Dans le cas des figures 6.14, 6.15 et 6.16, on peut toujours ajouter des résistances d'émetteurs.

C. Sources de courant. Les sources de courant sont dérivées des miroirs de courant. Le schéma de base est celui de la figure 6.17. Si les transistors sont identiques et le gain en courant β important, on admet que le courant collecteur de chaque transistor est identique et égal à $I_0 = I$. En technique d'intégration, cet ensemble de transistors constitue un transistor multicollecteur présenté sur la figure 6.5 où chaque collecteur présente une surface bien définie. La représentation devient alors celle de la figure 6.18 et plus particulièrement celle de la figure 6.19 avec

$$\left.\begin{array}{l} I_1 = k_1 I \\ I_2 = k_2 I \\ I_3 = k_3 I \end{array}\right\} \quad k_1 = \frac{S}{S_1}, k_2 = \frac{S}{S_2}, k_3 = \frac{S}{S_3}$$

S, S_1, S_2, S_3 représentent la surface des collecteurs de T, T_1, T_2 et T_3.

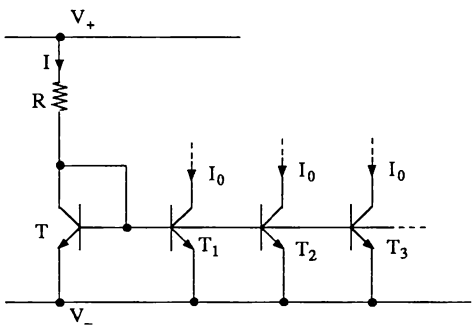


Figure 6.17

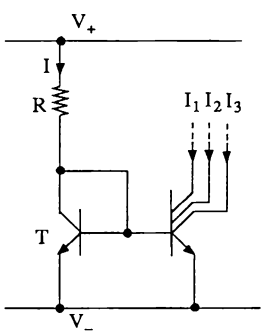


Figure 6.18

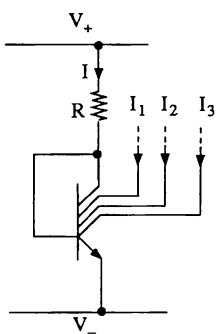


Figure 6.19

On peut aussi modifier le schéma de la figure 6.17 en ajoutant une résistance R_n à chaque émetteur du transistor T_n. Les courants I_n sont alors proportionnels aux résistances si les transistors sont identiques.

D. Transposition de tension. Les circuits intégrés analogiques utilisent des liaisons statiques entre étages. Lorsque des différences de potentiel existent, il faut réaliser des translateurs statiques. La figure 6.20 représente trois possibilités :

— translation par diode Zener ou par « empilement » de diodes normales. La résistance R_2 doit être parcourue par un courant supérieur à I_{B2} et inférieur à I_{R1},

— translation par tension constante $R_2 I_0$, à condition que I_0 soit supérieur à I_{B2} et inférieur à I_{R1},

— translation par inversion de polarité des transistors (étage *NPN* suivi d'un étage *PNP*).

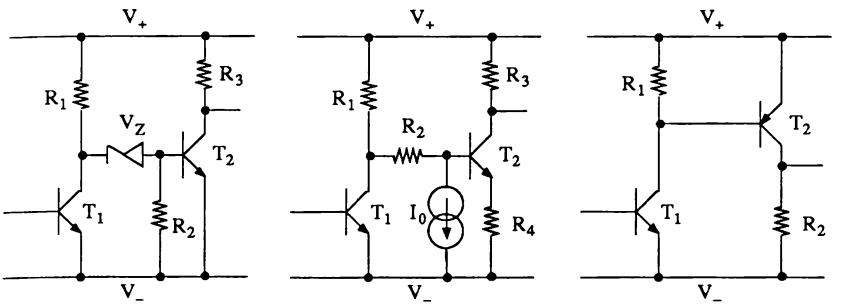


Figure 6.20

E. Étages amplificateurs. L'étage amplificateur intermédiaire situé entre l'étage d'entrée (amplificateur différentiel) et l'étage de sortie (push-pull) est couramment un émetteur commun chargé par une source de courant. (afin d'obtenir un très fort gain en tension – cas des amplificateurs opérationnels). La figure 6.21 représente cet étage, chargé par un miroir de courant. Dans le cas où on considère les transistors parfaits, le gain en tension est infini et on définit la transconductance

$$g' = \frac{i_s}{e} = \frac{i_s}{v_{be}} = \frac{i_c}{h_{11}\, i_b} = \frac{\beta}{h_{11}} = g$$

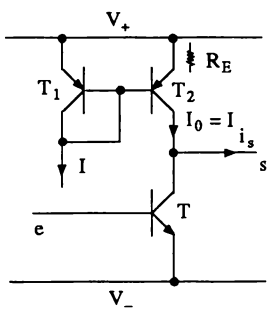


Figure 6.21

Si on tient compte de l'effet Early, on utilise le schéma équivalent de la figure 6.22. Le gain en tension est alors

$$\frac{s}{e} = -\frac{\beta \dfrac{1}{2\,h_{22}}}{h_{11}}$$

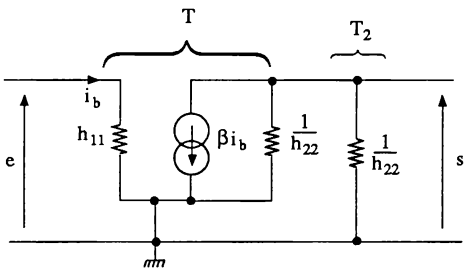


Figure 6.22

La figure 6.23 représente une variante de la figure 6.21. Le transistor T est chargé par la source de courant kI issu du transistor multicollecteurs.

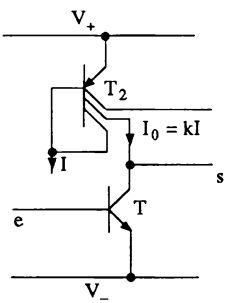


Figure 6.23

Remarque. On peut, dans certains cas, trouver d'autres montages fondamentaux en guise d'étages amplificateurs intermédiaires (collecteur commun, base commune, etc.). Tous ces montages ont été étudiés dans la section 3.4.

F. Amplificateurs différentiels. Les schémas d'amplificateurs différentiels d'entrée sont très nombreux. Chacun d'entre eux correspond à des caractéristiques bien particulières (tension d'offset, courant de polarisation, tension maximale d'entrée en mode différentiel, rapidité, etc.). Nous proposons quelques schémas, mais la liste n'est pas limitative.

— **Figure 6.24.** C'est l'amplificateur différentiel classique, polarisé par une source de courant I_0 et chargé par un miroir de courant. Le schéma équivalent en régime variable (figure 6.25) permet d'écrire

$$e_1 - v_1 + v_2 - e_2 = 0$$

et $$\beta i_1 = -\beta i_2 \quad \text{donc} \quad v_1 = -v_2$$

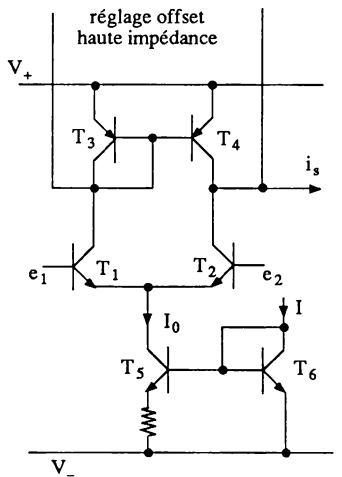


Figure 6.24

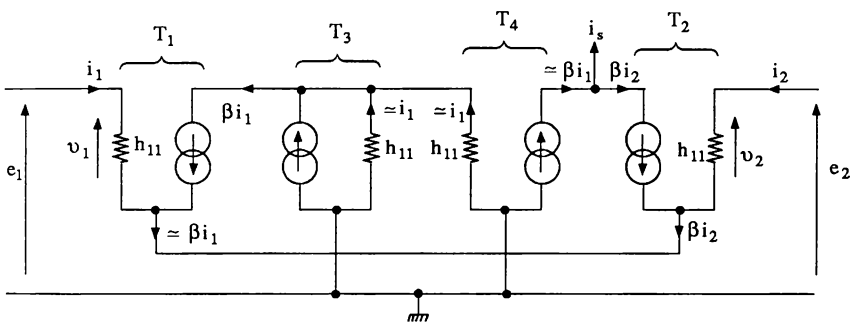


Figure 6.25

Ainsi $$e_1 - e_2 = v_1 - v_2 = 2\, v_1 = 2\, h_{111}\, i_1$$

soit $$i_1 = \frac{e_1 - e_2}{2\, h_{111}} \quad \text{et} \quad i_2 = -\frac{e_1 - e_2}{2\, h_{11}}$$

Le courant i_s correspondant à

$$i_s = \beta\, i_1 - \beta\, i_2 = \beta\,(i_1 - i_2)$$

nous obtenons

$$i_s = 2\beta \left(\frac{e_1 - e_2}{2\, h_{11}} \right) = \frac{\beta}{h_{11}} (e_1 - e_2) = g\,(e_1 - e_2)$$

Notons que cette transconductance $g = \dfrac{\beta}{h_{11}}$ est double de celle obtenue avec une seule source de courant sur le collecteur de T_2 (voir exercice 4, paragraphe 1.4.6 de l'ouvrage *Amplificateurs opérationnels*).

La résistance d'entrée différentielle est $r_d = 2\ h_{11}$. La dynamique maximale différentielle vaut

$$(e_1 - e_2)_{max} = V_{BE} + V_{EB_{max}} = 5{,}6 \text{ V}.$$

— **Figure 6.26.** C'est l'amélioration du montage précédent en ce qui concerne la dynamique différentielle maximale (amplificateurs opérationnels du type 101-741-etc.). Cet amplificateur différentiel est à couplage des bases piloté par des collecteurs communs. La résistance différentielle est $r_d = 2\beta \cdot \dfrac{h_{11}}{\beta} = 2\ h_{11}$. La dynamique différentielle maximale correspond à

$$(e_1 - e_2)_{max} = V_{BE_1} + V_{EB_3} + V_{BE_4} + V_{EB_2} = 0{,}6 + 0{,}6 + 25 + 5 = 31{,}2 \text{ V}.$$

La forte tension d'avalanche de la jonction émetteur-base des transistors *PNP* (25 V) est due à leur faible gain en courant β.

Remarquons la présence des résistances de 1 kΩ. Elles permettent :
— d'augmenter la résistance interne du miroir de courant,
— de régler la tension d'offset en basse impédance.

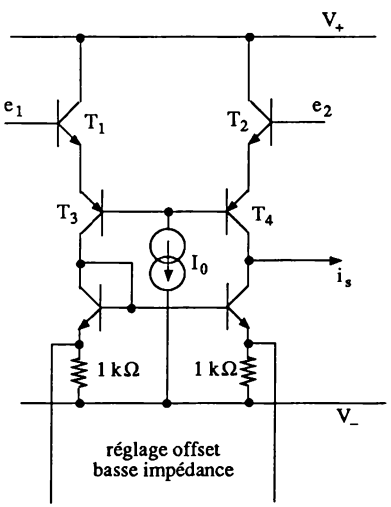


Figure 6.26

— **Figure 6.27.** Cet amplificateur différentiel est chargé par des résistances. Cela permet d'obtenir des amplificateurs opérationnels à faible bruit (du type OP27-OP37-etc.). Les résistances sont ajustées sur le « wafer » afin d'obtenir une faible tension d'offset (10 µV typique). Le transistor multicollecteur fournit la majeure partie du courant de polarisation aux transistors d'entrée T_1 et T_2 ; ceci permet une faible valeur de i_1 et i_2 (± 10 nA). Toutefois, la résistance d'entrée différentielle reste faible (2 $h_{11} \simeq 1$ MΩ).

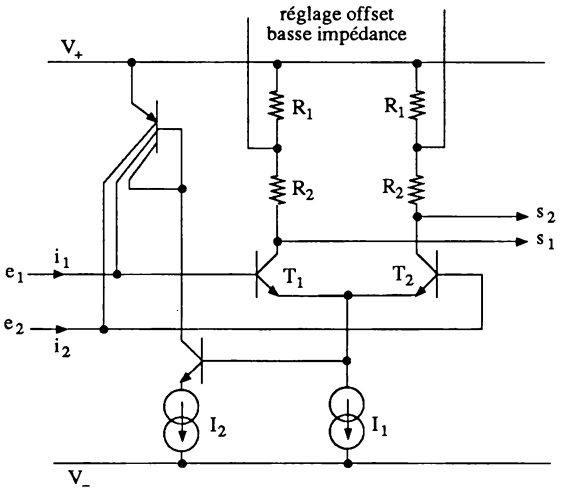


Figure 6.27

— **Figure 6.28.** Cet amplificateur différentiel cascode permet d'obtenir un important slew rate et un grand produit gain x bande passante (famille des HA2510). L'utilisation des collecteurs communs en entrée augmente l'impédance d'entrée différentielle (≃ 100 MΩ). Le couplage de T_1 et T_3 s'effectue par des résistances d'émetteurs (meilleure bande passante). La charge de ces transistors est un montage à double base commune (toujours pour améliorer la bande passante).

Remarques

— Plus les amplificateurs différentiels sont performants, plus leur schéma se complique.

— D'autres types d'amplificateurs différentiels sont utilisés :

- à transistors Darlington,
- à transistors super bêta,
- à étages symétriques en positif et en négatif.

(Consulter les ouvrages *Amplificateurs opérationnels* et *Amplificateurs de puissance.*)

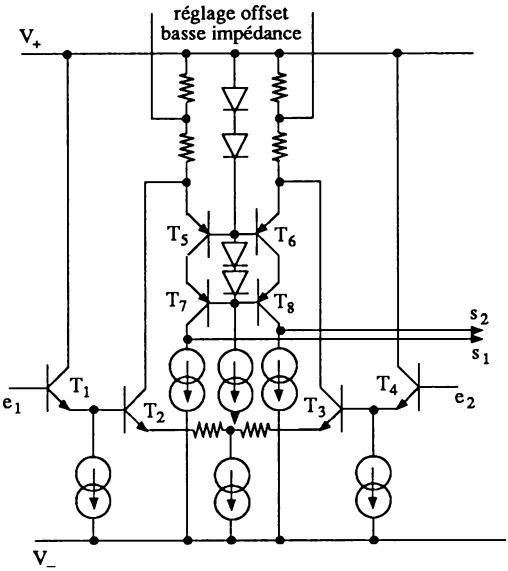


Figure 6.28

G. Amplificateurs de sortie. Ce sont en général des push-pull. Pratiquement, tous sont protégés contre les court-circuits. Là non plus, la liste n'est pas limitative.

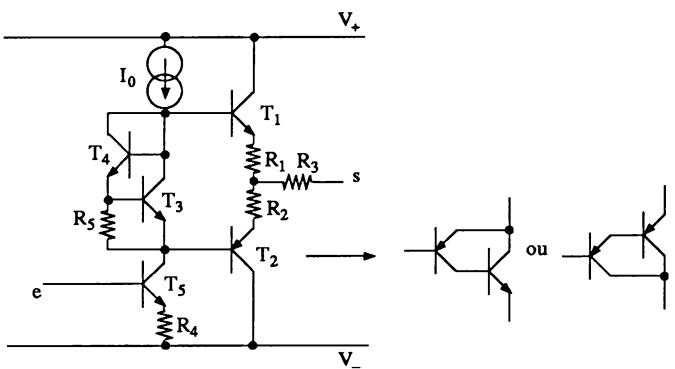


Figure 6.29

— **Figure 6.29.** C'est le push-pull classique utilisant deux transistors *NPN-PNP*. Dans certains cas, le transistor *PNP* (faible β) est associé à un transistor

NPN, l'ensemble étant équivalent à un *NPN* (Darlington composite). La polarisation du push-pull est réalisée avec les deux transistors T_3 et T_4 imposant une tension voisine de 1,2 V. T_5 présente une résistance d'émetteur R_4 limitant le courant en cas de court-circuit (associée à $R_1 - R_2$ et R_3). Cet étage de sortie travaille en transconductance à cause de la présence de I_0.

— **Figure 6.30.** Les transistors de sortie T_1 et T_2 sont pilotés par des collecteurs communs (T_3 et T_4). Le potentiel commun sur la base de ces derniers impose une tension $V_{B_1B_2} \simeq 1{,}2$ V. Une variation positive à l'entrée fait moins conduire T_3 et plus conduire T_1. Symétriquement, cette variation positive fait plus conduire T_4 donc moins conduire T_2. Le courant maximum de sortie est βI_0. Cette technique est très utilisée par PMI (Precision Monolithics Inc.).

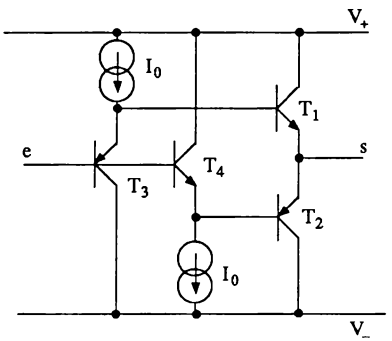


Figure 6.30

6.2.2. TECHNOLOGIE MOS

La technologie MOS est de plus en plus utilisée dans les circuits intégrés analogiques malgré les imperfections des transistors MOS comparés aux transistors bipolaires (faible pente, forte résistance drain-source, relativement forte résistance R_{on}). Son avantage incontesté est la facilité et la forte densité d'intégration. Citons :

— les amplificateurs opérationnels à très faible consommation (au détriment du slew rate et du produit gain x bande passante),

— les commutateurs analogiques,

— les filtres et autres fonctions à capacités commutées.

6.2.2.1. Composants de base

La technologie des composants de base est très diversifiée. Elle repose sur deux grandes familles : la famille NMOS (transistors NMOSE et NMOSD) et la famille CMOS (transistors NMOSE et PMOSE), avec toutes les variantes possibles :

— substrat massif *N* ou *P*, substrat isolé, substrat épitaxié,
— isolement par tranchée, isoplanar, LOCOS (*Local oxidation*),
— caisson *N*, caisson *P*, double caisson,
— grille en aluminium, en silicium polycristallin dopé, en métal réfractaire.

Une étude détaillée de tous les processus de fabrication serait certes, très intéressante, mais cela sortirait du cadre de cet ouvrage. Nous indiquons toutefois quelques principes de réalisation.

— **Figure 6.31.** C'est la réalisation des deux transistors NMOS : l'un à enrichissement, l'autre à déplétion. L'isolation entre les deux composants est réalisée par une oxydation locale (LOCOS). La connexion du substrat (B_p = bulk *P*) est sortie. La grille est en silicium polycristallin.

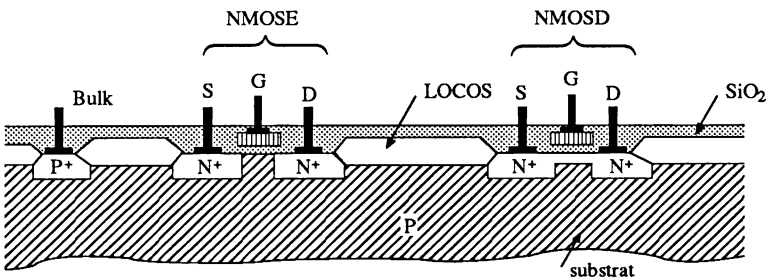


Figure 6.31

— **Figure 6.32.** Cette figure indique comment sont réalisés deux transistors complémentaires à enrichissement canal *N* et canal *P* (technologie CMOS). Le substrat étant de type *P*, le caisson du PMOSE est obligatoirement de type *N*. Les deux connexions du substrat B_p et B_n sont sorties.

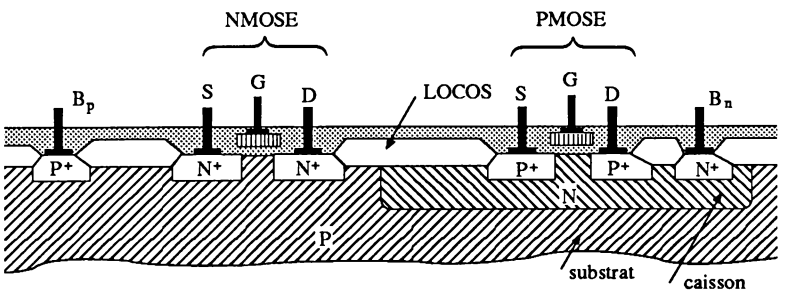


Figure 6.32

— **Figure 6.33.** Elle présente la manière d'obtenir des résistances de faibles et fortes valeurs (de 10 Ω à quelques dizaines de kiloohms).

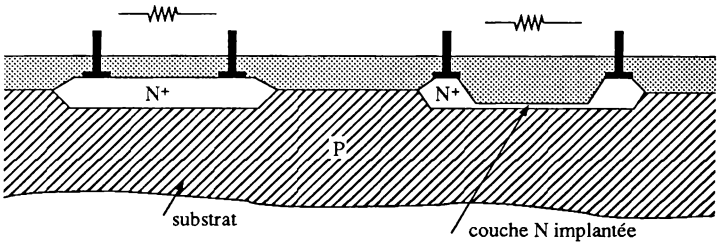


Figure 6.33

Dans certains cas particuliers, on utilise le silicium polycristallin ou la zone résistive d'un transistor MOS.

Les capacités sont en général obtenues à partir du même principe que celui exposé sur la figure 6.8. On obtient des valeurs extrêmement précises, ceci à cause d'une technologie avancée, imposée par la technique des capacités commutées (dans ce cas, on considère un rapport de capacités $\frac{C_1}{C_2} = \frac{C_{ox} S_1}{C_{ox} S_2}$).

6.2.2.2. Fonctions de base

Les fonctions de base sont très nombreuses. Elles correspondent à l'association de transistors MOS travaillant dans la zone linéaire, c'est-à-dire

$$V_{DS} > (V_{GS} - V_T).$$

Rappelons les paramètres principaux des transistors MOS, lorsque le substrat est à un potentiel différent de celui de la source (revoir la figure 4.19 ainsi que les exercices du paragraphe 4.1.5). Les caractéristiques des différentes fonctions sont souvent associées aux rapports des surfaces du canal l / L.

— **Tension de seuil pour $V_{SB} = 0$**

$$V_{TO} = V_{BP} + 2\,\varnothing_F + K\sqrt{2\,\varnothing_F}$$

avec

$$V_{BP} = \frac{W_m - W_s}{q} - q\frac{N_{ox}}{C_{ox}}$$

$$\varnothing_F = \frac{kT}{q} \ln \frac{N_A}{n_i}$$

$$K = \frac{1}{C_{ox}} \sqrt{2\,\varepsilon\, q\, N_A}$$

— **Tension de seuil pour $V_{SB} \neq 0$**

$$V_T = V_{TO} + K\,[\sqrt{2\,\varnothing_F + V_{SB}} - \sqrt{2\,\varnothing_F}]$$
$$\simeq V_{TO} + 0{,}25\,\sqrt{V_{SB}}$$

— **Courant dans la zone saturée**

$$I_{D_{sat}} = \frac{l}{L} \cdot \frac{\mu_n\, C_{ox}}{2} (V_{GS} - V_T)^2$$

— **Transconductance $g = \mathrm{d}\, I_D / \mathrm{d}\, V_{GS} = \dfrac{i_d}{v_{gs}}$ à $v_{sb} = 0$**

$$g = 2\sqrt{\frac{l}{L}\,\frac{\mu_n\, C_{ox}}{2}\, I_{D0}}$$

— **Transconductance $g_b = \mathrm{d}\, I_D / \mathrm{d}\, V_{SB} = \dfrac{i_d}{v_{sb}}$ à $v_{gs} = 0$**

$$g_b = -\frac{K/2}{\sqrt{2\,\varnothing_F + V_{SB0}}} \cdot g$$

— **Conductance de sortie $g_{os} = \dfrac{1}{r_{ds}}$**

$$r_{ds} = \frac{1 + \lambda\, V_{DS}}{\lambda\, I_{D0}} \simeq \frac{1}{\lambda\, I_{D0}}$$

avec $$\lambda = \frac{1}{V_X} \simeq 0{,}3\, L << 1.$$

— **Capacités C_{gs} et C_{gd}**

$$C_{gs} = l\, L\, C_{ox} \qquad \text{et} \qquad C_{gd} < C_{gs}.$$

Remarque. Pour tous les montages qui vont suivre, nous fournissons les caractéristiques dynamiques. Le lecteur pourra les retrouver en établissant le schéma équivalent en régime variable dont les nombreux exemples sont fournis dans la section 4.4.

A. Sources de tension. De nombreux schémas permettent d'obtenir des sources de tension et non des références de tension à cause de leur dépendance de la tension d'alimentation.

— **Figure 6.34.** Le transistor à déplétion NMOSD (N_2) impose un courant de polarisation

$$I_0 = (l/L)_2\, \frac{\mu_n\, C_{ox}}{2}\, V_{T2}^2.$$

La tension V_1 est alors stabilisée à

$$V_1 \simeq V_{T1} + |V_{T2}| \sqrt{\frac{(l/L)_2}{(l/L)_1}}$$

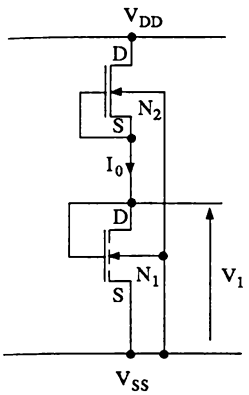


Figure 6.34

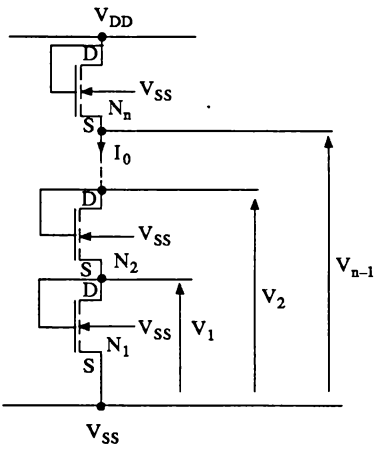


Figure 6.35

— **Figure 6.35.** La mise en série de plusieurs transistors permet d'obtenir différentes sources de tension dont les valeurs sont obtenues à partir des systèmes d'équations

$$\begin{aligned} I_0 &= \frac{\mu_n C_{ox}}{2}\left(\frac{l}{L}\right)_1 (V_1 - V_{T1})^2 \\ &= \frac{\mu_n C_{ox}}{2}\left(\frac{l}{L}\right)_2 (V_2 - V_1 - V_{T2})^2 \\ &= \dots \end{aligned}$$

et

$$\begin{aligned} V_{T1} &= V_T \\ V_{T2} &= V_T + K\left[\sqrt{2\,\varnothing_F + V_1} - \sqrt{2\,\varnothing_F}\right] \\ V_{T3} &= \dots \end{aligned}$$

Remarque. Dans le cas des sources de tension à deux transistors, on peut définir V_1 à l'aide des caractéristiques. La figure 6.36 fournit cette valeur pour la source de tension de la figure 6.34. A partir des caractéristiques du transistor T_1, on déduit I_{D1} (V_{DS}) lorsque $V_{GS} = V_{DS}$ puis on trace I_{D2} (V_{DS}) de T_2 à partir du point $V_{DS} = V_{DD}$ (revoir les figures 4.141 et 4.146).

D'autres sources de tension peuvent être obtenues en utilisant le couplage CMOS à enrichissement – CMOS à déplétion.

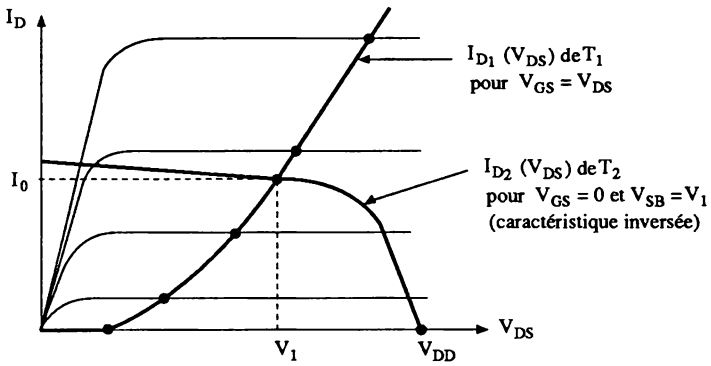


Figure 6.36

B. Miroirs de courant. Les miroirs de courant servent à réaliser des sources de courant permettant de charger les étages amplificateurs. Comme pour les transistors bipolaires, plusieurs solutions sont proposées. Elles se différencient par la valeur de la résistance dynamique interne à la source r_i.

— **Figure 6.37.** Elle représente le principe de base du miroir de courant utilisant deux transistors NMOSE. Si les deux transistors sont identiques, nous obtenons $I_0 = I$. Si les surfaces de chaque canal l/L sont différentes, alors nous aurons, en première approximation

$$I_0 = I \frac{(l/L)_2}{(l/L)_1}$$

et, avec plus d'exactitude

$$I_0 = I \frac{(l/L)_2 (1 + \lambda V_{DS_2})}{(l/L)_1 (1 + \lambda V_{DS_1})}$$

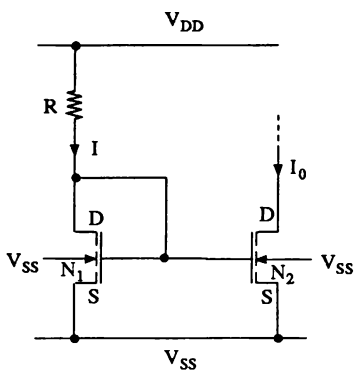


Figure 6.37

La résistance interne de cette source est

$$r_i = r_{ds2} = \frac{1}{g_{os2}} = \frac{1 + \lambda V_{DS2}}{\lambda I_{D0}} \simeq \frac{1}{\lambda I_{D0}}$$

La valeur du courant I peut être obtenue en traçant la caractéristique du transistor N_1, I_{D1} (V_{DS}) pour $V_{GS} = V_{DS}$ et la droite de charge associée à R coupant l'axe des abscisses à la valeur $V_{DD} - V_{SS}$ et l'axe des ordonnées à la valeur $\frac{V_{DD} - V_{SS}}{R}$. Le point de rencontre de cette droite avec la caractéristique précédente nous fournit le couple de valeurs I et $V_{DS} = V_{GS}$.

— **Figure 6.38.** Elle correspond à la figure précédente, en remplaçant la résistance R par un transistor NMOSD (figure 4.141) ou PMOSE (figure 4.143) équivalents tous les deux à une source de courant I' en parallèle avec leur résistance $r_{ds} = \frac{1}{g_{os}}$ ou, dans certains cas, un transistor NMOSE (figure 4.142) fonctionnant en résistance équivalente. Un tracé de fonctions, identique à ceux déjà vus, permet d'obtenir les valeurs de I et $V_{DS1} = V_{GS1} = V_{GS2}$. Les courants I et I_0 sont toujours liés au rapport des dimensions de chaque canal (en général, au rapport des largeurs l).

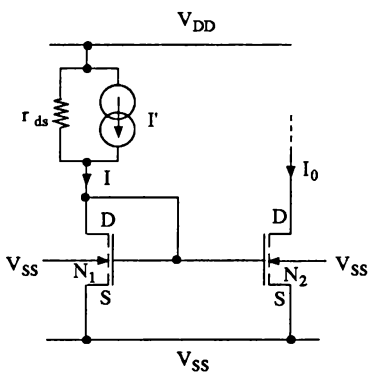


Figure 6.38

— **Figure 6.39.** Ce miroir de courant ressemble à celui de la figure 6.15. Pour obtenir la valeur du courant I, il faut tracer la caractéristique I_{D2} (V_{DS}) du transistor N_2 pour $V_{GS} = V_{DS}$. Comme le transistor N_3 est parcouru par le même courant, en négligeant l'influence du substrat, on obtient une tension $V_2 = 2\ V_1$. On trace alors une caractéristique issue de la précédente, en doublant les valeurs de V_{DS} pour un même courant I_D. La valeur I_0 correspond au point de rencontre de cette dernière caractéristique avec celle du transistor

« polarisant » (I', r_{ds}). On admet que $I_0 = I$ si les dimensions du canal l/L sont identiques. La résistance interne de cette source est

$$r_i \simeq g_1 \, r_{ds1} \left(\frac{g_3}{g_2} \right) r_{ds3}$$

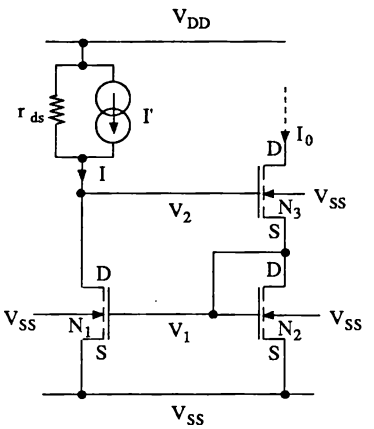


Figure 6.39

— **Figure 6.40.** Ce miroir de courant cascode ressemble à celui de la figure 6.16. Sa résistance interne est très élevée

$$r_i \simeq g_3 \, r_{ds2} \, r_{ds3}$$

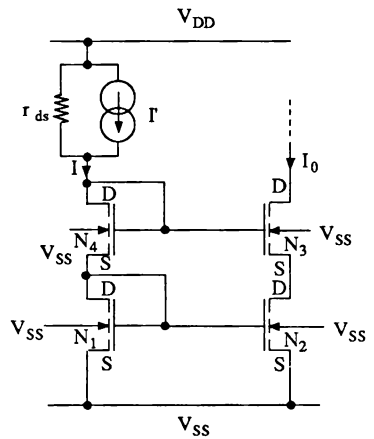


Figure 6.40

C. Étages amplificateurs. Rappelons que les étages amplificateurs à transistors MOS en source commune présentent des gains en tension faibles par rapport à

ceux des émetteurs communs. Comme pour ces derniers, la réponse en fréquence est très sensible à l'effet Miller (capacité parasite C_{gd} ramenée à l'entrée). Pour ces étages intermédiaires, **on donne l'expression du gain en tension à vide, puis la fonction de transfert, en incluant la charge uniquement capacitive.**

— **Figure 6.41.** Ce schéma a déjà été étudié en statique sur la figure 4.154. Le gain en tension G_{V0} est alors

$$G_{V0} = -\frac{g_1}{g_2 + g_{os1} + g_{os2} + |g_{2b}|}$$

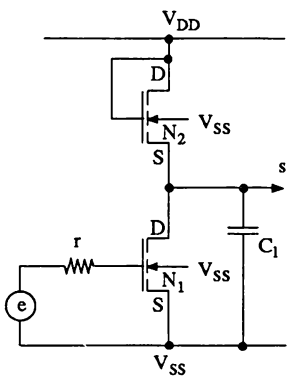


Figure 6.41

Si $g_{os1} = 0$ ($r_{ds1} = \infty$), $g_{os2} = 0$ ($r_{ds2} = \infty$) et g_{2b} d'influence négligeable, alors

$$G_{V0} \simeq -\frac{g_1}{g_2} = -\sqrt{\frac{(l/L)_1}{(l/L)_2}}$$

Ce montage à faible gain en tension est amélioré en utilisant comme charge active un transistor NMOSD (figure 4.153). Alors le gain en tension est

$$G_{v0} = -\frac{g_1}{g_{os1} + g_{os2} + |g_{2b}|}$$

Dans ce cas, si $g_{os1} = 0$ ($r_{ds1} = \infty$), $g_{os2} = 0$ ($r_{ds2} = \infty$) et g_{2b} d'influence négligeable, nous obtenons

$$G_{V0} \to \infty.$$

On peut aussi, en technologie CMOS, utiliser comme charge active un transistor PMOSE polarisé par une source de tension (figure 4.149). Le gain en tension s'écrit

$$G_{V0} = -\frac{g_1}{g_{os1} + g_{os2}}$$

Remarque importante. Si, dans tous les cas précédents, le transistor N_2 est chargé par une source de courant parfaite (résistance interne infinie), le gain en tension réel s'écrit

$$G_{v0} = -g_1 r_{ds} = -\frac{g_1}{g_{os1}} = -\frac{2\sqrt{(l/L)_1 \frac{\mu_n C_{ox}}{2} I_{D0}}}{\lambda I_{D0}}$$

$$G_{v0} \simeq -\frac{2}{\lambda (V_{GS} - V_T)}$$

Alors sa valeur se situe entre – 30 et – 100. La réponse en fréquence de ces amplificateurs est associée à la valeur des capacités parasites. La figure 6.42 représente le schéma équivalent en régime variable de la figure 6.41. Après déplacement de la capacité C_{gd1} par effet Miller (en utilisant le gain statique G_{v0}), on obtient une fonction de transfert classique du type

$$\frac{S(p)}{E(p)} = -G_{V0} \frac{1}{(1 + \tau_e p)(1 + \tau_s p)}$$

où τ_e et τ_s représentent les constantes de temps de l'entrée et de la sortie.

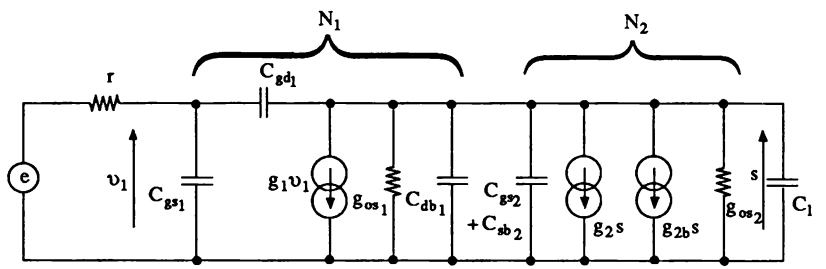


Figure 6.42

— **Figure 6.43.** Dans cette technologie CMOS, le transistor source commune N_1 est chargé par la source du courant P_1 issue du miroir de courant $P_3 - P_2 - P_1$ où les courants de polarisation I_2 et I_1 dépendent de I. Le gain statique en courant est

$$G_{V0} = -\frac{g_1}{g_{osN1} + g_{osP1}}$$

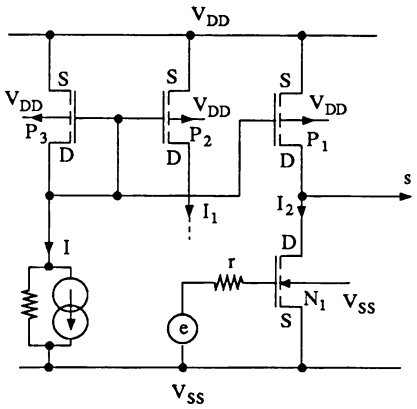


Figure 6.43

— **Figure 6.44.** C'est l'amélioration des montages précédents utilisant un montage cascode (N_2 est polarisé par la source de tension V_1) chargé par N_3 travaillant en source de courant (technologie NMOS). Sans le transistor N_4, le gain en tension est

$$G_{V0} = -\frac{g_1 r_{ds3}}{1 + g_{3b} r_{ds3}}$$

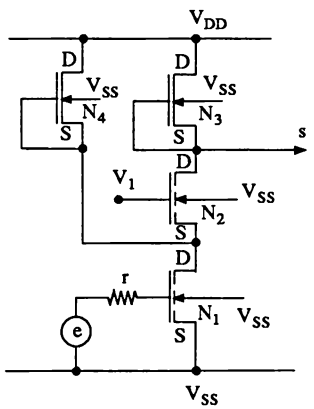


Figure 6.44

On augmente le gain en tension en imposant au transistor N_1 un courant de polarisation plus important, fourni par la source N_4 (g_1 est proportionnel à $\sqrt{I_{D1}}$).

Rappelons que le montage cascode permet de diminuer très fortement l'effet Miller.

D. Amplificateurs différentiels. Là aussi, de nombreux schémas sont utilisés.

— **Figure 6.45.** Les charges N_3 et N_4 travaillent en résistances équivalentes. Leur schéma en régime variable fournit

$$g_\ell = g_3 + g_{os3} + |g_{3b}| = g_4 + g_{os4} + |g_{4b}|$$

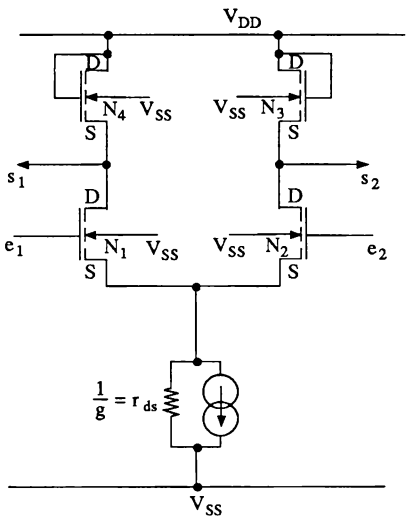


Figure 6.45

En tenant compte de $g_{os1} = g_{os2}$ et de r_{ds}, les expressions des gains différentiels et de mode commun sont compliquées. On admet alors

$$s_1 = -\frac{g_1}{2\,g_\ell}(e_1 - e_2) - \frac{g}{4\,g_\ell}\left(\frac{e_1 + e_2}{2}\right)$$

et

$$s_2 = +\frac{g_1}{2\,g_\ell}(e_1 - e_2) - \frac{g}{4\,g_\ell}\left(\frac{e_1 + e_2}{2}\right)$$

Le taux de réjection de mode commun s'écrit

$$TRMC = 20 \log \frac{A_d}{A_c} = 20 \log \frac{2\,g_1}{g}$$

Remarques

• Le gain en tension différentiel est associé à la dimension du canal de chaque transistor (N_4 ou N_3 par rapport à N_1 ou N_2)

$$A_d = \frac{s_2 - s_1}{e_2 - e_1} = \sqrt{\frac{(l/L)_{1-2}}{(l/L)_{3-4}}}$$

Sa valeur ne dépasse pas 10 à 15.

• Si on remplace les transistors NMOSE par des transistors NMOSD travaillant en source de courant ($V_{GS} = 0$), on augmente le gain en tension car

$$g_\ell = g_3 + |g_{3b}| = g_4 + |g_{4b}|$$

— **Figure 6.46.** Cette figure représente un amplificateur différentiel bien particulier puisque les entrées s'effectuent sur des montages drain commun chargés par des sources de courant. L'avantage de cet étage est sa grande dynamique de mode commun en entrée. L'expression de la sortie est

$$s \simeq -\frac{1}{2}\left(\frac{g_4}{g_2} + 1\right)(e_1 - e_2) + \frac{1}{2}\left(\frac{g_4}{g_2} - 1\right)\left(\frac{e_1 + e_2}{2}\right)$$

Si $g_4 = g_2$, nous obtenons

$$A_d = -1 \qquad \text{et} \qquad TRMC = \infty.$$

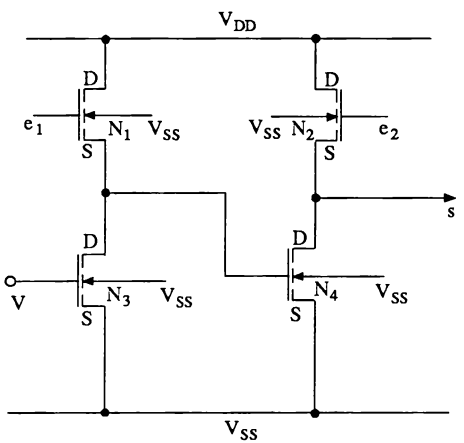


Figure 6.46

— **Figure 4.192** (paragraphe 4.4.7). C'est l'amplificateur différentiel chargé par un miroir de courant classique. Il permet de gagner un coefficient 2 sur la transconductance par rapport au schéma de la figure 6.45. Le schéma équivalent en régime variable permet d'obtenir s (sur le drain N_2).

$$s = +\frac{g_{N1-2}}{g_{osP2} + g_{osN1-2}}(e_1 - e_2) - \frac{g \cdot g_{osN1-2}}{2\, g_{P1}\,(g_{osP2} + g_{osN1-2})}\left(\frac{e_1 + e_2}{2}\right)$$

Le taux de réjection en mode commun est

$$TRMC = 20 \log 2\, \frac{g_{1-2}\, g_{P1}}{g \cdot g_{osN1-2}}$$

avec g, conductance de la source I_0.

E. Amplificateurs de sortie. Les amplificateurs de sortie sont du type drain commun, inverseur CMOS ou push-pull polarisé en classe AB. Plus rarement, on peut trouver un montage source commune chargé par une source de courant.

— **Figure 6.47.** Ces étages de sortie en technologie NMOSE travaillent en drain commun. Le transistor N_2 est chargé par une source de courant ou une résistance équivalente. Dans les trois cas, on admet en première approximation (pour des petits signaux)

$$G_{V0} = \frac{s}{e} \simeq 1 \qquad \text{et} \qquad R_s \simeq \frac{1}{g_2}$$

Une dissymétrie apparaît en grands signaux :
— pour les variations positives de la sortie, le courant i_s est fourni par le transistor N_2,
— pour les variations négatives de la sortie, le courant i_s est fourni par N_1 (source de courant ou résistance équivalente).

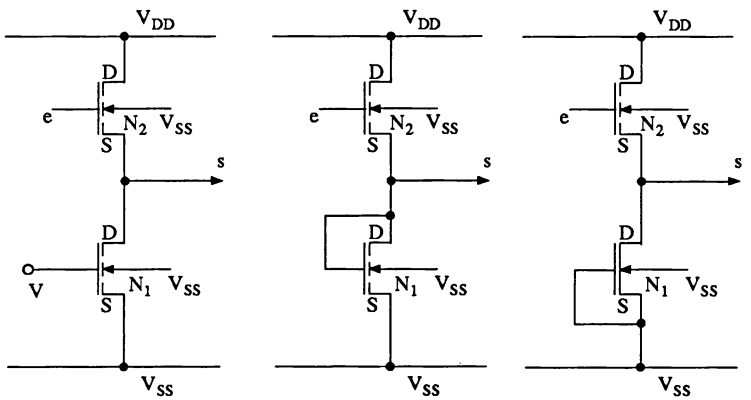


Figure 6.47

— **Figure 4.187** (paragraphe 4.4.7). C'est l'inverseur CMOS travaillant en amplificateur symétrique. L'exercice correspondant à l'étude de ce montage nous fournit

$$G_{V0} = -\frac{g}{g_{os}} \simeq 20 \qquad \text{et} \qquad R_s \simeq \frac{1}{2\,g_{os}} \simeq 10\ \text{k}\Omega$$

— **Figure 6.48.** On utilise, dans certains cas, un étage de sortie partiellement contre-réactionné. Les caractéristiques sont

$$G_{V0} \simeq \frac{g_1 / g_2}{1 + g_4 / g_3} \qquad \text{et} \qquad R_s \simeq \frac{1}{g_3 + g_4}$$

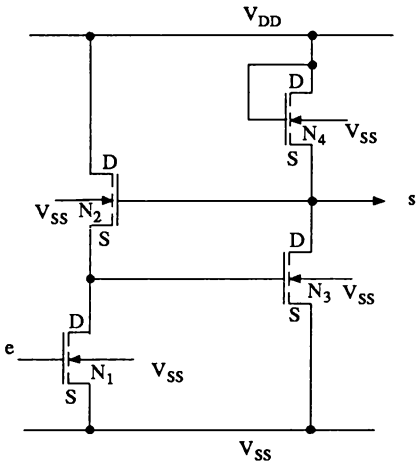


Figure 6.48

— **Figure 6.49.** C'est la « copie » du push-pull à transistors bipolaires. Les transistors N_1 et P_1 de l'étage de sortie sont polarisés en classe AB par les transistors P_2 et N_3. Le transistor N_2 travaillant en source commune est chargé par la source de courant P_3 (on pourrait intervertir les rôles : signal d'entrée sur P_3 et polarisation de N_2 par une source contrôlée). Les caractéristiques de l'ensemble sont

$$G_{V0} \simeq \frac{g_{N2}}{g_{osP3}} \quad \text{et} \quad R_s \simeq \frac{1}{g_{osN1} + g_{osP1}}$$

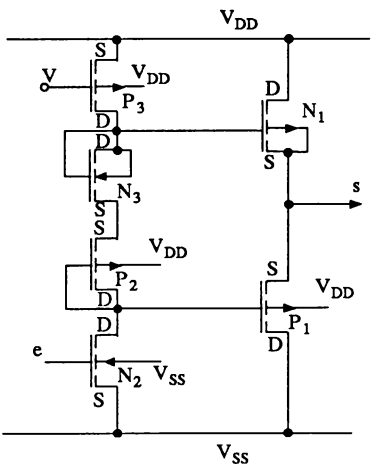


Figure 6.49

6.2.3. TECHNOLOGIE BIFET ET BIMOS

6.2.3.1. Technologie BIFET

La technologie BIFET est surtout utilisée dans les amplificateurs opérationnels (à partir de la deuxième génération – voir ouvrage *Amplificateurs opérationnels*, tome 1). Transistors bipolaires et transistors JFET se côtoient, chacun d'entre eux étant implanté dans un caisson *N*, à partir d'un substrat *P* (figure 6.50). Dans ces conditions, les transistors JFET présentent un canal *P* implanté ioniquement, ce qui permet un contrôle très efficace du dopage.

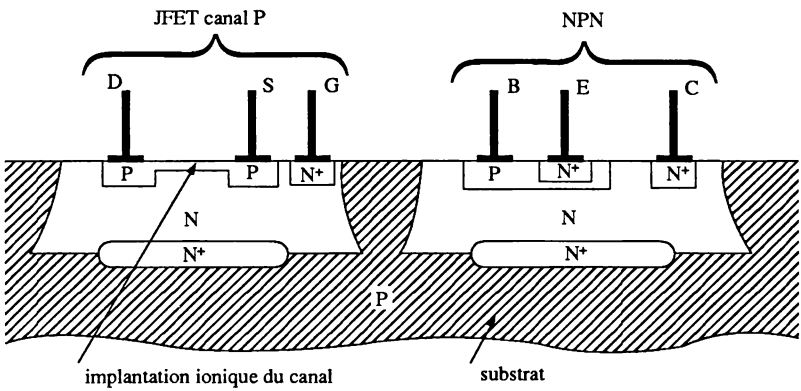


Figure 6.50

Dans cette technologie, les transistors JFET sont surtout utilisés comme éléments de l'amplificateur différentiel d'entrée. Cela permet :

— une très grande impédance d'entrée (10^{10} à 10^{12} Ω),

— des courants de polarisation très faibles à 25°C (10 à 100 pA),

— dans certains cas, une meilleure vitesse de balayage (slew rate) ainsi qu'un meilleur produit gain x bande passante.

Par contre, malgré l'implantation ionique, la tension d'offset reste supérieure à celle des bipolaires. On rencontre :

— des amplificateurs différentiels à JFET canal *P* chargés par deux sources de courant, elles aussi à JFET canal *P* (BIFET de chez NS). Le second étage est un amplificateur différentiel à transistors bipolaires (voir exercice associé à la figure 4.180) ;

— des amplificateurs différentiels à JFET canal *P* chargés par un miroir de courant à transistors bipolaires (BIFET de chez Texas Instrument) ; le second étage est un émetteur commun classique ;

— plus rarement des amplificateurs différentiels cascodes (figure 4.183). Ils permettent d'améliorer la bande passante du premier étage.

Les transistors JFET sont aussi utilisés comme source de courant ou comme élément du push-pull de sortie.

6.2.3.2. Technologie BIMOS

Cette technologie, émanant de la société RCA, diffère de la technologie MOS par le fait que l'étage intermédiaire est un émetteur commun à transistor bipolaire, ceci afin d'obtenir un très grand gain en tension.

L'étage différentiel d'entrée utilise des transistors NMOSE chargés par un miroir de courant à transistors bipolaires (l'impédance d'entrée évolue entre 10^{12} et 10^{14} ohms et les courants de polarisation sont inférieurs au picoampère).

L'étage de sortie est à transistors bipolaires (CA3140) ou CMOS (CA3130).

6.2.4. QUELQUES EXEMPLES DE FONCTIONS LINÉAIRES

Les fabricants de circuits intégrés linéaires fournissent le schéma interne (complet ou simplifié) de chaque fonction. Il est souvent intéressant de le consulter afin de comprendre certains phénomènes lorsque le circuit est utilisé en régime linéaire (contre-réactionné) ou non linéaire. Nous ne donnons dans ce paragraphe que quelques exemples d'amplificateurs opérationnels. Bien d'autres exemples sont présentés dans les ouvrages de cette collection.

6.2.4.1. Comparaison des technologies bipolaires et MOS

La figure 6.51 représente deux amplificateurs opérationnels programmables, l'un en technologie MOS, l'autre en technologie bipolaire. Tous les deux comportent huit transistors et une capacité de compensation.

— **Technologie MOS.** L'étage différentiel à transistors PMOSE (P_1 et P_2) est polarisé par la source de courant P_3 et chargé par le miroir de courant $N_1 - N_2$. Il pilote l'étage de sortie fonctionnant en source commune où le transistor N_3 est chargé par la source de courant P_5. Le courant dans P_5 est plus important que celui circulant dans P_3 (rapport l / L différent). La polarisation I_0 extérieure permet de contrôler la consommation de l'amplificateur opérationnel au repos. Si $I_0 = 0$, l'ensemble est bloqué et le dernier étage est en haute impédance.

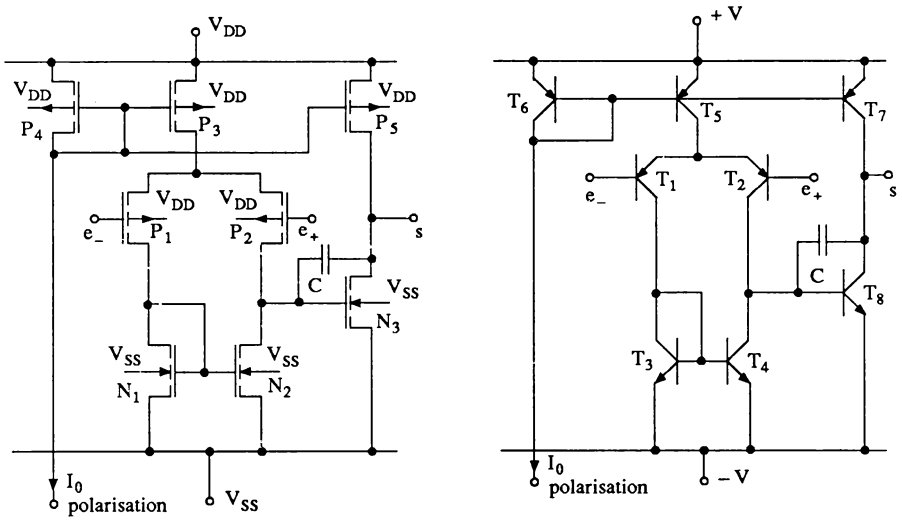


Figure 6.51

— **Technologie bipolaire.** L'amplificateur différentiel à transistors *PNP* est polarisé par la source de courant T_5 et chargé par le miroir de courant $T_3 - T_4$. Il est suivi par l'étage de sortie où T_8 travaille en émetteur commun et est chargé par la source de courant T_7. Pour que T_5 soit parcouru par un courant plus faible que celui de T_7, il faut : soit diminuer sa surface d'émetteur, soit intercaler entre la ligne d'alimentation V_+ et son émetteur, une résistance (voir paragraphe 6.2.1.2–B). Le courant I_0 polarise l'ensemble et permet une haute impédance de sortie lorsqu'il est nul.

6.2.4.2. Amplificateur opérationnel bipolaire 741

— **Figure 6.52** (National Semiconductor). Le circuit de polarisation est constitué d'une série de miroirs de courants commandés par R_5. T_{13}, à l'image de T_{12}, polarise l'émetteur commun intermédiaire (Darlington $T_{15} - T_{14}$), T_{10} à l'image de T_{11} polarise T_9 donc T_8. Remarquons que le courant dans $T_{10} - T_9 - T_8$ est plus faible que le courant dans $T_{11} - T_{12} - T_{13}$ à cause de la présence de R_4.

L'amplificateur différentiel d'entrée est constitué des collecteurs communs T_1 et T_2 pilotant des « bases communes » T_3 et T_4. L'ensemble est chargé par le miroir de courant $T_5 - T_6 - T_7$. L'étage intermédiaire (Darlington $T_{15} - T_{14}$) fonctionnant en émetteur commun, chargé par la source de courant T_{13}, pilote le push-pull $T_{18} - T_{19}$ polarisé par T_{16}. Les transistors T_{17} et T_{20} permettent de limiter le courant de surcharge en sortie et de protéger T_4.

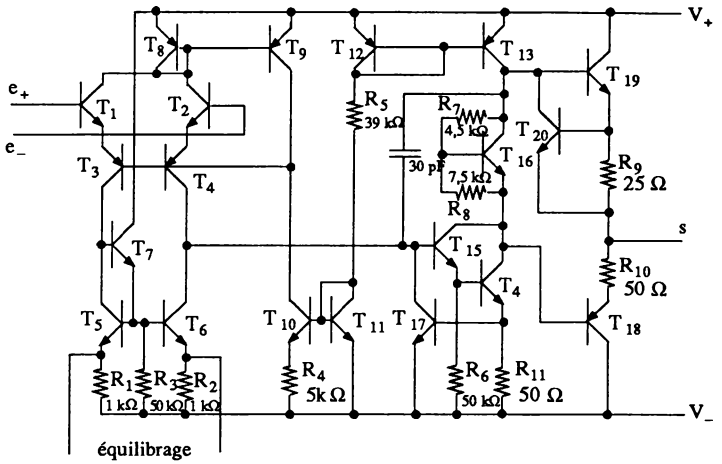


Figure 6.52

— **Figure 6.53** (Texas Instrument). Il est intéressant de constater que, pour une même référence de circuit (741), les constructeurs peuvent utiliser des schémas différents.

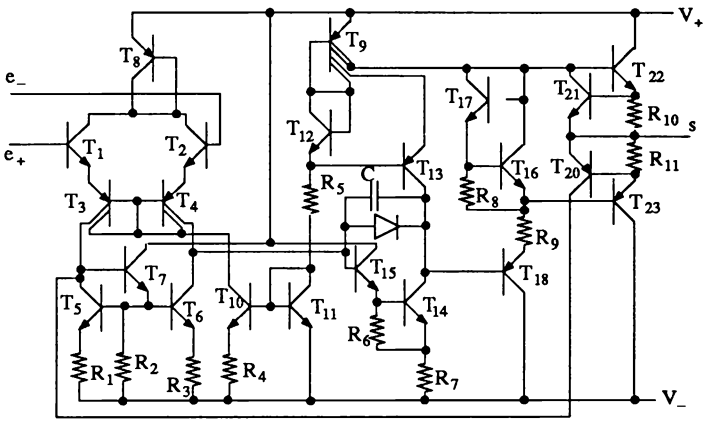


Figure 6.53

La résistance R_5 polarise le miroir de courant $T_{11} - T_{10}$ (qui, lui-même, polarise les transistors multicollecteurs $T_3 - T_4$) et le transistor multicollecteur T_9. L'amplificateur différentiel d'entrée est constitué des collecteurs communs T_1 et T_2 pilotant les transistors à couplage par les bases $T_3 - T_4$, chargés par le miroir de courant $T_5 - T_6 - T_7$. Cet étage est suivi du collecteur commun T_{15}, de l'émetteur commun T_{14} (chargé par la source de courant supplémentaire T_{13}), du collecteur commun T_{18} (polarisé par T_9), puis du push-pull $T_{22} - T_{23}$.

La polarisation en classe B est assurée par $T_{16} - T_{17}$. La limitation contre les surcharges est assurée par T_{20} et T_{21}. Notons que, lorsque T_{20} conduit, il impose une plus grande conduction de T_7 donc l'abaissement du potentiel de la base de T_{15}.
Pour ces deux exemples de circuits, de référence identique, les caractéristiques sont sensiblement les mêmes (résistance d'entrée différentielle 1 MΩ, courant de polarisation 80 nA, slew rate ≃ 0,5 V/µs, produit gain x bande passante 1 MHz).

6.2.4.3. Amplificateur opérationnel BIFET, LT1055

La figure 6.54 représente cet amplificateur opérationnel fabriqué par Linear Technology. Les transistors JFET sont tous à canal *P*. La polarisation de l'ensemble est assurée par la source de courant T_6 polarisant le miroir de courant $T_7 - D_1$ puis T_8.

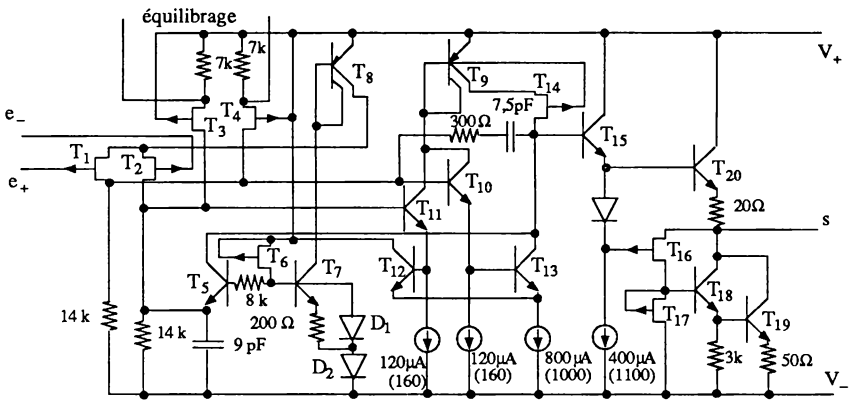


Figure 6.54 (extrait de Linear Technology)

L'amplificateur différentiel d'entrée $T_1 - T_2$ à couplage par les sources est polarisé par T_8. Il attaque les pseudo collecteurs communs $T_{10} - T_{11}$ pilotant l'amplificateur différentiel à transistors bipolaires $T_{12} - T_{13}$ (T_{13} est chargé par la double source de courant T_{14} en série avec T_9 afin d'obtenir une forte impédance). L'étage suivant est un collecteur commun T_{15} suivi du push-pull constitué de T_{20} et de $T_{16} - T_{18} - T_{19}$. T_{17} impose un fort courant dans T_{16} augmentant ainsi sa conductance. T_5 fait partie du circuit de stabilisation thermique de la polarisation. L'équilibrage d'offset s'effectue sur T_3 et T_4.

Citons quelques caractéristiques de cet amplificateur opérationnel : tension d'offset 50 µV, courant de polarisation 10 pA, gain en tension 400 000, slew rate 13 V/µs, produit gain x bande passante 5 MHz.

6.2.4.4. Amplificateur opérationnel CMOS, ICL7611

Ce circuit fabriqué par GE Intersil, est représenté sur la figure 6.55. Le circuit de polarisation est complexe car il est commun à d'autres références d'amplificateurs opérationnels de la même famille.

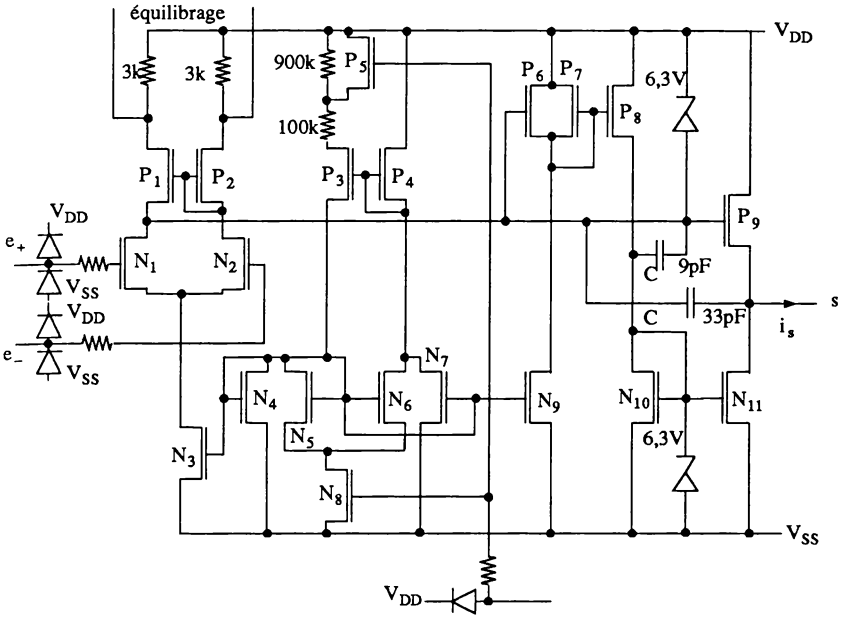


Figure 6.55
***Source* : Harris Intersil**

Le miroir de courant $P_3 - P_4$ polarise les deux autres miroirs $N_3 - N_4$ (pour l'amplificateur différentiel) et $N_5 - N_7 - N_9$ (pour l'amplificateur de sortie). La variation de la polarisation est assurée par $N_8 - N_5 - N_6$ et P_5 (amplificateur opérationnel programmable ou non). L'amplificateur différentiel $N_1 - N_2$ est chargé par le miroir de courant $P_1 - P_2$. Le drain de N_1 pilote directemet l'étage de sortie.

— Une variation négative fait plus conduire la source commune P_9 assurant le courant de sortie, et plus conduire P_6 diminuant ainsi le courant dans les miroirs $P_7 - P_8$ et $N_{10} - N_{11}$ (le courant sortant i_s vient de P_9).

— Une variation positive fait moins conduire P_9 et P_6 augmentant ainsi le courant dans les miroirs $P_7 - P_8$ et $N_{10} - N_{11}$ (le courant entrant i_s est assuré par N_{11}).

Donnons quelques caractéristiques de cet amplificateur opérationnel CMOS : impédance d'entrée 10^{12} Ω, courant de polarisation 1 pA, consommation programmée 20 µW, slew rate de 0,016 à 1,6 V/µs, produit gain x bande passante de 0,044 MHz à 1,4 MHz suivant la programmation.

6.3. COMMUTATEURS ANALOGIQUES

Malgré l'utilisation, dans certains cas, des composants discrets, nous classons cette rubrique dans la section circuits intégrés linéaires, à cause de l'intégration de l'ensemble commutateur et commande.

6.3.1. GÉNÉRALITÉS

Un commutateur analogique est un composant électronique permettant de transmettre, ou non, un signal analogique. Pour qu'il soit idéal, il faut :

— une résistance interne R_{on} nulle,
— une résistance interne R_{off} infinie,
— une tension d'offset nulle,
— un temps de réponse nul.

6.3.1.1. Composants utilisés

Les composants utilisés sont :
— les relais Reed constitués de lames souples logées dans une ampoule de verre remplie de gaz neutre. Les contacts se ferment sous l'action d'un champ magnétique créé par un bobinage pouvant être commandé par une logique TTL,
— les transistors bipolaires dont l'inconvénient est la forte tension d'offset,
— les transistors à effet de champ (composants les plus utilisés).

Parmi les transistors à effet de champ, on rencontre :
— les JFET présentant une faible résistance, de valeur constante,
— les MOSFET faciles à commander, mais de résistance interne plus importante que pour les JFET et souvent variable,
— les optocoupleurs diode-JFET (présentés succinctement au chapitre 5), permettant une bonne symétrie.

6.3.1.2. Domaines d'application des commutateurs analogiques

Les domaines d'application sont très variés. Citons :
— commutation des signaux vidéofréquences, radiofréquences dans les récepteurs,
— multiplexage de signaux analogiques issus de capteurs,
— programmation de fonctions analogiques (amplificateurs, intégrateurs, filtres, etc.),
— amplificateurs à découpage (voir ouvrage *Amplificateurs opérationnels*),

— échantillonneurs-bloqueurs,
— convertisseurs numérique-analogiques,
— fonctions à capacités commutées (filtres, alimentations, etc.),
— démodulateurs synchrones, comparateurs de phase, etc.

6.3.1.3. Schémas équivalents statiques d'un commutateur à transistors à effet de champ

A. **État bloqué** (figure 6.56). On tient compte des courants de fuite I_S entre source et masse et I_D entre drain et masse. La valeur de ces courants varie entre 1 pA et 1 nA. La résistance R_{off} se situe entre 10^{10} Ω et 10^{12} Ω. Dans cet état, le transistor peut supporter une tension V_{DS} positive et négative, comprise entre quelques volts et une dizaine de volts.

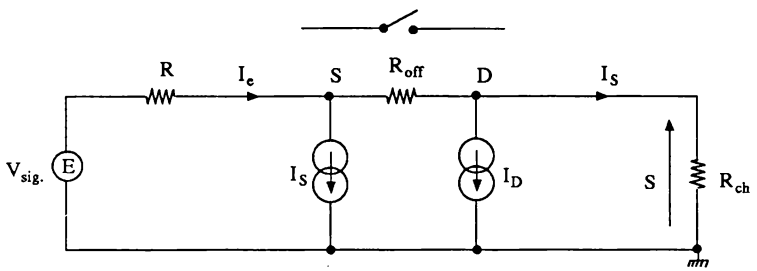


Figure 6.56

B. **État conducteur** (figure 6.57). On remplace dans ce cas, la résistance R_{off} par la résistance R_{on} dont la valeur évolue de quelques ohms à quelques centaines d'ohms pour les JFET et d'environ cent ohms à quelques milliers d'ohms pour les MOSFET. En fonctionnement normal, nous avons $|V_{DS}| \simeq 0$.

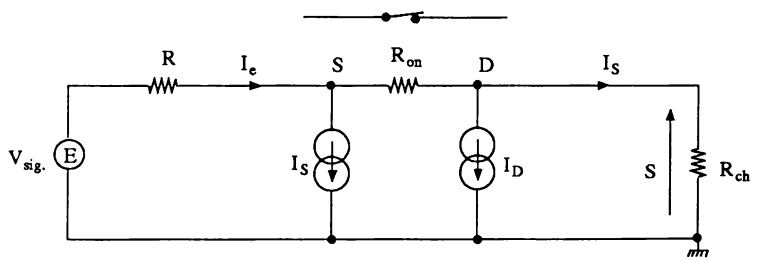


Figure 6.57

6.3.1.4. Schémas équivalents dynamiques d'un commutateur à transistor à effet de champ

La figure 6.58 représente un tel schéma pour les deux cas : bloqué ($r_{ds_{off}}$) ou conducteur ($r_{ds_{on}}$). Nous avons volontairement supprimé les générateurs de courant de fuite. Les éléments parasites principaux sont les capacités interélectrodes C_{gs}, C_{gd}, C_{ds}, la capacité du circuit de commande entre le commutateur et la masse et les capacités non représentées $C_{sb} = C_{sm}$ et $C_{db} = C_{dm}$ entre source et masse puis entre drain et masse lorsque le substrat (bulk) est relié à la masse **en dynamique** (pour les MOS). Ces capacités imposent une réponse en fréquence du type

$$\frac{S(p)}{E(p)} = \frac{R_{ch}}{r + r_{ds_{on}} + R_{ch}} \cdot \frac{1}{(1 + \tau_1 p)(1 + \tau_2 p)(\ldots}$$

dont les constantes de temps τ_i sont plus ou moins faciles à déterminer en fonction des approximations possibles.

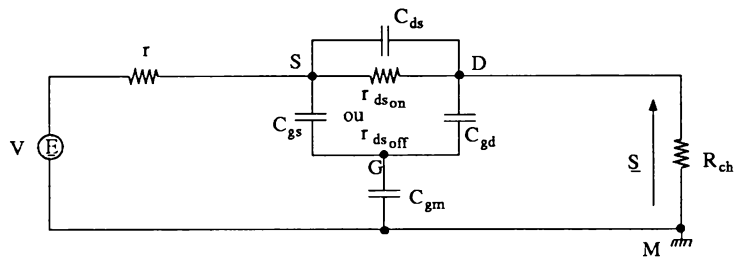


Figure 6.58

Remarques

— Indépendamment des constantes de temps précédentes, les commutateurs sont aussi définis par leurs temps de commutation t_{on} et t_{off} mesurés pour une charge résistive et capacitive de caractéristiques données.

— Les commutateurs JFET permettent, en général, des courants plus importants (plusieurs dizaines de mA).

6.3.1.5. Caractéristiques utilisées

Il faut considérer pour chaque type de transistor :

— les caractéristiques I_D (V_{DS}) avec V_{DS} positif et négatif, afin de définir l'amplitude maximale du signal à commuter,

— la caractéristique g_{ds} (V_{GS}) dans la zone ohmique permettant de connaître la valeur de r_{ds} en fonction de l'évolution du potentiel de la source associée à l'évolution du signal à commuter.

Les caractéristiques des transistors canal *P* sont symétriques de celles des transistors canal *N*.

A. Caractéristiques I_D (V_{DS})

• **Transistor JFET.** La figure 6.59 est un rappel de la figure 4.50C, pour un transistor 2N4393. On voit que le transistor admet à ses bornes une tension $V_{DS} = \pm 5$ V lorsque $V_{GS} = -6$ V ($V_{GS_{off}} = -2$ V). Le transistor conduit pour $V_{GS} \simeq 0$, alors $|V_{DS}| \simeq 0$.

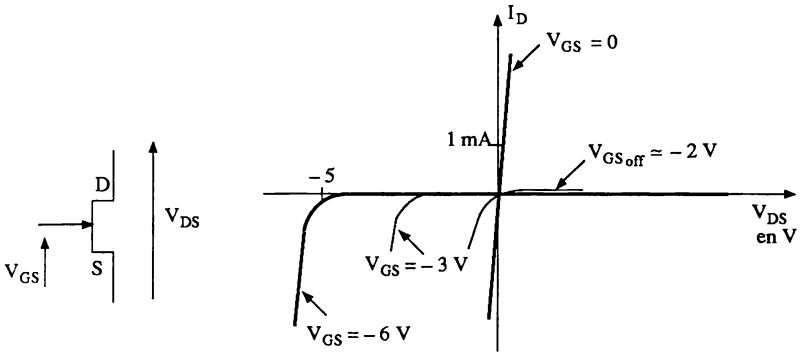


Figure 6.59

• **Transistor MOS à enrichissement** (MOSE). La figure 6.60 est un rappel de la figure 4.55 avec $V_{SB} = 10$ V. Le transistor admet à ses bornes une tension $V_{DS} = \pm 10{,}6$ V $\simeq \pm V_{SB}$ lorsque $V_{GS} = 0$ V. Si $V_{GS} = V_T = 3$ V, il y a conduction en inverse. Lorsque $V_{GS} > V_T$, il y a conduction dans les deux sens ; il faut alors choisir une valeur de V_{GS} suffisamment importante pour que la chute de tension V_{DS} reste faible devant l'amplitude du signal à commuter (résistance du canal très faible devant la résistance de charge R_{ch}).

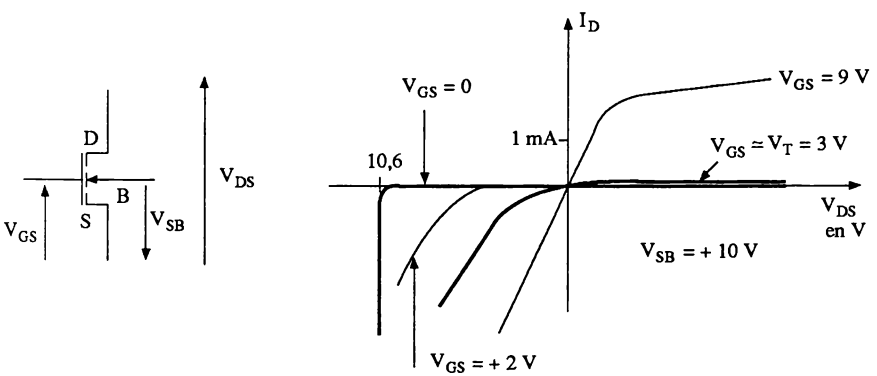


Figure 6.60

B. Caractéristiques g_{ds} (V_{GS}) et r_{ds} (V_{GS}). La figure 6.61 représente ces caractéristiques pour des transistors canal *N*. Dans les trois cas, la conductance g_{ds} (V_{GS}) dans la zone ohmique représente une droite de pente positive :

- **Transistor JFET** (paragraphe 4.1.2.4)

$$g_{ds} = -\frac{2\,I_{DSS}}{V_{GSoff}}\left(1-\frac{V_{GS}}{V_{GSoff}}\right) = K\,|V_{GS}-V_{GSoff}|$$

- **Transistors MOSFET** (paragraphe 4.1.3.4)

$$g_{ds} = K'\,|V_{GS}-V_{GSoff}| \qquad \text{MOSD}$$
$$g_{ds} = K'\,|V_{GS}-V_T| \qquad \text{MOSE}$$

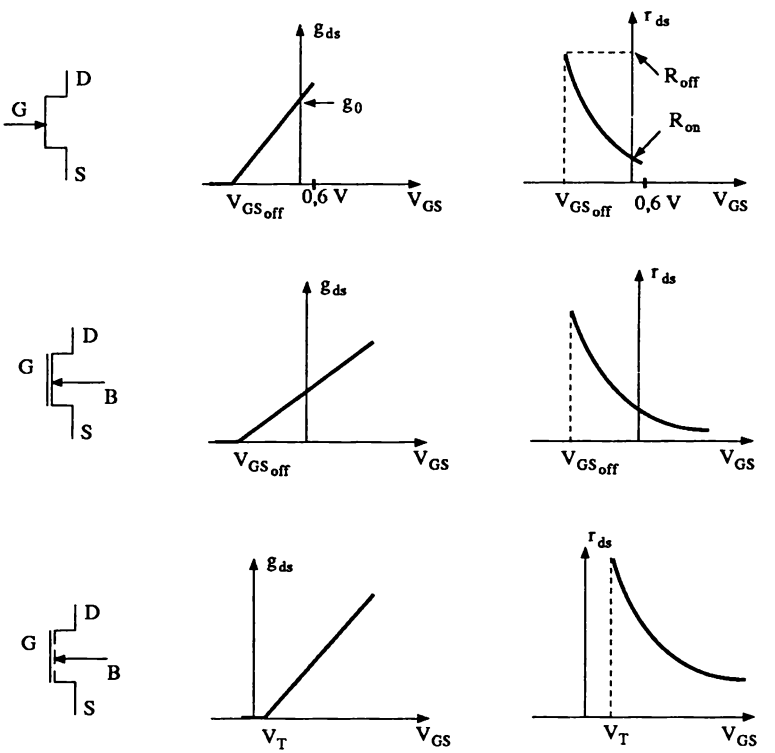


Figure 6.61

Pour un transistor canal *P*, la caractéristique g_{ds} (V_{GS}) présente une pente négative.

Les caractéristiques r_{ds} (V_{GS}) sont déduites des précédentes

$$r_{ds} = \frac{1}{g_{ds}}$$

La variation hyperbolique de cette résistance en fonction de V_{GS}, donc, dans certains cas, en fonction du signal à commuter, représente un inconvénient majeur. C'est ce qui fait choisir le transistor JFET plutôt que le MOSE pour les applications réclamant une grande précision (multiplexage de signaux, programmation des fonctions analogiques, etc.).

Remarque. Le schéma équivalent de la figure 6.62 permet d'écrire

$$S = V_{sig} \cdot \frac{R_{ch}}{r_{ds} + R_{ch}}$$

— Si la résistance $r_{ds_{on}}$ n'est pas modulée par le signal, l'erreur en % est

$$\frac{100}{1 + \dfrac{R_{ch}}{r_{ds}}}$$

— Si $r_{ds_{on}}$ est modulée par le signal, alors l'erreur en % devient

$$\frac{100}{1 + \dfrac{R_{ch}}{r_{ds} + \Delta r_{ds}}}$$

6.3.2. COMMUTATEURS A JFET

Ils sont surtout choisis pour leur faible résistance $r_{ds_{on}} = R_{on}$ constante.

6.3.2.1. Principe de la commande

La figure 6.62 représente un tel principe. Nous supposons que le signal à commuter évolue entre ± 10 V. Nous faisons l'analyse de la commande pour les valeurs extrêmes de l'entrée et pour un transistor dont les caractéristiques sont définies sur la figure 6.59.

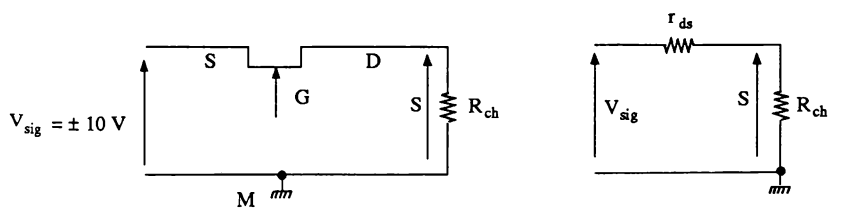


Figure 6.62

— **Commutateur fermé.** Le transistor est conducteur donc $V_{DS} \simeq 0$ ($r_{ds} = R_{on} << R_{ch}$). Il faut $V_{GS} = 0$

- $V_{sig} = +\ 10\ V = V_{SM} = V_{GM} = +\ 10\ V$
- $V_{sig} = -\ 10\ V = V_{SM} = V_{GM} = -\ 10\ V$.

La tension grille doit évoluer entre ± 10 V tout en maintenant $V_{GS} = 0$. Cette commande est flottante.

— **Commutateur ouvert.** Il faut que le transistor soit bloqué ($r_{ds} = R_{off} >> R_{ch}$) quelle que soit la valeur de V_{DS} comprise entre + 10 V et − 10 V.

- $V_{sig} = +\ 10$ V, $V_{SM} = +\ 10$ V, $V_{DM} = 0$ (pas de courant dans R_{ch}) et $V_{DS} = -\ 10$ V. Alors $V_{GS} < -\ 11$ V, donc $V_{GM} < -\ 1$ V.
- $V_{sig} = -\ 10$ V, $V_{SM} = -\ 10$ V, $V_{DM} = 0$ et $V_{DS} = +\ 10$ V. Alors $V_{GS} < V_{GS_{off}} = -\ 2$ V, donc $V_{GM} < -\ 12$ V.

Conclusion :

— **Transistor conducteur** (R_{on}), $V_{GS} = 0$, commande flottante,
— **Transistor bloqué** (R_{off}), $V_{GM} < -\ 12$ V.

Attention : il faut que le JFET tienne une tension inverse $|V_{BGS}| > 22$ V lorsque $V_{sig} = +\ 10$ V et $V_{GM} < -\ 12$ V.

6.3.2.2. Procédés de commande

Plusieurs procédés existent.

A. Commande par couplage résistif entre grille et source (figure 6.63). On connecte entre la source et le drain une résistance R de valeur suffisamment grande pour que celle-ci ne perturbe pas le signal de l'entrée. La diode D conduit lorsque le signal de commande e_C est inférieur à $V_{sig} - 0{,}6$ (alors $V_{GM} \simeq e_C$) et se bloque lorsque e_C est supérieur à $V_{sig} - 0{,}6$ permettant $V_{GS} = 0$.

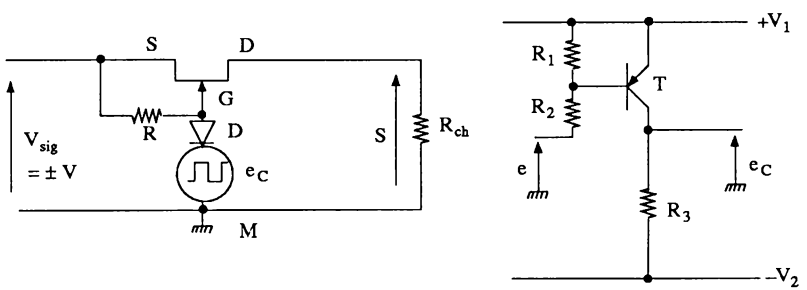


Figure 6.63

Le schéma de droite est un exemple de commande :

— $e = 0$, T conduit et $e_C \simeq V_1$ ce qui impose $V_1 > +V - 0{,}6$. La diode est bloquée, $V_{GS} = 0$, le commutateur est fermé quelle que soit l'amplitude du signal de l'entrée V_{sig}.

— $e > 0$ tel que T soit bloqué ; $e_C \simeq -V_2$ si $R_3 << R$. La diode conduit et doit imposer $V_{GM} < -V - |V_{GS_{off}}|$. Alors $V_2 < -V - |V_{GS_{off}}| - 0{,}6$. Le commutateur est ouvert quelle que soit l'amplitude du signal de l'entrée V_{sig}.

On pourrait prendre comme application numérique $R = 100$ kΩ, $R_1 = R_2 = R_3 = 10$ kΩ.

Remarquons que si e_C est un générateur de signaux carrés, on doit choisir une amplitude positive voisine de $+V$ et une amplitude négative voisine de $-V - |V_{GS_{off}}|$.

B. Variante de la commande par couplage résistif (figure 6.64). Ce circuit permet une commande TTL.

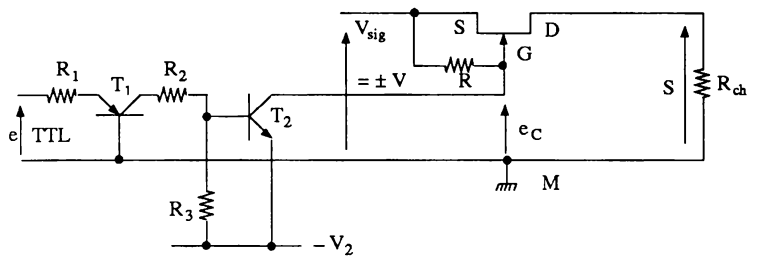


Figure 6.64

— Lorsque e = « 1 » logique (3 à 4 volts), T_1 conduit faisant conduire T_2, alors $V_{GM} \simeq -V_2$. Le commutateur est « ouvert » en permanence si $V_2 < -V - |V_{GS_{off}}|$.

— Lorsque $e \simeq 0$, T_1 et T_2 sont bloqués, $V_{GS} = 0$, le commutateur est fermé.

Remarques

— Lorsque le commutateur est « ouvert », il y a présence d'un courant dans la résistance R analogue à un courant de fuite. Cette résistance associée aux capacités parasites « ralentit » la commutation.

— Dans le cas de la figure 6.64, pour une forte valeur de R on obtient des temps de commutation de l'ordre de 100 µs ($R = 1$ MΩ) ou 10 µs ($R = 100$ kΩ).

— Le commutateur est plus rapide lorsqu'on utilise une diode (figure 6.63) car la capacité parasite de celle-ci transmet les variations de la commande comme le fait une capacité d'accélération.

C. Commande par transfert de charges (figure 6.65). La diode varicap joue un double rôle :

— elle évite toute augmentation du courant de fuite au niveau du commutateur (contrairement à la résistance R précédente),

— sa capacité permet une ouverture rapide de la porte par absorption des charges stockées dans la capacité parasite du JFET.

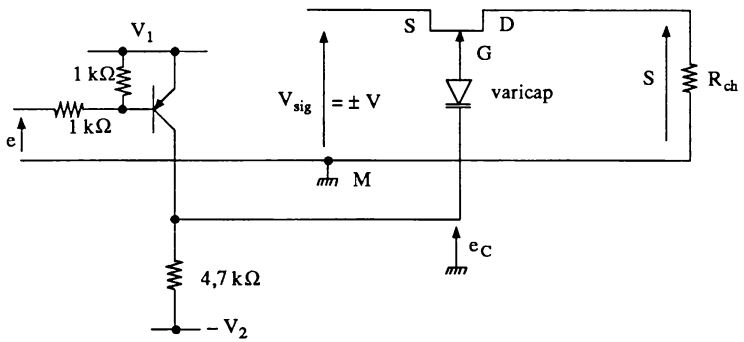


Figure 6.65

Faisons l'analyse statique.

• $e_C < V_{sig}$, la diode varicap présente une tension quasi nulle à ses bornes. Elle est parcourue par le seul courant de fuite I_S de quelques dizaines de picoampères. Alors le transistor JFET est bloqué et le commutateur ouvert.

• $e_C > V_{sig}$, la jonction grille-source est parcourue par le courant de fuite de la diode varicap (quelques dizaines de picoampères). Ainsi $V_{GS} = 0$ et le commutateur, fermé, présente une résistance R_{on} quasi constante. Pour notre cas de figure, il faut $V_1 \geq V$ et $V_2 \leq -V - |V_{GSoff}|$.

Analyse en dynamique.

• **Passage de l'état bloqué à l'état conducteur.** La tension aux bornes de la diode varicap étant quasi nulle, sa capacité parasite est maximale ($\simeq$ 70 pF). Cette diode se comporte comme un court-circuit par rapport à la capacité C_{GD} ($\simeq$ 3 pF) qui se décharge très rapidement par transfert de charges.

• **Passage de l'état conducteur à l'état bloqué** (variation négative de e_C). La diode varicap polarisée en inverse présente une faible capacité parasite. En cours de commutation, la diode conduit en direct et décharge rapidement la capacité parasite du commutateur.

Remarque. La position des bornes S et D est sans importance.

D. Commande par transistors CMOS (figure 6.66). Si on considère une tension de seuil $V_{GS} = + V_T$ pour le transistor T_2 (NMOSE) et $V_{GS} = - V_T$ pour le transistor T_1 (PMOSE), nous avons comme conditions de commande :

— **Commutateur fermé :** $V_{GS} = 0$, T_1 « conduit » ($V_{G_1S_1} < - V_T$), T_2 est bloqué ($V_{G_2S_2} < V_T$), alors

$e < (- V - V_T)$ pour que T_1 conduise

et $e < (- V_2 + V_T)$ pour que T_2 soit bloqué.

— **commutateur ouvert :** $V_{GS} < V_{GS_{off}}$, T_2 « conduit » ($V_{G_2S_2} > V_T$), T_2 est bloqué ($V_{G_1S_1} > - V_T$), alors

$e > (- V_2 + V_T)$ pour que T_2 conduise

et $e > (+ V - V_T)$ pour que T_1 soit bloqué

avec $- V_2 < - V - |V_{GS_{off}}|$.

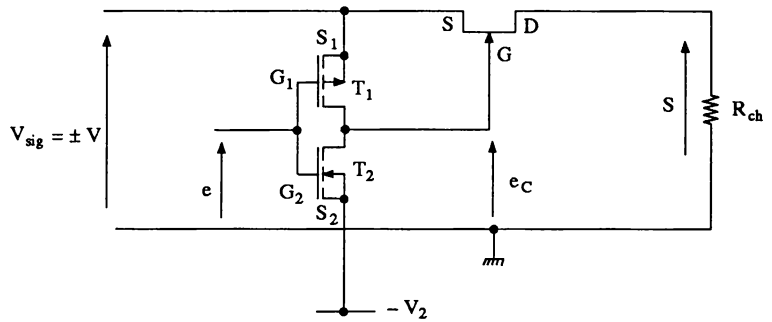


Figure 6.66

A titre d'exemple, si $V_{sig} = \pm 5$ V, $|V_T| = 2$ V et $V_{GS_{off}} = - 3$ V, il faut :

$e = + 5$ V, commutateur ouvert,

$e = - V_2$, commutateur fermé

et $- V_2 \leq - 8$ V.

Une commande $e = \pm 15$ V permet de commuter un signal alternatif d'amplitude inférieure à 12 V si $- V_2 = - 15$ V et $V_{GS_{off}} = - 3$ V.

6.3.2.3. Exemples de circuits intégrés commercialisés

*** Figure 6.67, commutateurs analogiques de la famille DG-GE Intersil.** Chaque commutateur est constitué d'un transistor *NPN* d'entrée T_1 suivi d'un *PNP* (T_2) dont l'émetteur est au potentiel V_+, puis d'un autre *PNP* (T_3) dont le collecteur est connecté, sans autres éléments sur la grille du JFET canal *N*. Un troisième *PNP* (T_4) a son émetteur relié à la base du précédent.

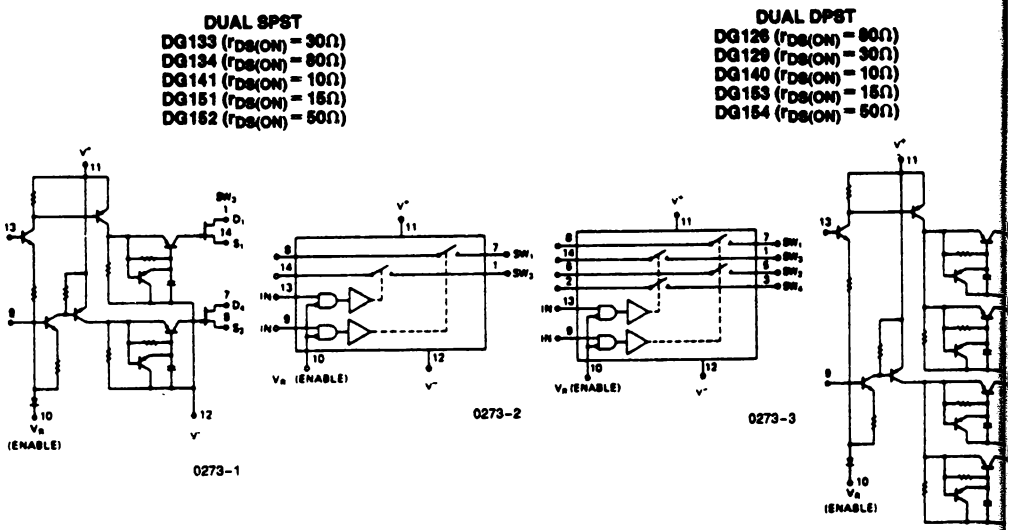


Figure 6.67
Source : **Harris Intersil**

— **Pour $e = 0$**, les transistors T_1, T_2 et T_3 sont bloqués. Le potentiel de la grille du JFET est voisin de V_- par le biais de la jonction collecteur-base de T_3 et la conduction de T_4. Le commutateur est ouvert.

— **Pour $e = 1$**, les transistors T_1 et T_2 conduisent bloquant T_4. T_3 conduit, le temps de charger le condensateur C, connecté aux bornes de T_4 imposant un fort courant sur la grille du JFET, débloquant celui-ci rapidement. En régime permanent, c'est le courant de fuite de T_3 (de l'ordre du nano ampère) qui polarise le JFET à $V_{GS} \simeq 0$. Les caractéristiques essentielles de ce commutateur sont :

- R_{on} de 10 Ω (DG 140) à 80 Ω (DG 126),
- dynamique du signal analogique 20 V c. à c.,
- courant de fuite de 1 nA (DG 129) à 10 nA (DG 141) à 25°C (multiplié par 100 à 125°C),
- courant maximum commuté 30 mA,
- $t_{on} \simeq t_{off} \simeq 1$ µs.

*** Figure 6.68, commutateurs analogiques « varafet » IH401 – GE Intersil.** Ils sont constitués d'un boîtier présentant quatre commutateurs et d'un boîtier de commande indépendant, en technologie CMOS de référence IH6201. Le principe de

fonctionnement est celui de la figure 6.65. Le circuit de commande fournissant la tension e_C à la diode varicap est un double inverseur (l'analyse de fonctionnement est facile à faire). Citons quelques éléments de caractéristiques :

- $R_{on} = 25\ \Omega$,
- $t_{on} = 25$ ns et $t_{off} = 75$ ns sur une charge de 1 kΩ,
- dynamique du signal d'entrée 15 V c. à c.,
- capacité parasite d'entrée 1 pF.

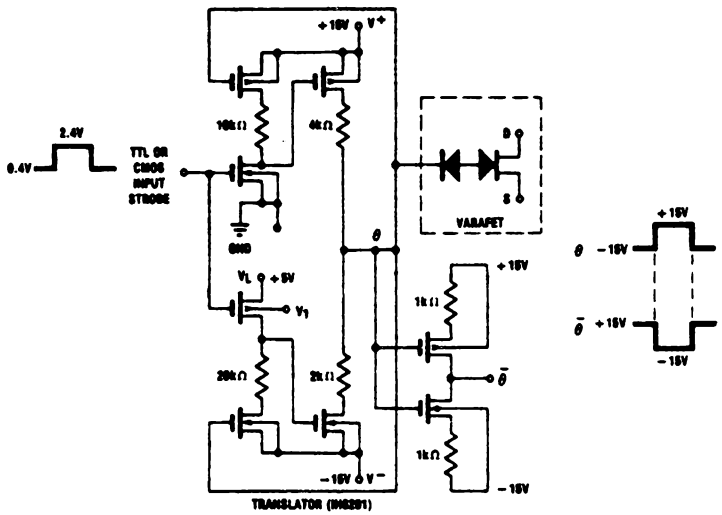


Figure 6.68
Source : **Harris Intersil**

Remarque. Les commutateurs IH401 peuvent être commandés par des circuits à éléments discrets ou d'autres types de circuits intégrés.

* **Figure 6.69, commutateurs analogiques de la famille LF11331 – National Semiconductor.** Le signal de commande (TTL ou autre) est appliqué à l'entrée de l'amplificateur différentiel $Q_2 - Q_3$ dont une base est à + 1,2 V (basculement pour $e_{in} \simeq 1{,}2$ V). Cet amplificateur pilote le collecteur commun Q_1 attaquant le montage grille commune J_3 (transistor JFET à double drain). Le commutateur J_5 est commandé par l'ensemble D_4, D_5, D_6, J_4 pouvant être flottant entre + V_{CC} et – V_{EE} grâce à J_6, Q_5 et J_4.

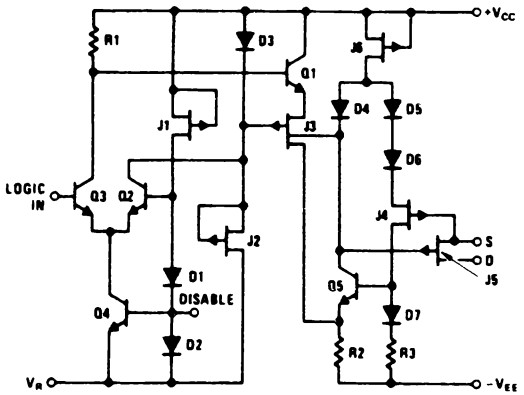


Figure 6.69
Source : National Semiconductor

— $e_{in} = 0$, Q_3 est bloqué, Q_1 conduit, J_3 conduit, Q_5 est bloqué. La grille du commutateur J_5 est à un potentiel voisin de $+V_{CC}$ grâce au second drain de J_3.

— $e_{in} = 1$ (> 2 V), Q_3 conduit, Q_1 et J_3 sont bloqués et Q_5 conduit. Alors le commutateur J_5 conduit et est « flottant ». En effet, supposons que les anodes de D_4 et D_5 soient à un potentiel quelconque (par exemple + 5 volts), la grille de J_5 est à 4,4 volts, la source de J_4 à 3,8 volts et la source de J_5 à environ 4,1 volts. Ces deux transistors JFET canal *P* présentent une tension de commande $V_{GS} = -0{,}3$ V. Ils sont donc conducteurs. Les caractéristiques essentielles sont :

- $R_{on} = 150\ \Omega$,
- $\Delta R_{on} = 5\ \Omega$ *(« on » résistance matching)*
- dynamique du signal d'entrée ± 11 V,
- courant de fuite 0,3 nA,
- courant maximum commuté 20 mA,
- $t_{on} = 500$ ns et $t_{off} = 90$ ns,
- $C_S = 4$ pF, $C_D = 3$ pF.

*** Figure 6.70, commutateur analogique SW01-02, PMI.** Dans cette famille, comme dans la précédente, on trouve des commutateurs normalement ouverts (off) ou normalement fermés (on) pour $e_{in} = 0$. Notre figure représente le schéma simplifié du commutateur SW01 normalement fermé (on). [Le circuit SW02 est normalement ouvert (off).]

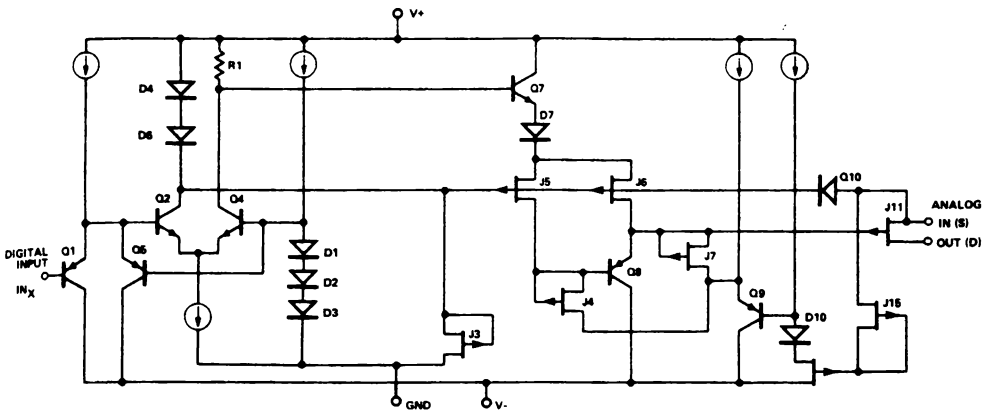


Figure 6.70
Source : **National Semiconductor**

— $e_{in} = 1$, Q_1 est bloqué, Q_2 conduit et Q_4 est bloqué. Ceci impose la conduction de Q_7 et J_6 amenant la grille du commutateur J_{11} à un potentiel voisin de V_+ bloquant celui-ci.

— $e_{in} = 0$, le processus de conduction est inverse et Q_7 est bloqué. Alors J_{11} est polarisé en « flottant » par l'ensemble des éléments J_4, Q_8, J_7, Q_9, D_{10} et J_{15}. Les caractéristiques essentielles sont :

- $R_{on} = 85\ \Omega$,
- $\dfrac{\Delta R_{on} / R_{on}}{\Delta \theta} = 0{,}03$ %/°C (résistance R_{on} compensée en température),
- dynamique du signal d'entrée ± 10 V,
- courant commuté 5 mA,
- $t_{on} = 300$ ns, $t_{off} = 200$ ns,
- courant de fuite 1 nA,
- $C_S = 7$ pF, $C_D = 5{,}5$ pF.

6.3.3. COMMUTATEURS A MOSFET

Ils sont utilisés :
— soit dans les circuits intégrés (capacités commutées, etc.),
— soit en technologie discrète (commutateur DMOS – Siliconix – en audiofréquences, vidéofréquences, radiofréquences, etc.).

6.3.3.1. Principe de la commande

La figure 6.71 représente un tel principe. Nous supposons que le signal à commuter évolue entre ± 10 V. Nous faisons l'analyse de la commande pour les valeurs extrêmes de l'entrée et pour un transistor dont les caractéristiques sont, en partie, définies sur la figure 6.60 ($V_T \simeq 3$ V et $V_{SB} = +10$ V). « En partie » car l'évolution du potentiel de la source ($V_{SM} = V_{sig}$) fait évoluer la tension V_{SB}.

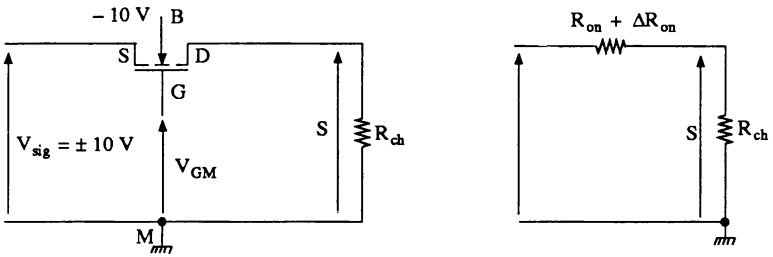


Figure 6.71

— $V_{sig} = +10$ V ($V_{SB} = +20$ V).

- **Interrupteur fermé** (on) : $V_{GS} > V_T$ donc
  $V_{GM} > 13$ V
- **Interrupteur ouvert** (off) : $V_{GS} < V_T$ donc
  $V_{GM} < 13$ V

— $V_{sig} = -10$ V ($V_{SB} = 0$)

- **Interrupteur fermé** (on) : $V_{GS} > V_T$ donc
  $V_{GM} > -7$ V
- **Interrupteur ouvert** (off) : $V_{GS} < V_T$ donc
  $V_{GM} < -7$ V

— **Conditions générales**

- **Interrupteur fermé (on) : $V_{GM} > 13$ V**
- **Interrupteur ouvert (off) : $V_{GM} < -7$ V.**

La figure 6.72 représente l'évolution de la conductance du commutateur g_{DS} et de la résistance r_{DS} en fonction de l'amplitude du signal à transmettre pour $V_{GM} = +20$ V (on) et $V_{GM} = -10$ V (off). Dans ces conditions nous obtenons :

— $r_{DS_{min}}$ pour $V_{sig} = -10$ V ($V_{GS} = +30$ V et $V_{SB} = 0$)

— $r_{DS_{max}}$ pour $V_{sig} = +10$ V ($V_{GS} = +10$ V et $V_{SB} = +20$ V).

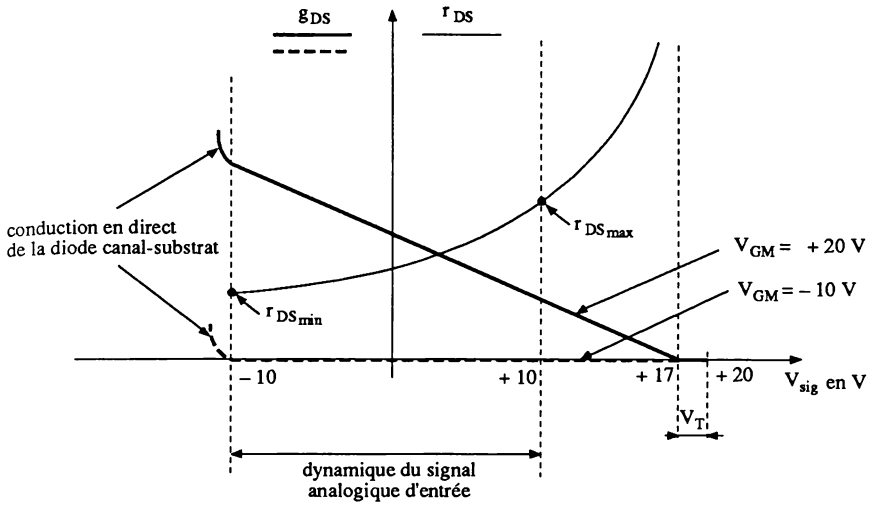


Figure 6.72

On voit que V_{GS} et V_{SB} ont une fonction de commande cumulée (voir figure 4.38 – la résistance du canal diminue lorsque V_{GS} augmente et V_{SB} diminue).

Remarques

— Dans le cas où on utilise des transistors PMOS, les graphes g_{DS} (V_{sig}) et r_{DS} (V_{sig}) sont inversés. $r_{DS_{min}}$ est obtenu pour V_{sig} = + 10 V, $r_{DS_{max}}$ est obtenu pour V_{sig} = – 10 V.

— **Si la commande V_{GS} est constante, donc flottante et le substrat relié à la source, on obtient une résistance $r_{DS_{on}}$ constante.**

6.3.2.2. Exemples réels et procédés de commande

Siliconix commercialise des transistors DMOS (NMOSE) seuls ou en réseaux, prévus pour travailler en commutateurs (SD210, SD211, SD5000, etc.). Les caractéristiques essentielles sont :

— $V_T \leq 2$ V,
— $r_{DS_{on}}$ maximum 70 Ω,
— t_{on} = 2 ns,
— courant maximum 50 mA,
— capacité parasite maximale 3 pF.

L'évolution typique de $r_{DS_{on}}$ (V_{sig}), V_T (V_{SB}), $r_{DS_{on}}$ (V_{SB}) est indiquée sur les graphes de la figure 6.73. Les procédés de commande peuvent être différents. Citons en deux.

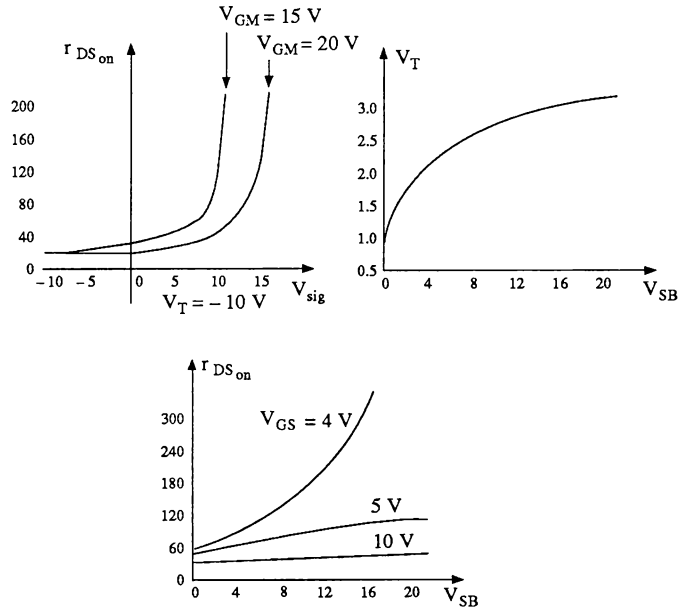


Figure 6.73

— **Figure 6.74.** On utilise un transistor DMOS (canal *N*) pour piloter le commutateur SD5000. La translation de 11 V par diode Zener permet une commande TTL (on pourrait aussi utiliser un transistor bipolaire – voir figure 6.92).

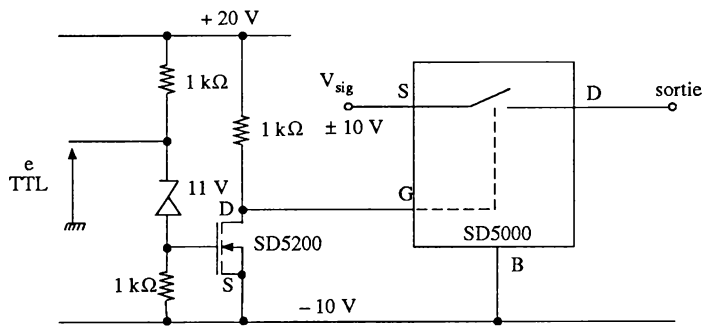


Figure 6.74

— **Figure 6.75.** La commande est encore plus simple lorsqu'on utilise un amplificateur opérationnel fonctionnant en commutation.

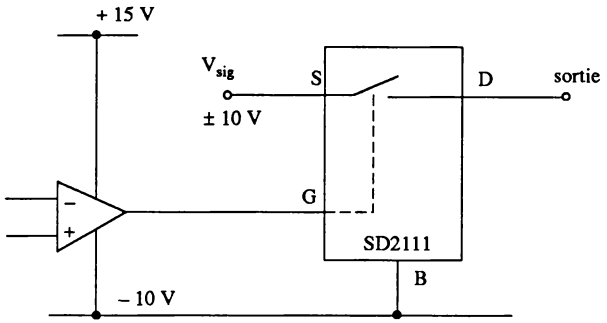


Figure 6.75

6.3.4. COMMUTATEURS CMOS

Ces commutateurs et leur commande sont intégrés dans un même boîtier.

6.3.4.1. Principe de la commande

La figure 6.76 représente un commutateur utilisant deux transistors MOS complémentaires, T_1 (PMOS) et T_2 (NMOS). En supposant que le transistor T_2 présente les mêmes caractéristiques que celui de la figure 6.71 et que T_1 lui est symétrique, nous faisons l'analyse de la commande pour les valeurs extrêmes du signal de l'entrée en considérant les transistors, tous les deux conducteurs ou tous les deux bloqués.

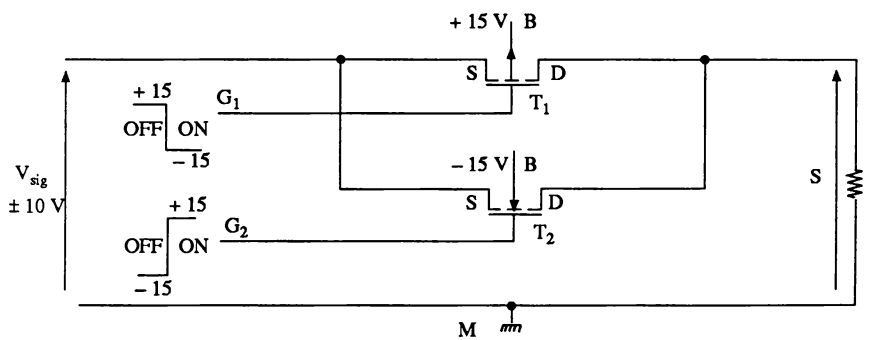


Figure 6.76

— $V_{sig} = +10$ V ($V_{SB_1} = -5$ V, $V_{SB_2} = +25$ V)

- **Interrupteur fermé** (on)

$V_{GS_1} < V_{T_1}$ donc $V_{GM_1} < +7$ V ($V_{T_1} \simeq -3$ V)

$V_{GS_2} > V_{T_2}$ donc $V_{GM_2} > 13$ V ($V_{T_2} \simeq +3$ V)

- **Interrupteur ouvert** (off)

$V_{GS_1} > V_{T_1}$ donc $V_{GM_1} > +7$ V

$V_{GS_2} < V_{T_2}$ donc $V_{GM_2} < +13$ V

— $V_{sig} = -10$ V ($V_{SB_1} = -25$ V, $V_{SB_2} = +5$ V)

- **Interrupteur fermé** (on)

$V_{GS_1} < V_{T_1}$ donc $V_{GM_1} < -13$ V

$V_{GS_2} > V_{T_2}$ donc $V_{GM_2} > -7$ V

- **Interrupteur ouvert** (off)

$V_{GS_1} > V_{T_1}$ donc $V_{GM_1} > -13$ V

$V_{GS_2} < V_{T_2}$ donc $V_{GM_2} < -7$ V

— **Conditions globales**

- **Interrupteur fermé**

$V_{GM_1} < -13$ V, $V_{GM_2} > +13$ V

- **Interrupteur ouvert**

$V_{GM_1} > +7$ V, $V_{GM_2} < -7$ V

La figure 6.77 représente l'évolution de la conductance g_{DS} de chaque transistor pour $V_{GM} = \pm 15$ V ainsi que la conductance globale, somme des deux conductances (en trait mixte), en fonction de l'amplitude du signal à transmettre. La figure 6.78 représente l'évolution de la résistance r_{DS} de chaque transistor et la résistance globale équivalente.

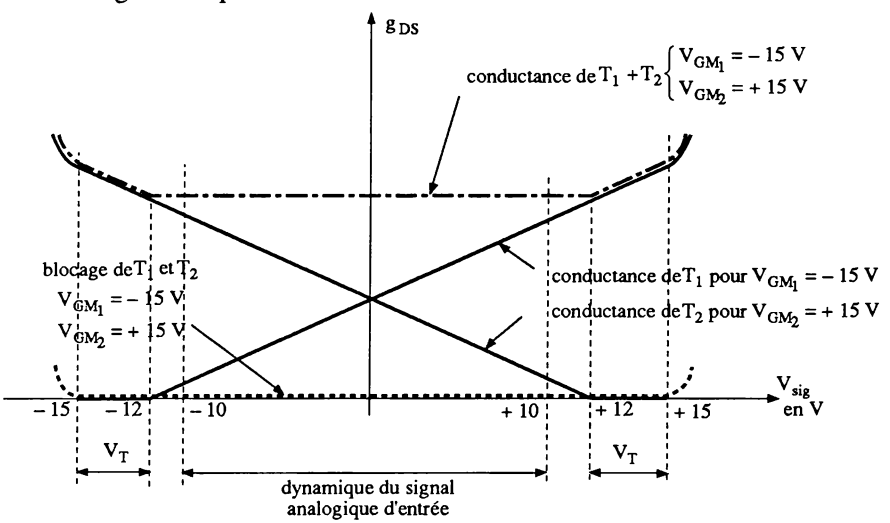


Figure 6.77

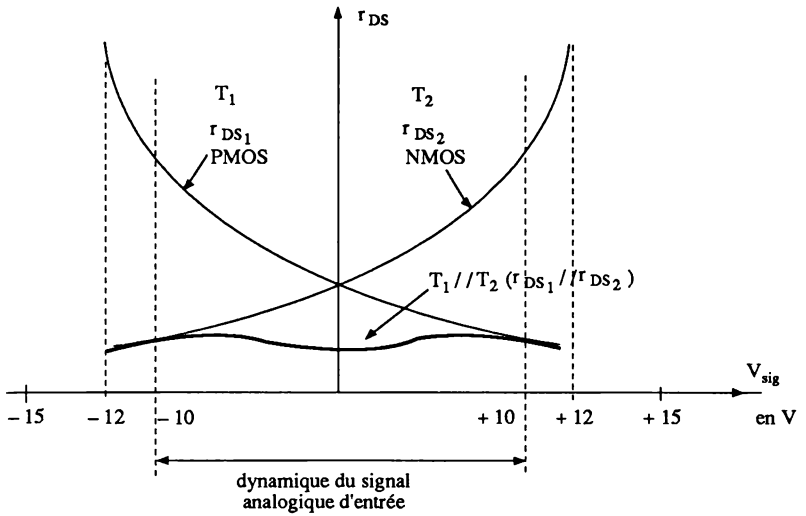


Figure 6.78

Remarques

— L'utilisation de deux transistors complémentaires permet d'obtenir une résistance quasi constante.

— En pratique, pour une même dimension du canal, la résistance du PMOS est plus importante que celle du NMOS. Il en résulte une augmentation de la résistance globale lorsque le signal d'entrée évolue en positif. Ainsi, les commutateurs CMOS présentant une résistance quasi constante ont une dimension du canal appropriée.

6.3.4.2. Exemples pratiques de commutateurs

* **Circuit 4016**, quadruple commutateur bidirectionnel. Chaque fonction est constituée d'un commutateur CMOS piloté par une série d'inverseurs (figure 6.79). Les caractéristiques essentielles sont (circuit HEF4016 – RTC Philips Composants) :

— dynamique d'alimentation $3\ V \leq V_{DD} - V_{SS} \leq 18\ V$

— R_{on} ($Y_n = V_{DD}$) { 170 Ω pour $V_{DD} - V_{SS} = 5$ V ; 95 Ω pour $V_{DD} - V_{SS} = 10$ V ; 75 Ω pour $V_{DD} - V_{SS} = 15$ V

— R_{on} ($Y_n = V_{SS}$) { 140 Ω pour $V_{DD} - V_{SS} = 5$ V ; 65 Ω pour $V_{DD} - V_{SS} = 10$ V ; 50 Ω pour $V_{DD} - V_{SS} = 15$ V

— ΔR_{on} ($V_{SS} < Y_n < V_{DD}$) { 200 Ω $V_{DD} - V_{SS} = 5$ V ; 15 Ω $V_{DD} - V_{SS} = 10$ V ; 10 Ω $V_{DD} - V_{SS} = 15$ V

— courant maximum transmis 10 mA

— temps de propagation moyen
25 ns, $V_{DD} - V_{SS} = 5$ V
10 ns, $V_{DD} - V_{SS} = 10$ V
5 ns, $V_{DD} - V_{SS} = 15$ V

— fréquence maximale 50 MHz.

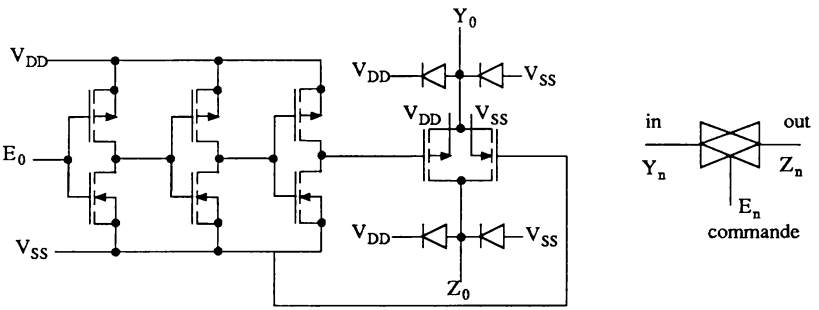


Figure 6.79

La figure 6.80 représente l'évolution de la résistance R_{on} en fonction du niveau du signal de l'entrée, pour deux tensions d'alimentation $V_{DD} = 10$ V puis $V_{DD} = 15$ V ($V_{SS} = 0$).

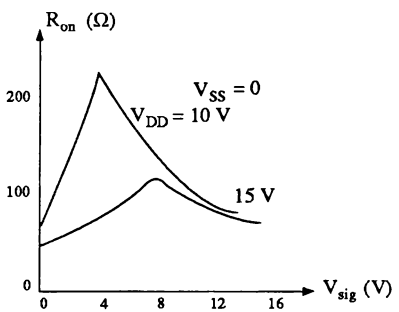


Figure 6.80

Remarques

— La référence 4016 ne correspond pas toujours à des circuits identiques. La figure 6.81 représente le circuit M14016 de Motorola ainsi que l'évolution de R_{on}.

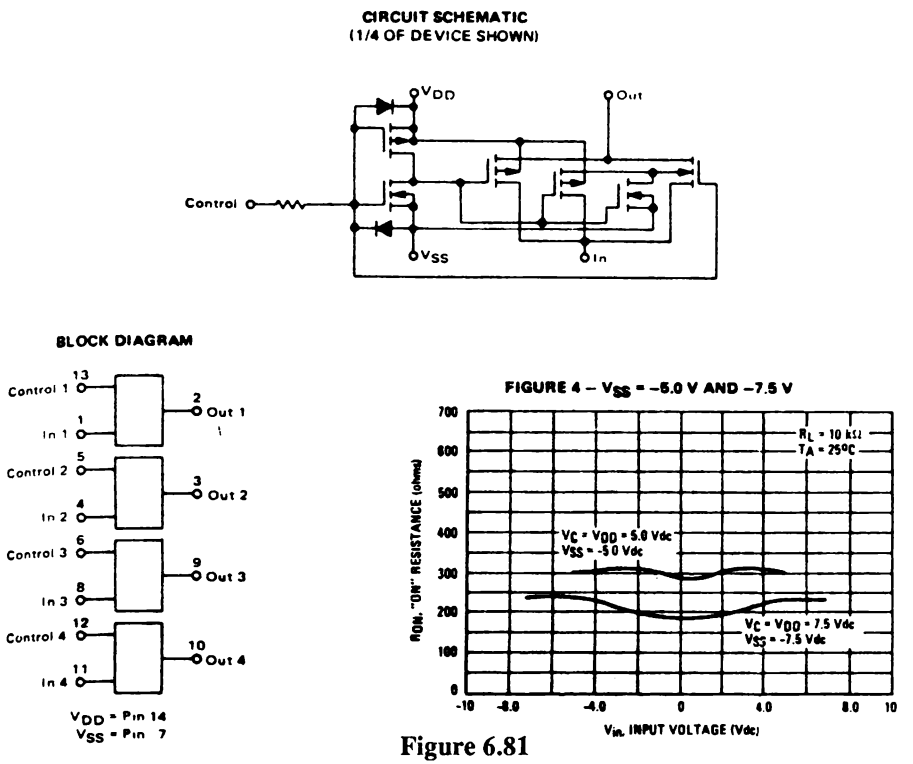


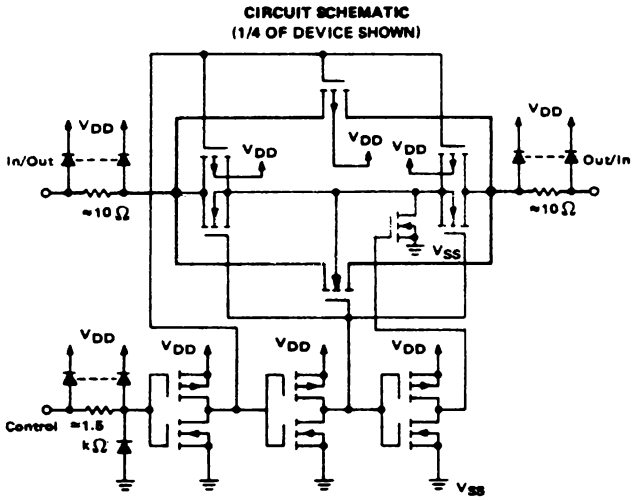
Figure 6.81

Source : Motorola

Reproduit avec la permission de Motorola

— Le circuit HC4016 (National Semiconductor), présente une tension d'alimentation maximale de 12 V, une résistance R_{on} inférieure à 50 Ω, une fréquence maximale de 100 MHz et des temps de commutation inférieurs à 15 ns.

* **Circuit 4066.** Ce circuit, interchangeable avec le 4016, est une amélioration de ce dernier dans le sens où la résistnce R_{on} est plus faible. La figure 6.82 représente le schéma de principe ainsi que l'évolution de R_{on} en fonction de la tension analogique d'entrée pour V_{DD} = + 7,5 V et V_{SS} = – 7,5 V. Les autres caractéristiques sont sensiblement identiques à celles du 4016.



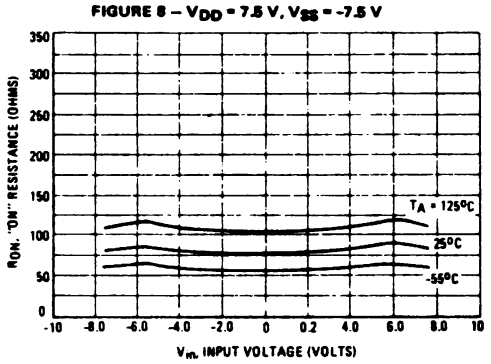


Figure 6.82

Source : Motorola

Reproduit avec la permission de Motorola

* **Circuit 4007.** Ce circuit particulier est constitué de 3 transistors NMOSE et 3 transistors PMOSE. Il permet de réaliser de nombreuses fonctions (driver, inverseur, oscillateur, buffer) mais aussi de réaliser un commutateur « 3 voies » (figure 6.83).

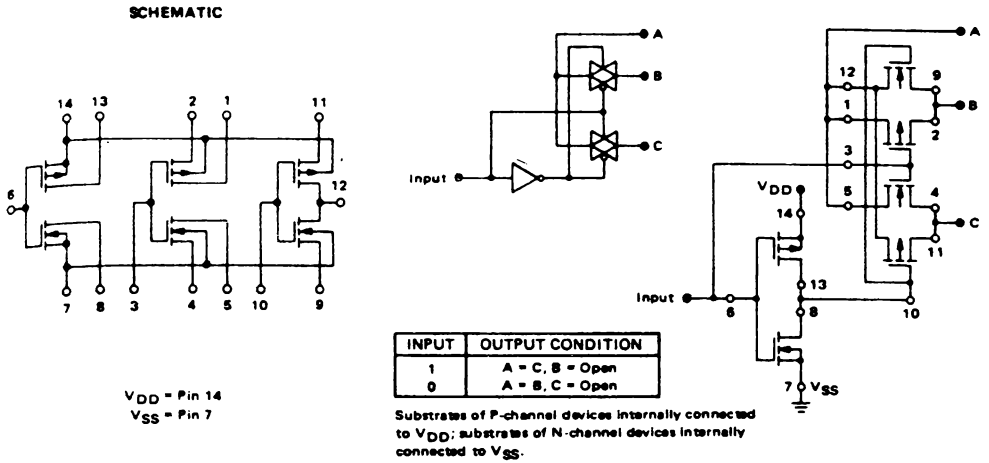


Figure 6.83
Source : Motorola
Reproduit avec la permission de Motorola

* **Circuit DG200** – Harris-Intersil. La figure 6.84 représente un des deux commutateurs intégrés. L'intérêt de ce circuit par rapport aux précédents est que, malgré la technologie CMOS, la commande est compatible TTL (0 V – 5 V). Les caractéristiques essentielles sont :

— tension analogique d'entrée ± 10 V,

— R_{on} typique 70 Ω,

— ΔR_{on} « match » (différence de résistance entre les deux canaux 25 Ω),

— t_{on} = 1 µs, t_{off} = 0,5 µs,

— courant de fuite ± 2 nA,

— courant commuté supérieur à 10 mA.

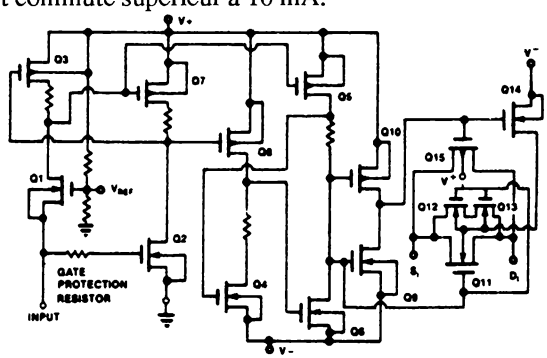


Figure 6.84
Source : Harris Intersil

Dans la même famille de commutateurs, nous avons :
— DG201 – DG202 : la tension d'entrée peut atteindre ± 15 V,
— DG211 – DG212 – DGM181, dont les temps de commutation sont inférieurs à 0,5 µs.

* **Circuits HI381**, etc. – Harris. La figure 6.85 représente le commutateur, la figure 6.86 représente sa commande. Ce dernier circuit accepte des signaux TTL ou CMOS. Les caractéristiques essentielles sont :
— tension analogique d'entrée ± 15 V,
— courant de fuite à 25°C, 40 pA,
— courant de fuite à 125°C, 1 nA,
— résistance R_{on}, 35 Ω,
— t_{on} = 210 ns, t_{off} = 160 ns,
— capacité parasite voisine de 10 pF.

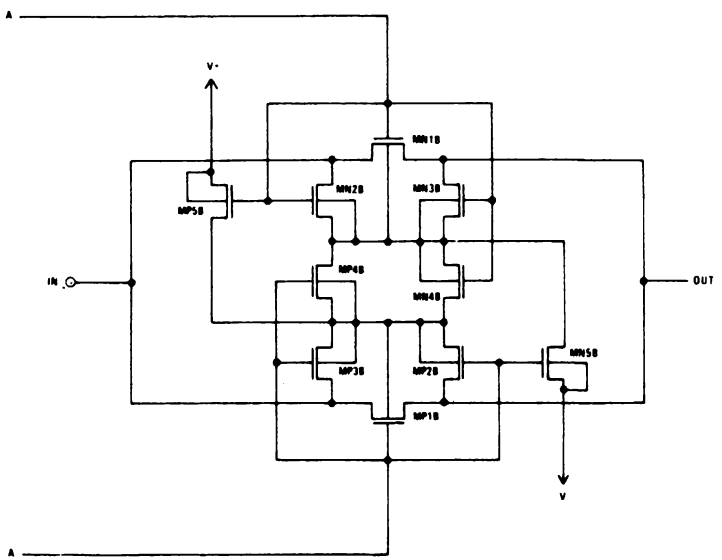


Figure 6.85
Source : **Harris Intersil**

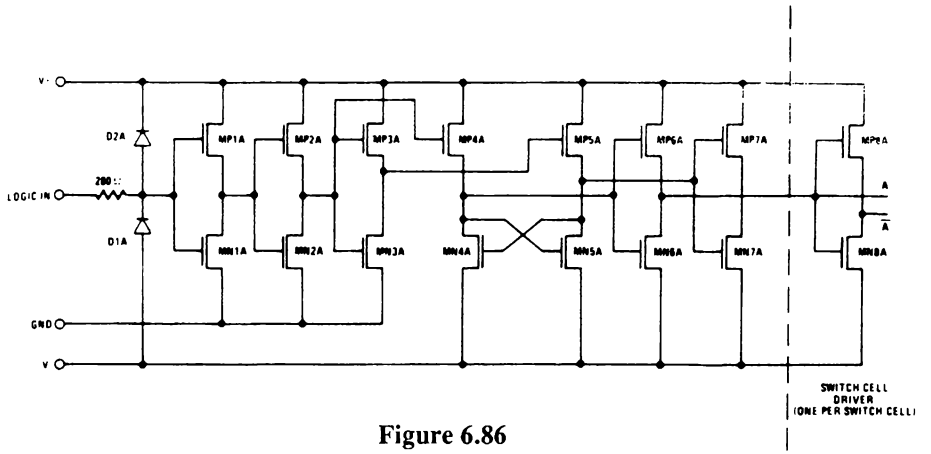


Figure 6.86
Source : **Harris Intersil**

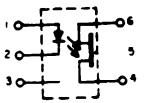
Il existe dans la même famille, le circuit HI200 permettant de commuter un courant de 80 mA en 240 ns (R_{on} = 55 Ω).

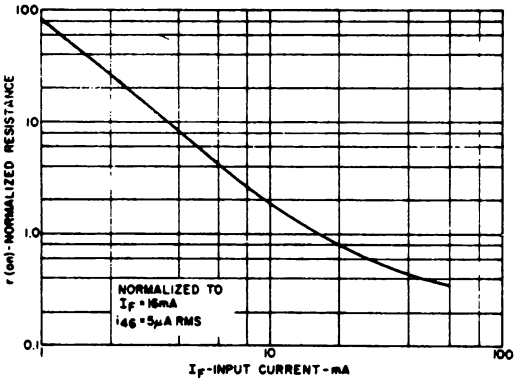
6.3.5. OPTOCOMMUTATEURS DIODE – JFET

Nous présentons les caractéristiques essentielles des optocoupleurs de référence H11F1-2-3 – General Electric introduits au paragraphe 5.2.4.2,.

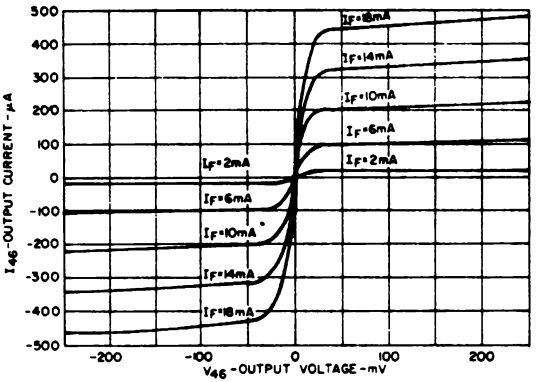
— boîtier DIL 6 broches,
— courant maximum dans la diode DEL 60 mA,
— tension inverse 6 V,
— tenue en tension du JFET ± 30 V,
— courant maximum ± 100 mA,
— tenue en tension diode – JFET 2 500 V eff,
— $R_{on} \geq 200\ \Omega$ pour I_F = 16 mA,
— résistance d'isolement $10^{11}\ \Omega$,
— capacité parasite 2 pF,
— t_{on} = 15 µs, t_{off} = 15 µs.

La figure 6.87 représente quelques caractéristiques de sortie I_{46} (V_{46}) soit $|I_{DS}|$ en fonction de $|V_{DS}|$ pour différentes valeurs de I_F, ainsi que la caractéristique R_{on} (I_F). Cette résistance R_{on} est normalisée R_{on} = 1 correspondant à 200 Ω pour I_F = 16 mA. Les applications de ces optocommutateurs sont présentées dans l'ouvrage optoélectronique.





RESISTANCE VS. INPUT CURRENT



OUTPUT CHARACTERISTICS

Figure 6.87
Source : **Harris Semiconducteurs**

6.3.6. COMPARAISON DES COMMUTATEURS

Le choix de la technologie d'un commutateur dépend essentiellement de quatre éléments :

— résistance R_{on},
— variation de la résistance en fonction du signal, ΔR_{on},
— courant de fuite I_S et I_D,
— temps de commutation t_{on} et t_{off}.

Le tableau 6.1 regroupe ces informations et permet à l'utilisateur de se diriger vers la technologie la mieux adaptée.

Commutateur	R_{on}	ΔR_{on}	courant de fuite	temps de commutation
JFET	faible	très faible	faible	faibles
NMOS PMOS	important	important	faible	très faibles
CMOS	moyen	moyen	faible	faibles
OPTO JFET	important	très faible	négligeable	importants

Tableau 6.1

6.3.7. QUELQUES EXEMPLES D'APPLICATION DES COMMUTATEURS

Le vaste champ des applications des commutateurs ne nous permet pas de toutes les décrire. Donnons quelques exemples.

6.3.7.1. Commutateurs simples

— **Amplificateur à gain programmé** (figure 6.88). Le gain en tension est programmé en fonction des commandes u_{Ci} pilotées, en général, par des circuits numériques.

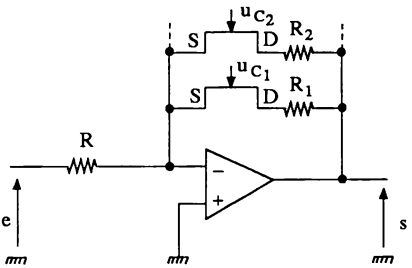


Figure 6.88

— **Amplificateur « activé »** (figure 6.89). Cet amplificateur inverseur utilise le commutateur d'entrée T_1. La résistance R_{on} de celui-ci est compensée par le transistor T_2 ($V_{GS_2} = 0$) situé dans le même boîtier que T_1.

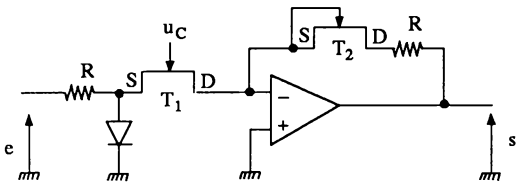


Figure 6.89

— **Échantillonneur-bloqueur** (figure 6.90). Ce schéma représente un échantillonneur-bloqueur simple. La commande u_C permet de charger le condensateur C à travers R_{on} (l'impédance de sortie du premier amplificateur opérationnel étant quasi nulle).

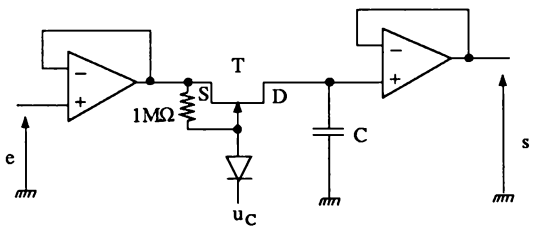


Figure 6.90

Remarques

— Les commutateurs précédents peuvent être des MOS, des CMOS ou des opto JFET.

— Les applications précédentes sont présentées en détail dans l'ouvrage *Amplificateurs opérationnels.*

6.3.7.2. Multiplexeurs

Ce sont des circuits intégrés contenant plusieurs commutateurs. Une application est donnée sur la figure 6.91 où on transmet un signal e_i grâce à la commande e_{Ci}. Fournissons quelques références de multiplexeurs :

* **NS, Motorola, RTC Philips composants,** etc.

AH5009, commutateur JFET, commande TTL et CMOS,
t_{on} = 150 ns, t_{off} = 300 ns, R_{on} = 100 Ω, **4 voies**

CD4052, commutateur CMOS, commande CMOS, t_{on} = 160 ns, t_{off} = 75 ns, R_{on} = 300 Ω, **4 voies**
CD4051, commutateur CMOS, commande CMOS, t_{on} = 160 ns, t_{off} = 75 ns, R_{on} = 300 Ω, **8 voies**
CD4529, commutateur CMOS, commande CMOS, $t_{on} = t_{off}$ = 50 ns, R_{on} = 350 Ω, **8 voies**
MM74HC4051, commutateur CMOS, commande CMOS, t_{on} = 15 ns, t_{off} = 16 ns, R_{on} = 40 Ω, **8 voies.**

* **PMI**

MUX08, commutateur JFET, commande TTL et CMOS, $t_{on} = t_{off}$ = 2 µs, R_{on} = 300 Ω, **8 voies**
MUX16, commutateur JFET, commande TTL et CMOS, $t_{on} = t_{off}$ = 2 µs, R_{on} = 380 Ω, **16 voies.**

* **GE Intersil**

IH5108, commutateur CMOS, commande TTL et CMOS, $t_{on} = t_{off}$ = 1 µs, R_{on} = 900 Ω, **8 voies**
IH5216, commutateur CMOS, commande TTL et CMOS, $t_{on} = t_{off}$ = 1 µs, R_{on} = 1 000 Ω, **16 voies.**

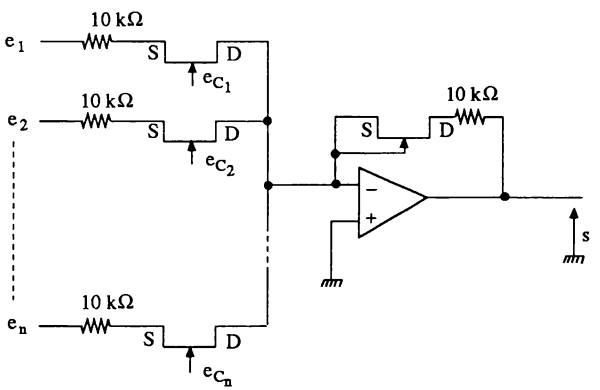


Figure 6.91

Remarque. Certains commutateurs présentent des circuits de commande à plusieurs entrées. La figure 6.92 représente le circuit AH0019 (NS) où l'électronique de commande est un NAND à deux entrées. On pourrait de même vérifier que le circuit AH0014 utilise un NAND suivi d'un inverseur. Il est donc nécessaire, pour de plus amples informations, de consulter les Databooks des fabricants ainsi que les manuels d'applications.

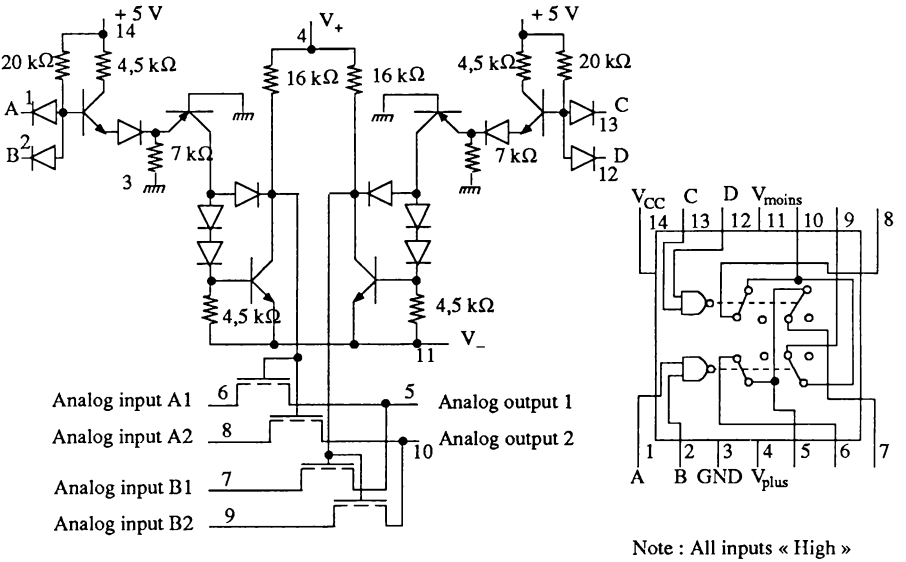


Figure 6.92

6.3.8. TECHNIQUE ET APPLICATION DES CAPACITÉS COMMUTÉES

6.3.8.1. Principe

La figure 6.93a représente le principe d'une capacité commutée. Le commutateur est commandé par une horloge, à une fréquence f_0 très grande devant la fréquence des signaux traités. De ce fait, les tensions V_E et V_S sont quasi constantes pendant une période d'horloge $T_0 = \frac{1}{f_0}$. Nous supposons que le rapport cyclique de commande est voisin de 0,5 et que le condensateur C_1 se charge ou se décharge avec une constante de temps très faible devant $T_0 / 2$.

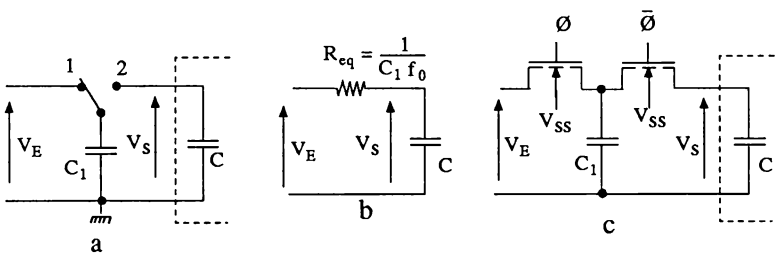


Figure 6.93

— **Position 1.** Le condensateur C_1 présente une charge

$$Q_1 = V_E\, C_1$$

— **Position 2.** Ce même condensateur se décharge (ou se charge) suivant la tension V_S. La nouvelle quantité d'électricité est

$$Q_2 = V_S\, C_1$$

Ainsi, pendant une période, la quantité de charge transférée est $\Delta Q = Q_1 - Q_2$, pour un temps $\Delta t = T_0$. Il s'ensuit une intensité équivalente

$$I_{eq} = \frac{Q_1 - Q_2}{T_0} = \frac{C_1\,(V_E - V_S)}{T_0}$$

et une résistance associée (figure 6.93b)

$$R_{eq} = \frac{V_E - V_S}{I_{eq}} = \frac{T_0}{C_1} = \frac{1}{C_1 f_0}$$

En pratique, les commutateurs sont des MOS (figure 6.93c). Leur résistance R_{on} doit être telle que $R_{on}\, C << \dfrac{T_0}{2}$ et les capacités parasites très faibles devant C_1 ou compensées.

6.3.8.2. Filtres à capacités commutées*

A. Élément de base, l'intégrateur. La figure 6.94 représente un intégrateur additionneur. On supposera $e_1 > e_2$.

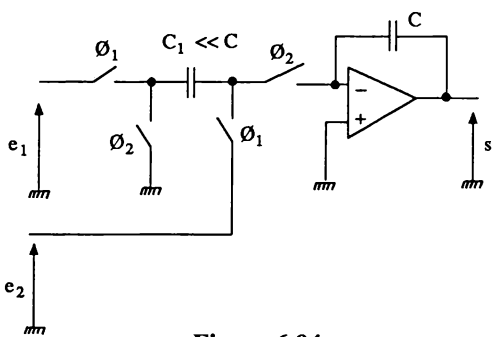


Figure 6.94

• **$\emptyset_1$ fermé, $\emptyset_2$ ouvert.** Le condensateur C_1 est rapidement chargé par la différence de tension $e_1 - e_2$, donc une énergie emmagasinée $Q_1 = (e_1 - e_2)\, C_1$. La tension de sortie s reste constante ($e_- \simeq e_+ = 0$).

* développé dans l'ouvrage *Filtres électriques*.

• **$\emptyset_1$ ouvert, $\emptyset_2$ fermé.** e_- devient négatif ; l'énergie du condensateur C_1 est transférée vers C, et en régime permanent, $e_- \simeq 0$ impose $v_{C_1} = 0$. Dans ces conditions $Q_2 = 0$. La sortie s a évolué en positif d'une valeur Δs associée à la variation de charge dans C (n'oublions pas la condition $C_1 << C$). La variation de charge $Q_1 - Q_2 = Q = (e_1 - e_2)\, C_1$ pendant l'intervalle de temps T_0 permet d'écrire

$$I_{eq} = \frac{Q_1}{T_0} = \frac{C_1}{T_0}(e_1 - e_2)$$

La capacité commutée C_1 est alors identique à une résistance

$$R_{eq} = \frac{e_1 - e_2}{I_{eq}} = \frac{1}{C_1 f_0}$$

ce qui permet de représenter le schéma-bloc équivalent de la figure 6.95

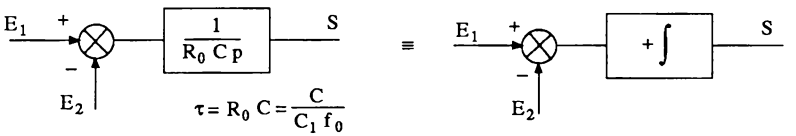


Figure 6.95

B. Filtre actif du premier ordre (figure 6.96). Le système bouclé nous fournit une fonction de transfert

$$\frac{S(p)}{E(p)} = \frac{\dfrac{1}{R_0 C p}}{1 + \dfrac{1}{R_0 C p}} = \frac{1}{1 + R_0 C p}$$

La pulsation de cassure est

$$\omega_C = \frac{1}{R_0 C} = \frac{C_1 f_0}{C} \qquad (\omega_0 >> \omega_C)$$

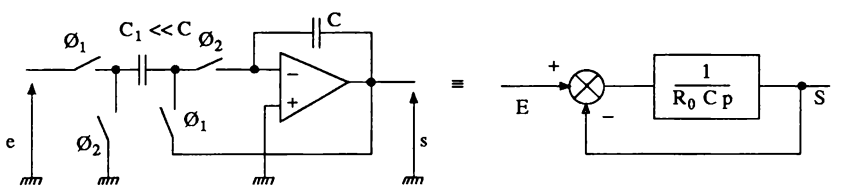


Figure 6.96

C. Filtre actif du deuxième ordre (figure 6.97). Le schéma-bloc (facile à représenter) permet d'obtenir la fonction de transfert

$$\frac{S(p)}{E(p)} = \frac{1}{1 + R_0 C_2 p + R_0 R_1 C_2 C_4 p^2}$$

avec $R_0 = \dfrac{1}{C_1 f_0}$ et $R_1 = \dfrac{1}{C_3 f_0}$

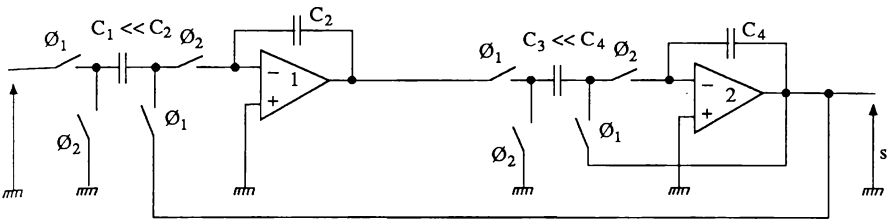


Figure 6.97

D. Exemples d'intégration d'un filtre à capacités commutées. La figure 6.98 représente l'organisation du circuit intégré LMF100 en technologie CMOS de NS. Chacun des deux filtres actifs à capacités commutées est constitué d'un amplificateur opérationnel, d'un additionneur-soustracteur et de deux intégrateurs. Le choix du câblage et le choix des bornes de sorties permet d'obtenir des filtres passe-bas, passe-haut, passe-bande et réjecteur, suivant les réponses de Butterworth, Chebyshev, Bessel ou Cauer.

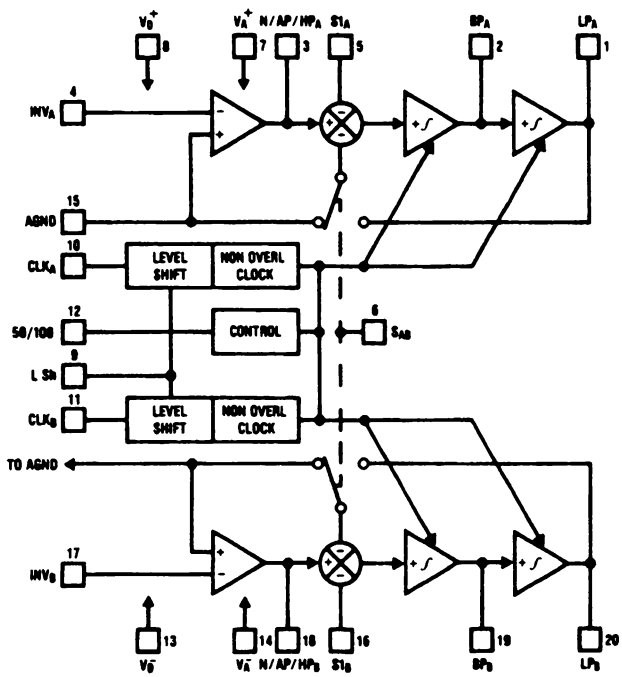


Figure 6.98

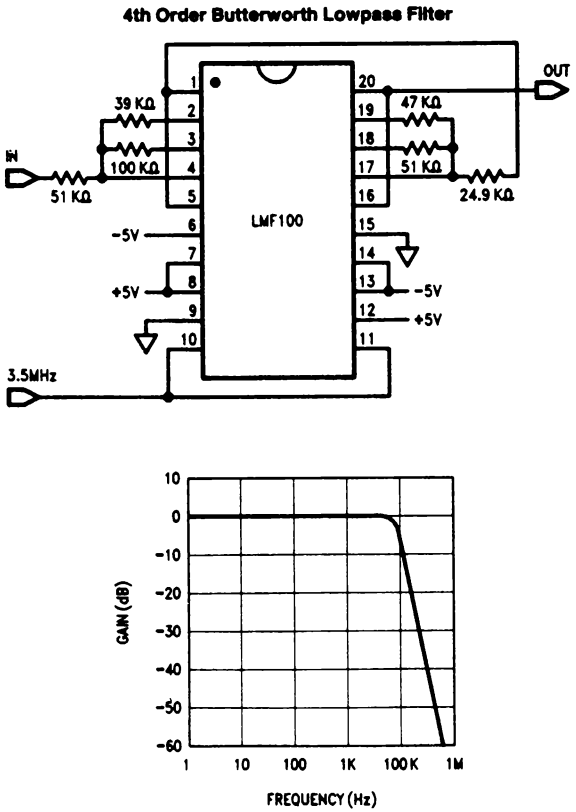


Figure 6.98 (suite)
Source : National Semiconductor

Un exemple de câblage et de réponse d'un filtre passe-bas de Butterworth du quatrième ordre est indiqué sur la figure 6.98, pour une fréquence de cassure de 100 kHz.

Remarques

— Les circuits MF10 et LMF100 sont compatibles. Leur différence est la fréquence maximale de fonctionnement (> 30 kHz pour le premier, > 100 kHz pour le second).

— Les avantages des filtres à capacités commutées sont :

- fabrication monolithique CMOS (amplificateurs opérationnels, commutateurs, capacités),
- la pulsation de cassure dépend de la fréquence d'horloge f_0 et d'un rapport précis de capacités,
- la consommation est réduite (pas de résistance).

6.3.8.3. Alimentations à découpage*

Les alimentations à découpage classiques utilisent des inductances. La présence de ces éléments est source de parasites électromagnétiques. Les alimentations à capacités commutées sont beaucoup plus souples d'emploi et tendent à se généraliser dans les circuits d'interface à microprocesseurs (BUS IEEE, etc.).

A. Convertisseur de tension négative (figure 6.99). Le circuit intégré constitué des quatre interrupteurs et de l'inverseur permet de charger C_1 à la valeur V_E = + 5 V, lorsque $\emptyset_1$ est fermé ($\emptyset_2$ ouvert), puis décharger partiellement C_1 dans C dans la phase suivante d'horloge. La tension V_S recueillie est négative et de valeur voisine de – 5 volts.

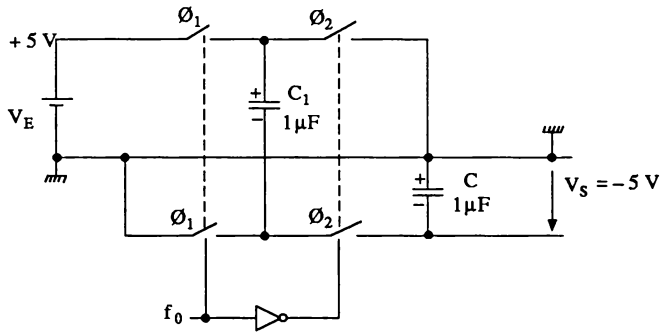


Figure 6.99

B. Doubleur de tension (figure 6.100). Lorsque $\emptyset_2$ est fermé, le condensateur se charge à travers D_1 à une valeur voisine de 5 volts. Lorsque $\emptyset_1$ est fermé, V_E et V_{C1} sont en série, la diode D_2 conduit et une faible quantité d'énergie de C_1 est transférée vers C. La tension de sortie V_S est voisine de 10 volts.

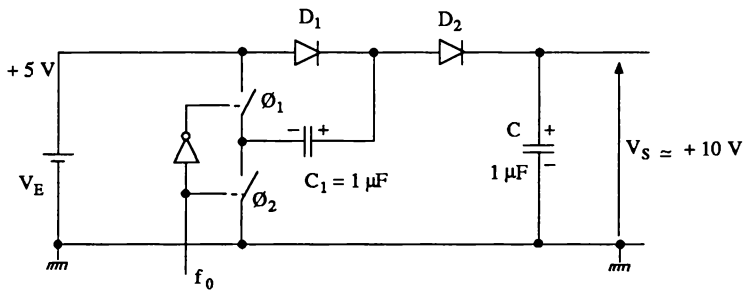


Figure 6.100

* développé dans l'ouvrage *Alimentations électroniques*.

Remarques

— Pour ces deux types d'alimentation, on peut utiliser le schéma équivalent de la figure 6.101 avec $V = -5$ V pour le convertisseur de tension négative et $V = +10$ V pour le doubleur de tension. Ainsi, la tension de sortie V_S est d'autant plus stable que R_0 est faible devant R_{ch} (absence de régulation).

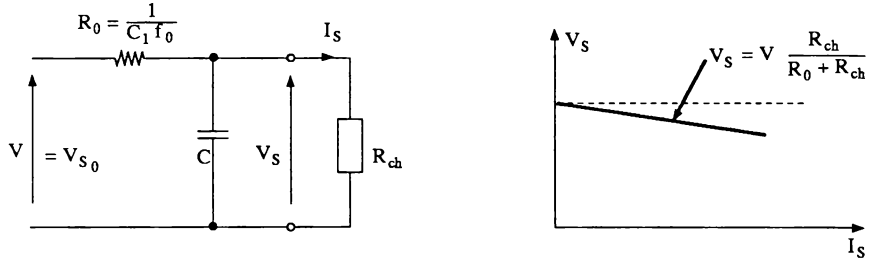


Figure 6.101

— Un circuit de régulation imposerait une fréquence d'horloge f_0 variable.

— On peut réaliser des tripleurs de tension, des quadrupleurs, des diviseurs, etc.

— Les sociétés les mieux placées pour ce genre de circuits intégrés sont Linear Technology et PMI.

6.3.8.4. Autres applications des capacités commutées

Le transfert des charges de capacité à capacité permet de réaliser bien d'autres fonctions de l'électronique* :

— calcul d'une valeur moyenne,

— oscillateurs sinusoïdaux,

— comparateur-trigger, etc.

6.4. CIRCUITS SPÉCIAUX

Ainsi que nous l'avons dit dans le paragraphe 6.1.3, les circuits linéaires spéciaux sont tellement diversifiés qu'une présentation complète est impossible. Nous donnons, à titre d'exemples, quelques schémas choisis de façon aléatoire.

---

* consulter l'ouvrage de R. Grégorian et G. Temes cité en bibliographie.

6.4.1. CONVERTISSEUR NUMÉRIQUE-ANALOGIQUE

La figure 6.102 représente le schéma de principe du convertisseur numérique-analogique DAC 0800, ainsi que son câblage. L'amplificateur différentiel présente sur ses bornes d'entrées 14 et 15, une tension nulle. Le courant $I_{Ref} = V_{Ref} / R_{ref}$ circule dans le premier transistor de gauche (courant I_+ négligeable) imposant une tension U aux bornes de sa résistance d'émetteur. La base de chaque autre transistor est au potentiel $U + 0{,}6$ par rapport à V_-. Le réseau $R - 2R$ impose alors un courant $\frac{I_{Ref}}{2}, \frac{I_{Ref}}{4}, \ldots, \frac{I_{Ref}}{256}$ dans chaque collecteur de transistor respectivement de gauche à droite. Les entrées numériques $B_1 \ldots B_8$ permettent de commuter ces courants collecteurs sur les bornes 4 ou 2 (courants entrant tels que $I_{out} + \overline{I}_{out} \simeq I_{Ref}$).

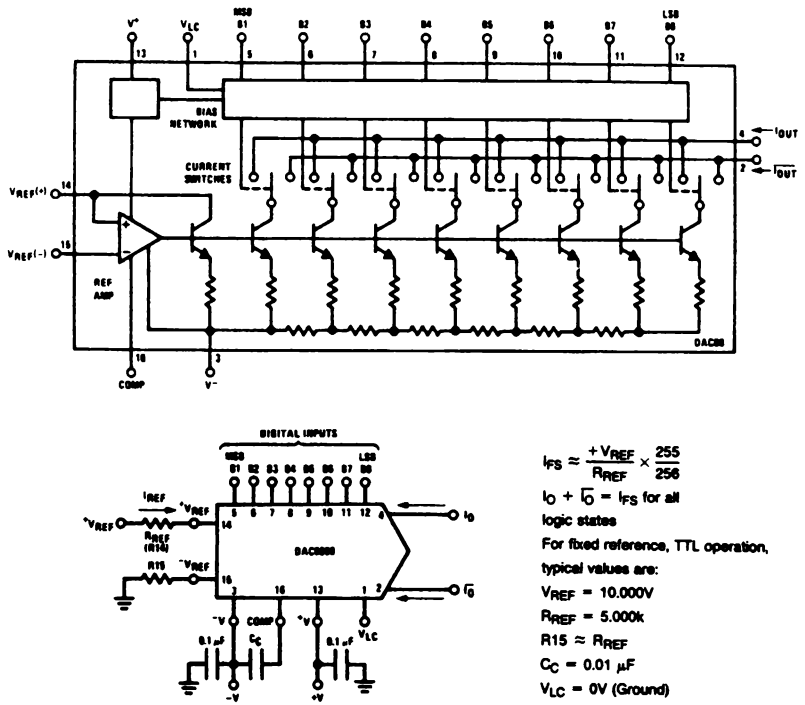


Figure 6.102
***Source* : National Semiconductor**

Le schéma réel du DAC est représenté sur la figure 6.103. Les transistors *PNP* supérieurs travaillent en comparateur (comparaison de la tension « numérique » avec 1,2 V). Les transistors *NPN* inférieurs travaillent en commutateurs (ils dirigent les courants collecteurs précédents vers les bornes de sortie 4 et 2).

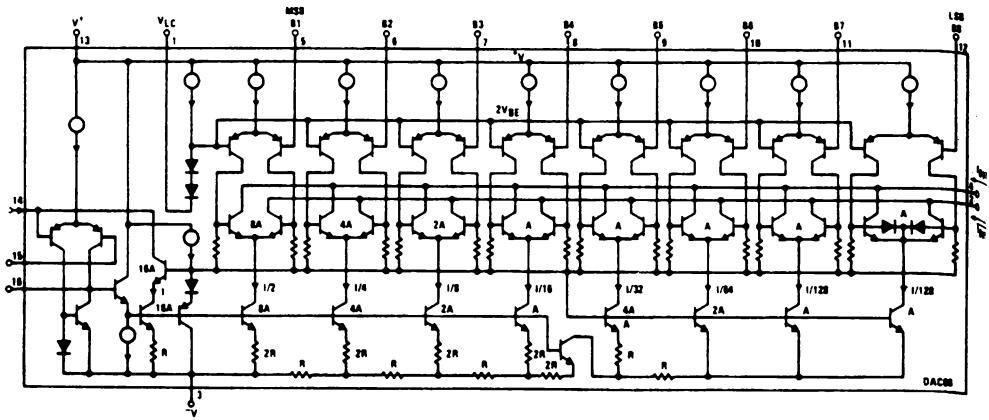


Figure 6.103
Source : National Semiconductor

6.4.2. RÉSEAU DE DIODES

La figure 6.104 représente un réseau de six diodes intégrées de référence CA3019 – RCA. Les applications de ce circuit intégré sont nombreuses :

— limiteur,
— mélangeur,
— modulateur,
— démodulateur, etc.

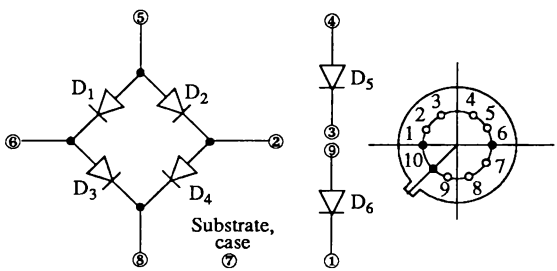


Figure 6.104

La figure 6.105 représente un modulateur en anneau dont le principe a été indiqué au chapitre 2.2.4.7. L'application, dans ce cas, est la modulation d'une porteuse (30 kHz) par un signal basse fréquence (2 kHz).

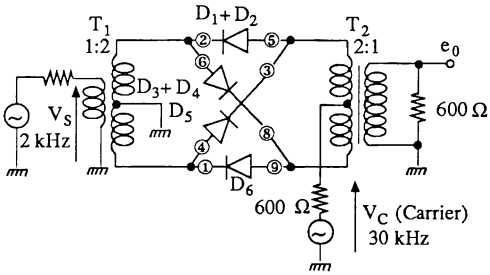


Figure 6.105

6.4.3. CIRCUIT INTÉGRÉ RADIOFRÉQUENCES

La figure 6.106 représente le circuit intégré CA3028 – RCA permettant de réaliser des amplificateurs radiofréquences en configurations différentielle ou cascode ainsi que nous les avons présentés au paragraphe 3.5.5.2. La figure 6.107 fournit un panorama des applications.

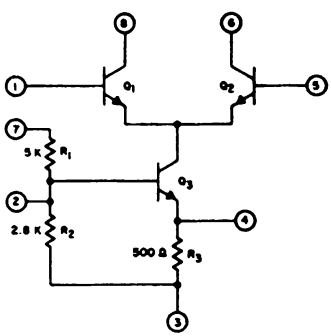
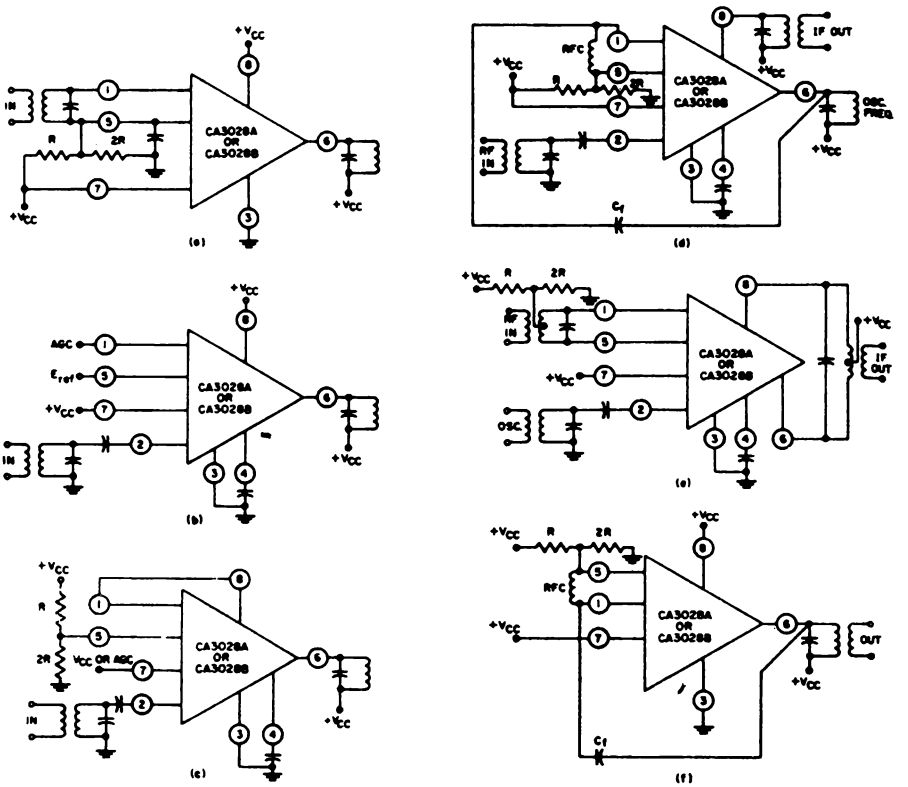


Figure 6.106
Source : RCA



Connections for the CA3028A and CA3028B for use as (a) a balanced differential amplifier with a controlled constant-current-source drive and agc capability; (b) a cascode amplifier with a constant-impedance agc capability; (c) a cascode amplifier with conventional agc capability; (d) a converter; (e) a mixer; (f) an oscillator.

Figure 6.107
Source : RCA

6.4.4. CIRCUITS INTÉGRÉS EN ARSÉNIURE DE GALLIUM

Les fonctions amplificateur, oscillateur, mélangeur, échantilloneur, etc., réalisées sur du silicium peuvent être préparées à partir de l'arséniure de gallium. Les avantages en sont :

— résistances plus faibles (donc moins encombrantes) à cause de la forte mobilité des électrons,

— capacités parasites réduites à cause du substrat semi-isolant.

A dimensions égales, les circuits GaAs sont environ cinq fois plus rapides que les circuits Si. Toutefois, on ne sait réaliser que des MESFET canal *N*.

Les cellules de base sont les montages source commune avec charge résistive, charge active (transistor polarisé avec V_{GS} = 0) ou charge accordée, les montages drain commun et les amplificateurs différentiels. On trouve deux types de réalisations :

— les fonctions classiques précitées,

— les circuits intégrés monolithiques micro-ondes MMIC pour les applications « grand public » (réception d'émissions de télévision diffusées par satellites à 12 GHz) ou pour les modules de transmission et de réception par satellites à 20-30 GHz.

La figure 6.108 représente le schéma de principe d'une « tête de réception » de télévision (émission par satellite). Le mélangeur ramène la fréquence RF à une fréquence intermédiaire FI plus faible. La figure 6.109 fournit quelques schémas réels.

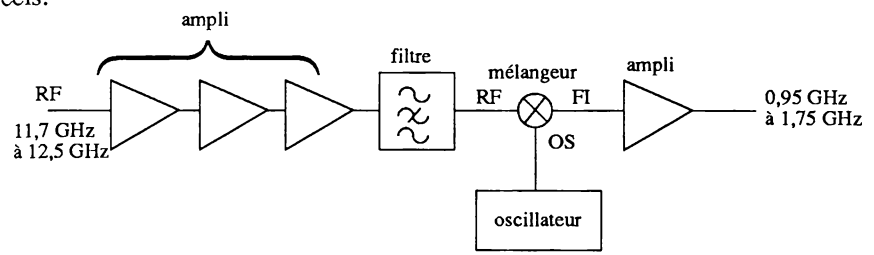
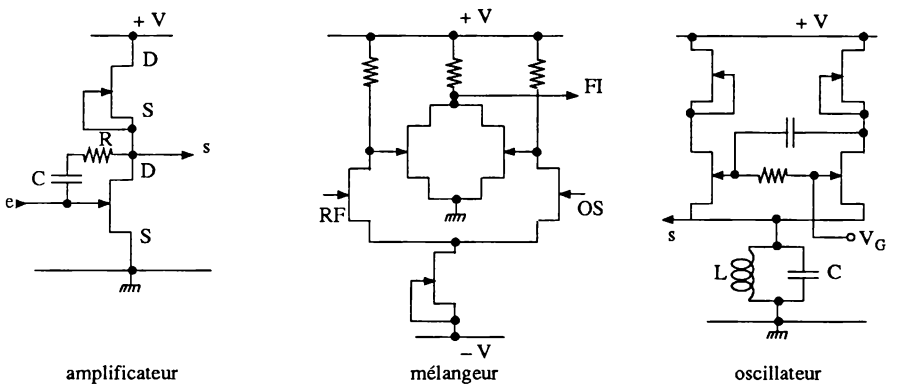


Figure 6.108



amplificateur mélangeur oscillateur

Figure 6.109

6.4.5. DISPOSITIFS A TRANSFERT DE CHARGES CCD

Les dispositifs CCD *(Charge Coupled Devices)* ou DTC (Dispositifs à transfert de charges) datent des années soixante-dix. Ils sont constitués d'un ensemble

de capacités MOS réalisées sur la même plaquette de silicium dopé dont les grilles sont situées très près les unes des autres. Le principe de fonctionnement fait appel à l'étude de la structure MIS présentée au paragraphe 4.1.3.1, qu'il est préférable de revoir.

Les circuits CCD sont purement analogiques. Leurs grandes applications sont :

— les registres à décalage, mémoires,

— les filtres électriques,

— la reproduction d'images (caméras), etc.

La figure 6.110 permet de comprendre le principe. Le matériau semiconducteur est de type *P*. Les grilles doivent être polarisées positivement afin d'obtenir un régime de désertion puis d'inversion.

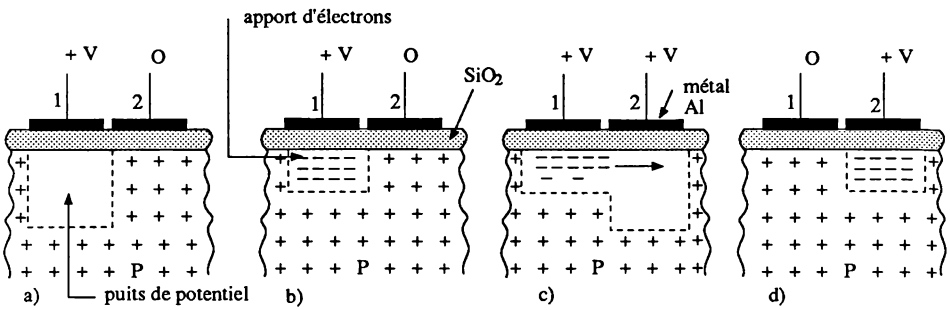


Figure 6.110

— **Figure a.** L'application d'une tension positive $+V$ sur la grille 1 crée instantanément sous cette grille un puits de potentiel correspondant à une zone de désertion dans le semiconducteur.

— **Figure b.** Très rapidement, cette zone de désertion devient zone d'inversion par apport d'électrons injectés électriquement ou optiquement réduisant la charge dans la zone déserte.

— **Figure c.** On polarise la grille 2 (grille 1 toujours polarisée). Un phénomène identique au cas précédent se produit et les électrons s'étalent sous les deux grilles.

— **Figure d.** La grille 1 n'est plus polarisée, alors tous les électrons précédents sont sous la grille 2.

On peut ainsi transférer les charges en alimentant successivement des grilles situées les unes contre les autres suivant un chemin déterminé. Il se pose toutefois le problème de l'alimentation séquentielle de ces grilles à partir d'une horloge.

— **Système à trois phases.** La figure 6.111 représente ce système où la phase $\varnothing_1$ est alimentée. Pour que le transfert de charge ait lieu de la gauche

vers la droite, il faut alimenter séquentiellement les phases de la manière suivante : $\emptyset_1$, $\emptyset_1 + \emptyset_2$, $\emptyset_2$, $\emptyset_2 + \emptyset_3$, $\emptyset_3$, $\emptyset_3 + \emptyset_1$, $\emptyset_1$, etc.

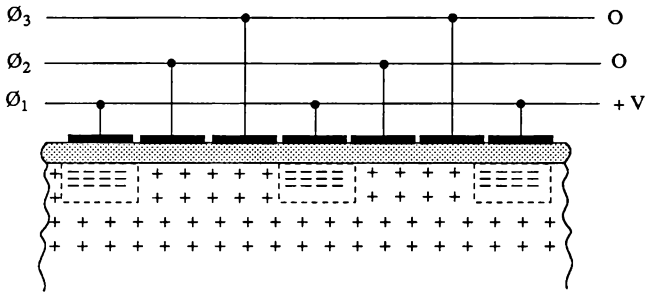


Figure 6.111

Ce système, utilisé à l'apparition des circuits CCD, est abandonné pour les raisons suivantes :

- horloge triphasée difficile à réaliser,
- mauvaise densité d'intégration puisque deux grilles séparent les paquets de charges,
- difficulté de réaliser des grilles très peu distantes l'une de l'autre (de l'ordre du micron).

— **Système à deux phases.** Il utilise des grilles de formes différentes créant ainsi une dissymétrie des puits de potentiel ne permettant le cheminement des charges que dans un seul sens (on retrouve l'analogie de ce procédé dans la commande des moteurs pas à pas monophasés – alimentation bipolaire – ou diphasés – alimentation unipolaire – voir ouvrage *Électronique industrielle*). La figure 6.112 en fournit le principe. La différence des épaisseurs de l'isolant SiO_2 sous les grilles, impose une profondeur de puits de potentiel différente. Nous représentons sur cette figure la transition où la phase $\emptyset$ passe de 0 à + V et la phase complémentaire $\overline{\emptyset}$ passe de + V à 0.

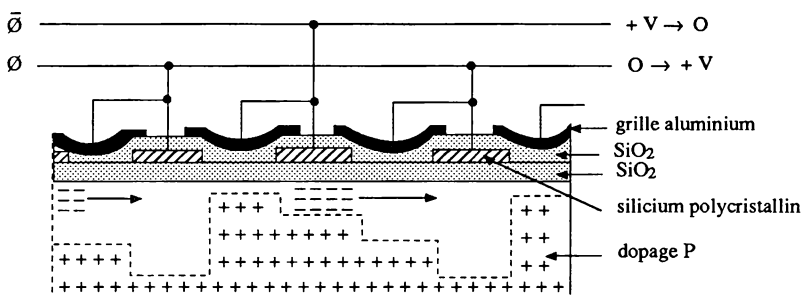


Figure 6.112

Décrivons sommairement le principe des applications, sachant qu'elles sont étudiées en détail dans d'autres ouvrages spécifiques.

— **Senseur d'images.** Une « barrette » CCD est constituée :

• d'un registre photosensible où les grilles semitransparentes, faiblement polarisées positivement, laissent passer les photons. Ceux-ci permettent la création de paires électron-trous dans les zones désertées (faible puits de potentiel). Grâce à la polarisation, les électrons s'accumulent en surface et les « trous » s'enfoncent dans le semiconducteur dopé *P*,

• d'un registre de transfert attirant les électrons précédents vers une zone inactive,

• d'un registre de décalage série acheminant les paquets d'électrons (proportionnels à l'éclairement) vers un amplificateur.

— **Filtres électriques.** Effectuer le filtrage en fréquence d'un signal revient à multiplier sa transformée de Fourier par la réponse en fréquence du filtre. Sachant que le produit dans le domaine fréquentiel revient à effectuer le produit de convolution dans le domaine temporel (produit de convolution inverse de Fourier de la réponse en fréquence du filtre), il suffit d'utiliser les dispositifs à transfert de charges adaptés pour réaliser un produit de convolution (échantillonnage du signal de l'entrée en paquets de charges, puis transfert de ceux-ci le long d'un registre à décalage à CCD dont les éléments dépendent du type de filtre à réaliser.

La limitation technologique des dispositifs à transfert de charges est associée aux temps de transfert dont la valeur dépend : de la nature de la charge, de la mobilité en surface, de l'inverse du carré de la longueur d'une électrode. Tous ces éléments réunis nous imposent un temps de transit limite de 0,1 µs, donc une fréquence limite d'horloge de 10 MHz.

Une amélioration des dispositifs CCD (déplacement des charges en surface) sont les dispositifs BCCD *(Burried channel Charge Coupled Devices)* où un canal enterré permet aux charges de se déplacer en volume, améliorant ainsi très nettement les temps de transfert.

CHAPITRE 7

Intégration des fonctions logiques (ou numériques)

Ce chapitre est destiné à présenter le procédé de réalisation et le principe de fonctionnement des portes élémentaires, ainsi que quelques caractéristiques associées (tensions, courants, consommation, temps de propagation), sachant que tout circuit numérique, même complexe, est constitué d'un ensemble de ces portes. Tous ces éléments sont souvent nécessaires à connaître chaque fois que des problèmes de « hard » se posent.

Notons qu'en aucun cas, ce chapitre ne se substitue à un cours de numérique, mais fait suite normale à cet ouvrage en ce qui concerne l'intégration des composants.

7.1. PRÉSENTATION SUCCINCTE DES CIRCUITS INTÉGRÉS NUMÉRIQUES

7.1.1. ESSAI DE CLASSIFICATIONS

Le nombre très important et grandissant des circuits intégrés numériques ne facilite pas la classification. Toutefois, on peut admettre :

— une classification en fonction du nombre de composants intégrés,

— une classification en fonction de la technologie utilisée.

7.1.1.1. Classification en fonction du nombre de composants

— **Petite échelle d'intégration** (SSI – *Small Scale Integration*) dont le nombre de portes élémentaires est inférieur à 10, soit moins de 100 transistors. On trouve :

- les opérateurs de base (ou portes élémentaires) tels que : NAND, NOR, AND, OR, ...
- les bascules simples telles que RS, JK, monostables, bistables, ...

— **Moyenne échelle d'intégration** (MSI – *Medium Scale Integration*) dont le nombre de portes élémentaires est compris entre 10 et 100, soit moins de 1 000 transistors. On trouve :

- les compteurs, décompteurs,
- les multiplexeurs,
- les circuits arithmétiques (additionneurs, UAL, ...),
- les décodeurs,
- les registres à décalage, ...

— **Grande échelle d'intégration** (LSI – *Large Scale Integration*) dont le nombre de portes est compris entre 100 et 1 000, soit moins de 10 000 transistors. On trouve :

- les microprocesseurs 8 bits,
- les circuits d'interface (PIA, ACIA, ...),
- les mémoires de plusieurs kilobits, ... (Une anecdote : le microprocesseur 6 800 aurait 6 800 transistors.)

— **Très grande échelle d'intégration** (VLSI – *Very Large Scale Integration*) dont le nombre de portes est supérieur à 1 000, soit plus de 10 000 transistors. On trouve :

- les microprocesseurs 16 bits, 32 bits,
- les mémoires à grande capacité, ...

— **Ultra grande échelle d'intégration** (ULSI – *Ultra Large Scale Integration)* dont le nombre de portes est supérieur à 10 000, soit plus de 100 000 transistors. C'est le cas de certains circuits ASIC (voir chapitre 8).

Remarques

— Sans vouloir faire un cours de numérique, les portes élémentaires sont symbolisées sur le tableau 7.1. La représentation de droite est celle qui est normalisée.

— Les portes élémentaires peuvent présenter trois types de sorties :

- **basse impédance**
  * « 0 » logique, voisin de l'alimentation négative,
  * « 1 » logique, voisin de l'alimentation positive,
- **trois états**
  * basse impédance, « 0 » ou « 1 »,
  * haute impédance, la sortie est isolée du circuit,
- **collecteur ou drain ouvert**, imposant un élément de polarisation extérieur.

— Les fabricants de circuits intégrés numériques fournissent :

- le schéma réel dans le cas des SSI,

- l'assemblage des portes élémentaires dans le cas des MSI,
- l'organisation interne des circuits dans le cas des LSI et VLSI. Pour ces derniers, on trouve les caractéristiques d'entrée et de sortie, ainsi que les chronogrammes opérationnels.

— La classification précédente peut aussi être utilisée pour les circuits intégrés analogiques. Dans ce cas, elle est fonction du nombre de transistors et non plus du nombre de portes élémentaires.

— L'évolution de la densité d'intégration est due aux facteurs suivants :
- amélioration de la purification du substrat et de la précision du dopage (implantation ionique, ...),
- amélioration de la finesse des tracés,
- diminution de la puissance dissipée dans les circuits.

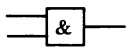
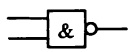
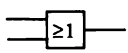
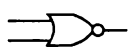
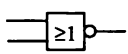
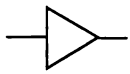
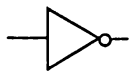
AND GATE *OPERATEUR ET*		
NAND GATE *OPERATEUR ET-NON*		
OR GATE *OPERATEUR OU*		
NOR GATE *OPERATEUR OU-NON*		
AMPLIFIER, BUFFER POWER GATE *AMPLIFICATEUR* *OPERATEUR DE PUISSANCE*		
INVERTER *INVERSEUR*		

Tableau 7.1

7.1.1.2. Classification en fonction de la technologie

Nous trouvons :

A. Les circuits bipolaires saturés

— Circuits ayant disparu ou en cours de disparition
- **RTL** *(Resistor Transistor Logic)* où on trouve des résistances en entrée et un transistor en sortie ;

• **DTL** *(Diode Transistor Logic)* avec des diodes en entrée et un transistor en sortie ;
• **TTL** *(Transistor Transistor Logic)* avec un transistor multiémetteur en entrée et deux transistors en sortie présentés en trois séries :
  * **série N** (normale ou standard)
  * **série H** *(High Speed)*
  * **série L** *(Low power).*

— **Circuits actuellement utilisés**
• **I^2L** *(Integrated Injection Logic)* permettant une très grande densité d'intégration, aussi bien dans le domaine numérique que dans le domaine analogique.

B. Les circuits bipolaires non saturés

— **Circuits utilisant des diodes Schottky d'antisaturation** (TTL Schottky). On trouve :
• **série S** *(Schottky)*
• **série LS** *(Low power Schottky)*
• **série ALS** *(Advanced Low power Schottky)*
• **série AS** *(Advanced Schottky)*
• **série FAST** *(Fairchild Advanced Schottky Technologie)*

— **Circuits utilisant des transistors volontaiement non saturés :**
• **CML** *(Current Mode Logic)*
• **ECL** *(Emitter Coupled Logic)*
• **MECL** *(Multiemitter Coupled Logic).*

C. Les circuits NMOS (ou EDMOS) n'utilisant que des transistors MOS canal *N* (les circuits PMOS ont disparu). L'organisation est :
— le NMOSE comme élément actif,
— le NMOSD comme élément de charge.

D. Les circuits CMOS utilisant des transistors complémentaires à enrichissement. En fonction de l'évolution technologique, on rencontre :
— **la série CMOS classique** (54/74Cxxx ou CD4xxx) dont la tension d'alimentation peut varier de 3 V à 18 V,
— **les séries CMOS rapides HC, HCT, AC et ACT** dont la tension d'alimentation peut varier de 2 V à 6 V (standard 5 V).

E. Les circuits BICMOS alliant les avantages de la technologie CMOS (étages d'entrée et fonctionnels) et de la technologie bipolaire (étage de sortie).

F. Les circuits GaAs utilisant des transistors MESFET à déplétion et à enrichissement. Ils permettent des temps de propagation inférieurs à la nanoseconde.

Remarques

— Certaines technologies permettent de fournir des familles de fonctions de base indépendantes et directement compatibles (TTL Schottky, ECL, CMOS). Les autres technologies ne servent qu'à réaliser des fonctions à grande échelle d'intégration (I^2L, NMOS, BICMOS, GaAs).

— Chaque famille présente des caractéristiques d'entrée, de sortie, de transfert et d'alimentation rigoureusement définies, permettant ainsi un choix approprié.

— Les circuits intégrés numériques sont présentés sous forme de boîtiers dont la forme et le nombre de connexions dépendent de l'importance du circuit. On rencontre :

- **les boîtiers plats** *(Flat package)* à base de céramique ;
- **les boîtiers allongés** (DIL – *Dual In Line*) présentant deux rangées de connexions (ou SIL – *Single In Line*). Le matériau est en époxy ou céramique. Les connexions peuvent être droites (soudures opposées au circuit) ou coudées (soudures côté circuit – référence S0) ;
- **les boîtiers chip carrier** enfichables sur des supports appropriés ;
- **les boîtiers pin grid array** utilisés lorsque le nombre de connexions devient trop important (boîtier carré avec connexions réparties sur les quatre côtés et sur plusieurs rangées).

7.1.2. CARACTÉRISTIQUES STATIQUES

7.1.2.1. Caractéristiques d'entrée et de sortie

A. Caractéristiques en tension. Elles sont définies à partir de la caractéristique de transfert V_0 (V_I) pour l'opérateur de base : **l'inverseur.**

La figure 7.1 représente cette caractéristique. On aperçoit trois zones :

— **zones hachurées.** Ce sont les zones interdites correspondant au gabarit de la fonction.

— **zones claires.** Ce sont les zones de bon fonctionnement en numérique (« 0 » ou « 1 » logique).

— **zone à petits points.** C'est la zone non saturée utilisable dans certains cas très particuliers (amplificateur des exercices 9 et 10 – paragraphe 4.4.7).

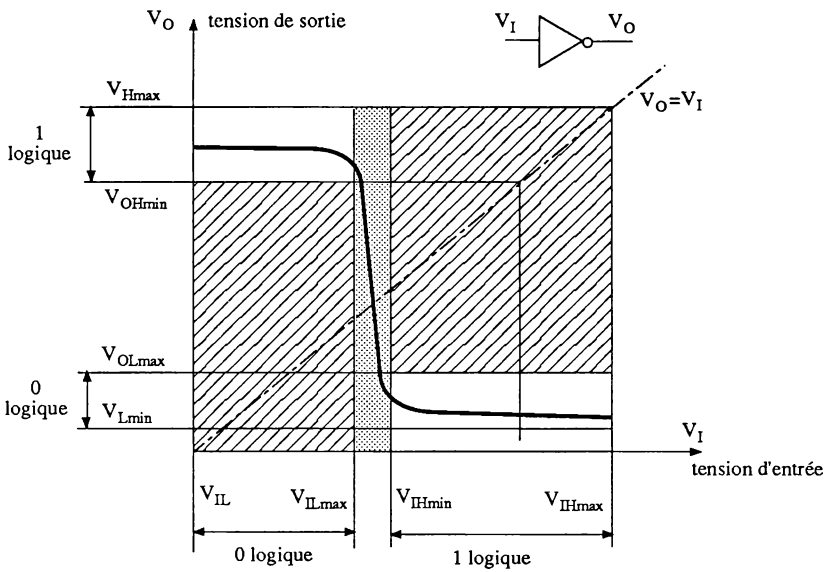


Figure 7.1

De cette caractéristique V_0 (V_I), on déduit les états logiques limites de la figure 7.2. Les éléments fondamentaux sont :

— V_{OIHmin}, tension de sortie à l'état haut minimun,
— V_{OLmax}, tension de sortie à l'état bas maximun,
— V_{IHmin}, tension d'entrée à l'état haut minimum
— V_{ILmax}, tension d'entrée à l'état bas maximum.

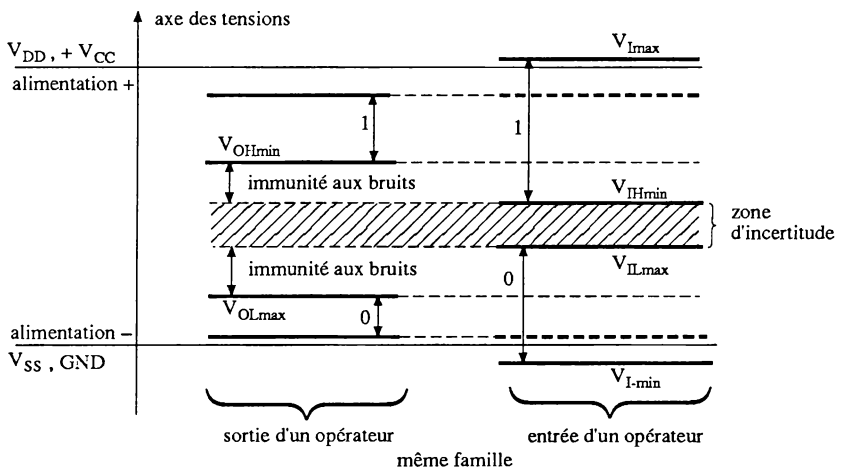


Figure 7.2

La zone d'incertitude est la différence entre V_{IImin} et V_{ILmax}.

L'immunité aux bruits (tension de bruit pouvant parasiter le processus) correspond à $V_{OHmin} - V_{IImin}$ pour l'état « 1 » et $V_{ILmax} - V_{OLmax}$ pour l'état « 0 ».

B. **Caractéristiques en courant.** Les états logiques limites précédents dépendent de la valeur des courants d'entrée I_I et de sortie I_0. Notons quelques règles et lois physiques :

— les courants d'entrée et de sortie sont notés positifs lorsqu'ils sont entrants (théorie des quadripôles),

— le courant d'entrée est « entrant » à l'état haut et « sortant » à l'état bas,

— le courant de sortie est « sortant » à l'état haut et « entrant » à l'état bas.

La figure 7.3 représente un inverseur dont l'entrée est à « 1 » (donc la sortie « 0 »).

- Le courant d'entrée est « entrant » ; il ne dépasse pas une valeur I_{IHmax} pour l'état haut minimum V_{IImin} (ce courant est quelquefois noté I_{IHmin}).
- Le courant de sortie est « entrant » ; il ne dépasse pas une valeur I_{OLmax} afin de ne pas « sortir » de l'état logique « 0 », c'est-à-dire V_{OLmax}.

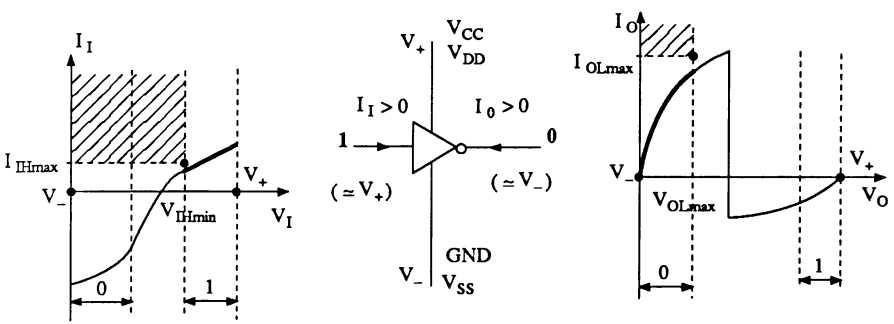


Figure 7.3

La figure 7.4 représente le même inverseur dont l'entrée est à « 0 » (donc la sortie à « 1 »).

- Le courant d'entrée est « sortant » ; il ne dépasse pas une valeur $|I_{ILmax}|$ pour l'état bas maximum V_{ILmax}.
- Le courant de sortie est « sortant » ; il ne doit pas dépasser une valeur $|I_{OHmax}|$ afin de ne pas « sortir » de l'état logique « 1 » c'est-à-dire V_{OHmin} (ce courant est quelquefois noté I_{OHmin}).

Notons que les exemples des figures précédentes ressemblent aux caractéristiques d'un opérateur TTL alimenté entre $V_+ = +5$ V et $V_- = 0$ V.

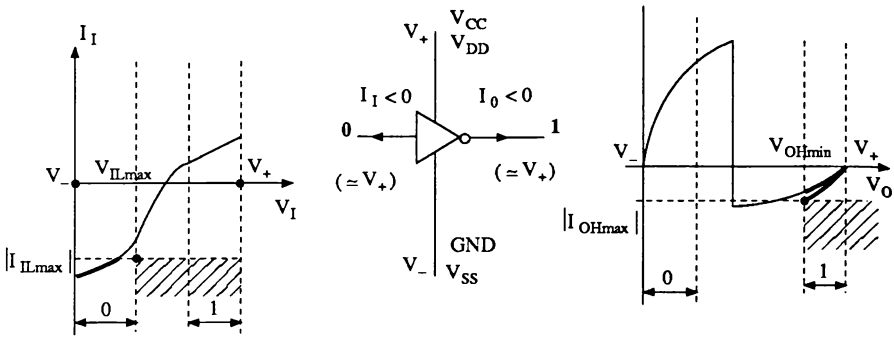


Figure 7.4

En résumé :

- I_{IHmax} (quelquefois noté I_{IHmin}) = courant maximum d'entrée à l'état haut (entrant).
- I_{ILmax} = courant maximum d'entrée à l'état bas (sortant).
- I_{OHmax} (quelquefois noté I_{OHmin}) = courant maximum de sortie à l'état haut (sortant).
- I_{OLmax} = courant maximum de sortie à l'état bas (entrant).

Quelques autres éléments sont fournis sur les caractéristiques :

- I_{Imax} = courant maximum d'entrée lorsque la tension d'entrée V_{Imax} est supérieure à la tension d'alimentation.
- I_{OS} = courant de court-circuit en sortie.
- V_{Imin} = tension minimale d'entrée à l'état bas sans détruire l'opérateur (par exemple, – 0,5 V pour un circuit alimenté entre + 5 V et 0 V).

C. Sortance d'un opérateur. C'est la possibilité pour cet opérateur d'alimenter une charge. Trois cas se présentent :

— La charge est constituée de plusieurs entrées d'opérateurs de la même famille alors :

$$V_{OLmax} < V_{ILmax}$$
$$V_{OHmin} > V_{IHmin}$$
$$I_{OLmax} > I_{ILmax}$$
$$I_{OHmax} > I_{IHmax}$$

La sortance n de l'opérateur (ou *fan out*) est définie par la relation

$$I_{Omax} = n\, I_{Imax}$$

pour le cas le plus défavorable, à l'état haut ou à l'état bas. **Le nombre entier n correspond au nombre maximum d'entrées que peut alimenter cet opérateur** (voir tableaux suivants).

— La charge est constituée d'une ou plusieurs entrées d'opérateurs de familles différentes. Il faut alors vérifier que les inégalités précédentes restent

vraies (on dit qu'il y a compatibilité). Sinon un circuit d'interface est nécessaire (voir section 7.9).

— La charge est quelconque, alors il est fondamental de connaître l'intensité absorbée par cette charge ainsi que la tension nécessaire au bon fonctionnement. Il est aisé de remplacer l'opérateur par un générateur de Thévenin équivalent :

- état haut, $E_{ThH} = V_+$ et $R_{ThH} = \dfrac{V_+ - V_{OHmin}}{I_{OHmax}}$,
- état bas, $E_{ThB} = V_-$ et $R_{ThB} = \dfrac{V_{OLmax} - V_-}{I_{OLmax}}$

Là aussi, un circuit d'interface peut être nécessaire.

7.1.2.2. Caractéristiques d'alimentation

A. Tension d'alimentation. Elle peut être figée (0 V, + 5 V pour le TTL Schottky et 0 V, – 5,2 V pour l'ECL), ou variable (de 2 V à 6 V pour la CMOS rapide et de 3 V à 18 V pour la CMOS standard). Rien n'empêche, pour cette dernière, d'être alimentée symétriquement (par exemple ± 5 V, à condition de respecter la compatibilité, c'est-à-dire « 0 » logique ≃ – 5 V et « 1 » logique ≃ + 5 V).

B. Courant absorbé. Les databooks fournissent la valeur du courant absorbé lorsque toutes les entrées sont à « 0 » ou à « 1 ». Pour une évolution lente de la tension d'entrée permettant un changement d'état en sortie, le courant absorbé passe par un maximum lorsque les deux transistors du dernier étage conduisent en même temps (passage dans la zone d'incertitude). La figure 7.5 représente une telle évolution pour un boîtier contenant six inverseurs, en technologies TTL et CMOS.

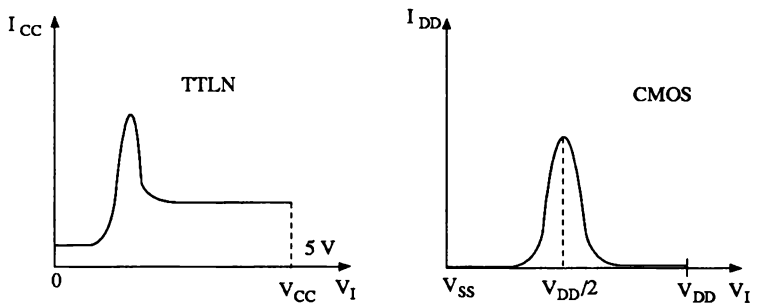


Figure 7.5

G. Puissance absorbée. La puissance absorbée en statique est faible, voire nulle, comparée à la puissance absorbée en dynamique (on définit un facteur de mérite ou facteur de qualité correspondant au produit de la puissance absorbée par le temps de propagation).

7.1.3. CARACTÉRISTIQUES DYNAMIQUES

7.1.3.1. Temps de réponse

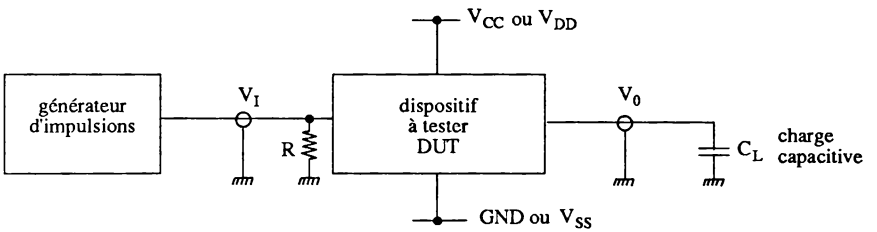
Les temps de réponse d'un circuit numérique correspondent :

— aux temps de montée et de descente du signal de sortie V_0, pris à 10 % et 90 % de l'évolution,

— aux temps de propagation entre le signal d'entrée V_I et le signal de sortie V_0 pris à 50 % de l'évolution.

Les causes de ces temps étant multiples, on reverra avec intérêt la section 5.1.

La figure 7.6 représente le principe de mesure de ces temps. Le dispositif est toujours chargé par une capacité C_L de valeur imposée par les fabricants (en général 50 pF). Le câble coaxial d'entrée est adapté par une résistance R connectée à l'entrée.



DUT = Device Under Test

Figure 7.6

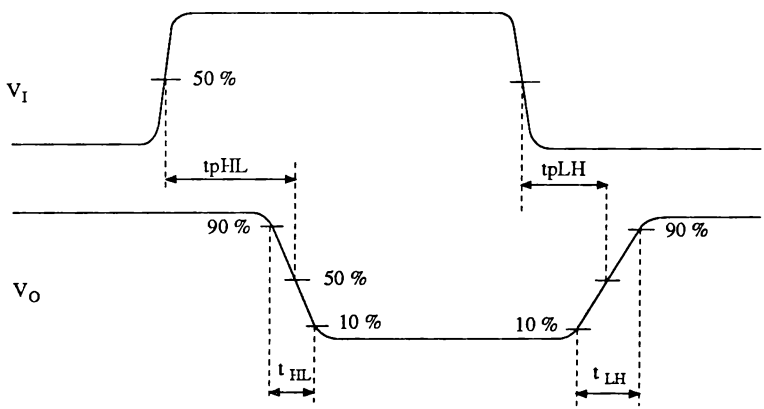


Figure 7.7

La figure 7.7 représente deux signaux V_I et V_0. On trouve :
— t_{pHL}, temps de propagation pour le passage « 1 » → « 0 »
— t_{pLH}, temps de propagation pour le passage « 0 » → « 1 »
— t_{HL}, temps de descente
— t_{LH}, temps de montée.

Le temps de propagation moyen est $t_p = \frac{t_{pHL} + t_{pLH}}{2}$. **Il augmente linéairement avec la capacité de charge.**

7.1.3.2. Facteur de mérite

En régime dynamique, les deux paramètres importants sont : le temps de propagation t_p et la puissance consommée P. Cette dernière augmente en fonction de la fréquence ainsi que l'indique la figure 7.8. Le facteur de mérite ou de qualité est le produit de ces deux paramètres

$$F = t_p \cdot P \quad \text{en joules J (ou pJ).}$$

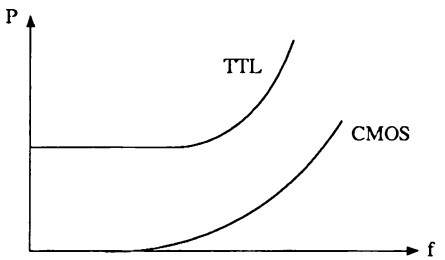


Figure 7.8

7.2. CIRCUITS BIPOLAIRES SATURÉS

Mise à part la famille I^2L utilisée dans les circuits LSI à cause de sa très bonne densité d'intégration, les autres familles à transistors bipolaires saturés ont disparu ou disparaissent (RTL, DTL, TTL).

7.2.1. FAMILLE TTL

Malgré sa disparition, cette famille présente encore l'avantage d'une bonne compréhension de fonctionnement et est la base de la famille TTL Schottky couramment utilisée.

Nous avons vu, au paragraphe 3.3.4, le principe d'un opérateur DTL et d'un opérateur TTL simplifié. **En statique, le transistor multiémetteur d'entrée travaille « en diodes ». Sa fonction transistor n'intervient qu'en dynamique, pour évacuer les charges stockées dans la zone de base du transistor de sortie commandé au blocage.**

7.2.1.1. Principe de l'inverseur TTL standard 7404

L'inverseur TTL standard représenté sur la figure 7.9 est fabriqué avec cinq autres inverseurs sur une même puce suivant les techniques vues au paragraphe 6.2.1 (technique planar épitaxiée). Logés dans un boîtier DIL à 14 broches, ils sont désignés par les références 7404 (séries commerciales, 0°C, + 70°C) et 5404 (séries militaires, – 55°C, + 125°C). Le principe de fonctionnement est le suivant :

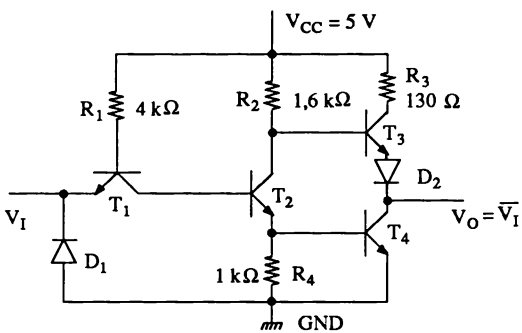


Figure 7.9

— V_I = « 0 », V_0 = « 1 » **(figure 7.10).** La résistance R_e représente la résistance de Thévenin du générateur d'attaque. Si cette résistance est nulle, l'émetteur de T_1 est à 0 volt, ce qui impose un potentiel de base de + 0,7 V et un courant « sortant » $I_I = \dfrac{5-0,7}{R_1}$. Ce potentiel de + 0,7 V est suffisamment « faible » pour que T_2 et T_4 soient bloqués. Alors T_3 conduit (non saturé) grâce à R_2 et le courant I_0 « sortant » circule dans R_3, T_3, D_2 et dans la charge R extérieure. La tension de sortie à l'état haut ne peut être qu'inférieure à la valeur 5 – (0,6 + 0,6) = 3,8 V.

Remarquons que si la résistance du générateur d'attaque R_e est de valeur non nulle, parcourue par le courant I_I, elle engendre une tension

positive qui élève le potentiel de la base de T_1 et peut permettre la conduction de T_2 et T_4 (pour V_{Re} = 1,2 V). On sort alors de la zone « 0 » logique.

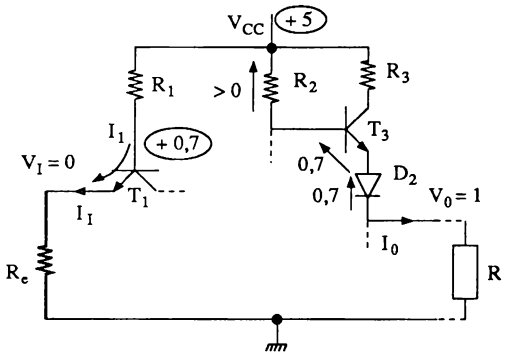


Figure 7.10

— V_I = « 1 », V_0 = « 0 » **(figure 7.11).** Le générateur d'attaque (+ V_{CC}, R'_e) impose une tension positive sur l'émetteur de T_1 bloquant la jonction base-émetteur. Alors le courant I_1 circule dans R_1, dans la jonction base-collecteur de T_1 puis dans les jonctions base-émetteur de T_2 et T_4 saturant ceux-ci. Comme le potentiel entre le collecteur de T_2 et le collecteur de T_4 est de 0,7 V, le transistor T_3 est bloqué à cause de la présence de la diode D_2 (il faudrait 1,2 V pour assurer leur conduction).

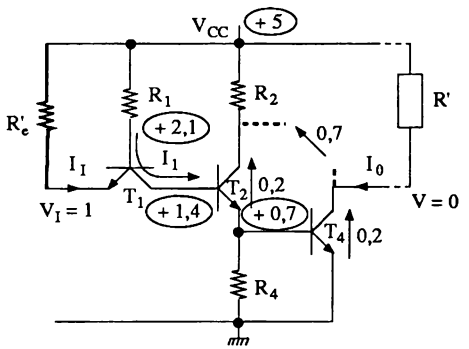


Figure 7.11

Le courant I_I « entrant » est de faible valeur puisqu'il représente le courant de fuite de la jonction base-émetteur en inverse. Le courant de sortie I_0 est « entrant » et correspond au courant collecteur. Ce courant ne doit pas dépasser la valeur $\beta_4 I_{B4}$ sinon T_4 se désature et l'information « 0 » logique en sortie est perdue.

Remarques

— L'entrée de cet opérateur « en l'air » est équivalente à un « 1 » logique.

— Les éléments non cités jouent le rôle suivant :

- D_1, diode de protection en entrée pour une tension V_I négative,
- R_3 limite la consommation de l'étage de sortie *totem-pole* dans la phase de commutation en sortie « 0 » → « 1 » (T_3 conduit avant que T_4 ne se bloque),
- R_4 permet d'évacuer les charges stockées dans la base de T_4. Les charges stockées dans T_2 sont évacuées par T_1.

— Les caractéristiques sont faciles à déterminer. On peut les comparer à celles fournies dans les anciens databooks (voir paragraphe 7.2.1.4).

7.2.1.2. Différents types d'inverseurs TTL

— **Inverseur TTL *High speed* 74H04** (figure 7.12). Des meilleurs temps de propagation sont obtenus en diminuant la valeur des résistances et en remplaçant la diode D_2 par le transistor T_5 (dont la charge stockée est évacuée par R_5). Ceci est au détriment de la consommation.

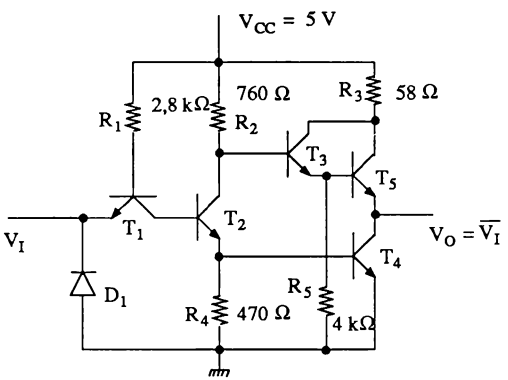


Figure 7.12

— **Inverseur TTL *Low power* 74L04** (figure 7.13). Cette figure présente les mêmes éléments que ceux de la figure 7.9, avec des résistances de valeurs plus importantes. La faible consommation est au détriment de la rapidité.

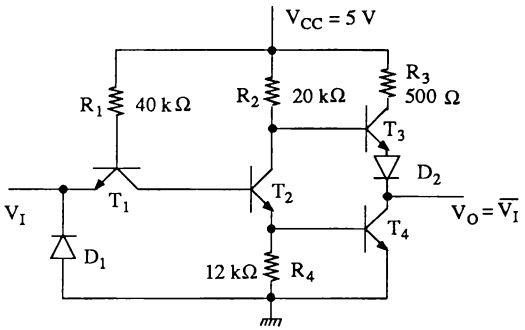


Figure 7.13

— **Inverseur TTL *open collector* 74X05** (figure 7.14). L'étage de sortie est réduit au seul transistor T_4. Pour que cette porte puisse fonctionner correctement, il faut que la sortie soit connectée à une résistance ou une charge par rapport à un potentiel + V. L'état « 0 » logique en sortie est assuré par la saturation de T_4, l'état « 1 » logique, par son blocage (notons que si la charge est un « voyant », celui-ci s'éclaire pour un « 1 » logique d'entrée ; alors l'ensemble n'est plus un inverseur).

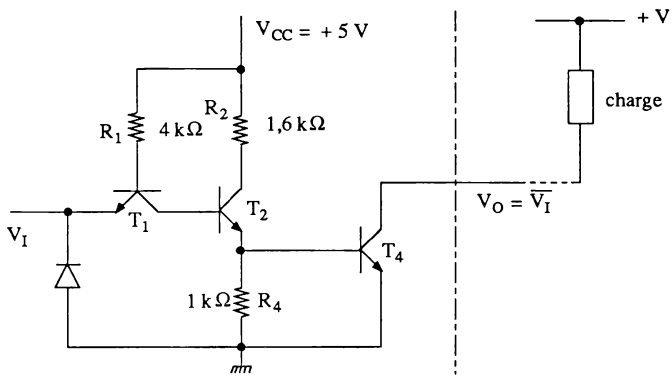


Figure 7.14

L'avantage d'une sortie collecteur ouvert est que la charge peut être alimentée par une tension + *V* différente de V_{CC} = + 5 V (ou dans certains cas égale). On trouve des opérateurs collecteur ouvert dont le transistor de sortie peut admettre une tension V_{CEmax} de 30 V.

— **Inverseur TTL *Schmitt trigger*** (figure 7.15). On reverra avec intérêt le paragraphe 5.2.3.4. Décrivons très succinctement les fonctions :

- T_1 est le transistor d'entrée jouant le rôle de diode entre base et émetteur,
- T_2 et T_3 réalisent la fonction hystérésis,

- T_6, D_3 et T_7 représentent le totem-pole de sortie commandé par T_5,
- T_4 et D_2 bloquent ou commandent l'étage de sortie.

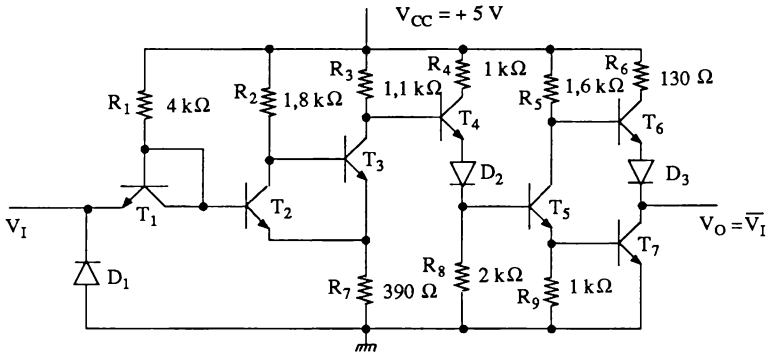


Figure 7.15

On étudie le fonctionnement de l'ensemble en faisant varier le potentiel de la base de T_2 à partir de 0 volt (variation positive puis négative, jusqu'à zéro).

- $V_I = 0$, $V_{B2} \simeq 0{,}6$ V, T_2 bloqué, T_3 saturé, $V_{C3} = V_{E3} \simeq \dfrac{R_7}{R_3 + R_7} \cdot 5 =$ 1,3 V, T_4 est bloqué ainsi que D_2, T_5 et T_7. La sortie V_0 est au « 1 » logique grâce à la conduction de T_6.
- $V_I = 1$, T_2 saturé, T_3 bloqué, T_4 conduit (polarisé par R_3) saturant T_5 et T_7 (T_6 bloqué). La sortie V_0 est au « 0 » logique.

Les valeurs de basculement sont associées aux diviseurs de tension :

$$\frac{R_7}{R_3 + R_7} \cdot 5 = 1{,}3 \text{ V} \qquad \text{(passage de « 0 » à « 1 » pour } V_I\text{)}$$

$$\frac{R_7}{R_2 + R_7} \cdot 5 = 0{,}9 \text{ V} \qquad \text{(passage de « 1 » à « 0 » pour } V_I\text{)}$$

La largeur du cycle est donc de 0,4 V, valeur fournie par les caractéristiques des constructeurs.

L'avantage du trigger de Schmitt est son basculement « sans retour ». Il est utilisé pour remettre en forme des signaux et, dans certains cas, comme élément d'oscillateur.

— **Inverseur TTL *three states*.** Chaque fois que plusieurs opérateurs ou fonctions ont leurs sorties reliées entre elles par un bus (ensemble de conducteurs). Il est nécessaire qu'une seule sortie soit « active », les autres étant en haute impédance (équivalent à un interrupteur ouvert). Si tel n'était pas le cas, il circulerait un très fort courant entre une sortie à l'état haut et une autre

sortie à l'état bas **modifiant complètement les états logiques, et dans certains cas, détruisant les étages de sortie des opérateurs ou fonctions.**

La figure 7.16 indique le principe de l'inverseur TTL à sortie 3 états. C'est en fait l'inverseur deux états (« 0 » ou « 1 ») de la figure 7.9 auquel nous avons ajouté une diode D_3 et un émetteur au transistor T_1 (équivalent à une diode supplémentaire en entrée). Le principe de fonctionnement est très simple :

- Lorsque l'entrée *E (Enable*)* ou *OE (Output Enable)* ou *CS (Chip Select)* est à « 1 » logique (≃ 5 volts), le circuit fonctionne normalement.
- Lorsque l'entrée *E* (ou *OE* ou *CS*) est à « 0 » logique (≃ 0 volt), la conduction de l'émetteur supplémentaire de T_1 et de la diode D_3 bloque respectivement T_2, T_4 et T_3. L'étage de sortie est en haute impédance (de Thévenin) au vu de la sortie.

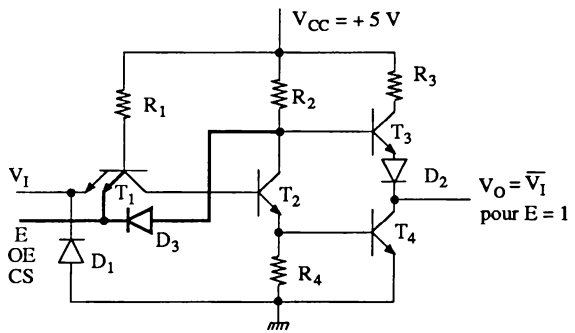


Figure 7.16

Plusieurs principes de commande 3 états peuvent être utilisés. **Dans tous les cas, l'état haute impédance correspond au blocage des transistors de sortie.**

7.2.1.3. Autres opérateurs TTL

Comme ce qui précède, ces opérateurs sont présentés dans cet ouvrage parce que leur fonctionnement est simple à comprendre. Ils permettent d'aborder plus facilement l'étude des circuits sophistiqués. Nous nous limiterons à l'étude des opérateurs NAND, AND, NOR, OR, Buffer, ainsi qu'une des nombreuses fonctions plus complexes telle que le AND-NOR-Invert (on considérera les transistors soit bloqués, soit saturés).

---

* to enable = mettre en service

— **Opérateurs NAND** ($\overline{\text{ET}}$). Le schéma est celui de l'inverseur auquel nous avons remplacé le transistor T_1 par un transistor multiémetteurs à n entrées. La figure 7.17 représente le NAND à deux entrées. Tant qu'une entrée est à « 0 » logique, T_2 et T_4 sont bloqués, T_3 conduit, alors V_0 = « 1 ». Pour que T_2 et T_4 conduisent, il faut que toutes les entrées soient à « 1 ». Nous laissons au lecteur le soin d'établir la table de vérité. Ainsi, par ce principe, on obtient des NAND dont le nombre d'entrées n'est limité que par le nombre de connexions extérieures aux boîtiers. On peut ainsi réaliser des NAND à collecteur ouvert, trigger, trois états. Les caractéristiques électriques sont celles de l'inverseur dans la série considérée. Notons quelques références :

74X00, NAND à 2 entrées (4 portes dans un boîtier 14 broches)
74X01, NAND à 2 entrées, collecteur ouvert
74X10, NAND à 3 entrées (3 portes dans un boîtier 14 broches)
74X20, NAND à 4 entrées (2 portes dans un boîtier 14 broches)
74X30, NAND à 8 entrées (1 porte dans un boîtier 14 broches).

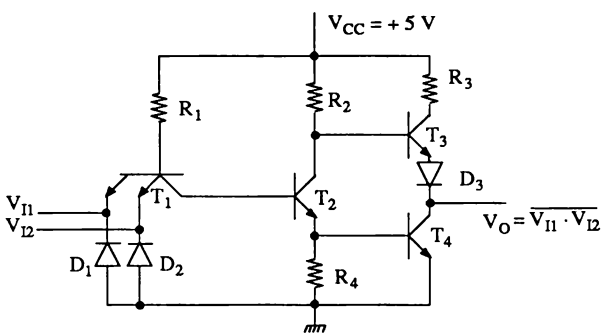


Figure 7.17

— **Opérateurs AND** (ET). Moins nombreux que les précédents, ces opérateurs imposent un étage inverseur supplémentaire. La figure 7.18 représente un AND à deux entrées dans la série standard (comparer la valeur des résistances avec celles de la figure 7.9). L'étage inverseur est constitué de T_2 et T_3. Analysons ce schéma :

• **Au minimum une entrée à « 0 » logique.** V_{B1} = 0,6 V, T_2 et T_3 sont bloqués, autorisant la conduction de T_4 et T_6 (donc blocage de T_5) grâce à un courant circulant dans R_2, D_2 puis dans la base de T_4. La sortie est à « 0 » logique.

• **Les deux entrées à « 1 » logique.** T_2 et T_3 conduisent grâce à un courant circulant dans R_1, dans la jonction base-collecteur de T_1 puis dans la base de T_2. Le potentiel du collecteur de T_2 (T_2 saturé) est $\dfrac{R_5}{R_2 + R_5} \cdot 5 =$

1,43 V. Ce potentiel est insuffisant pour que D_3, T_4 et T_6 conduisent (car il faudrait 3 x 0,6 = 1,8 V). Alors T_5 conduit et la sortie est à « 1 » logique.

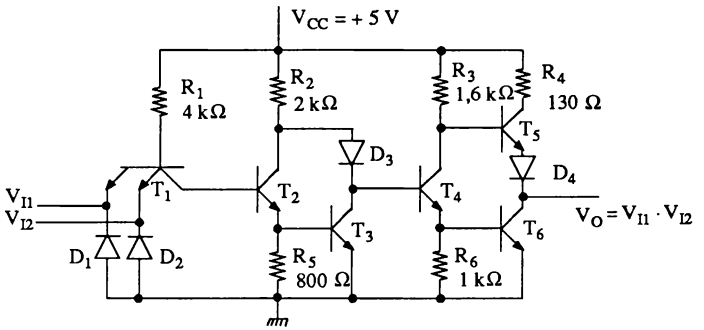


Figure 7.18

L'opérateur AND se trouve dans les séries précitées (standard, faible consommation, rapide, collecteur ouvert, trois états) avec deux ou trois entrées :

74X08, AND à 2 entrées (4 portes dans un boîtier 14 broches)
74X11, AND à 3 entrées (3 portes dans un boîtier 14 broches)
74X09, AND à 2 entrées, collecteur ouvert.

— **Opérateur NOR** ($\overline{OU}$). Le schéma de la figure 7.19 représente cet opérateur dans la série standard. L'étage d'entrée est symétrique.

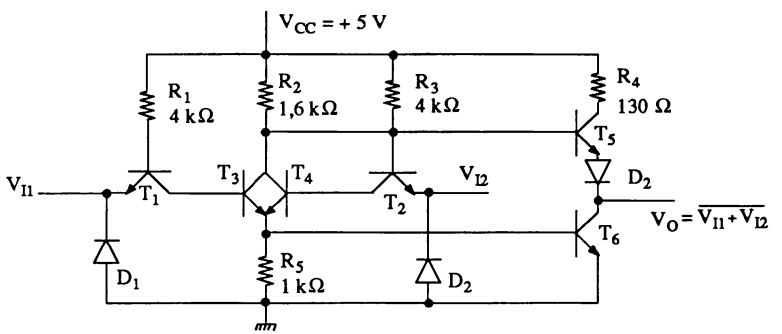


Figure 7.19

• Lorsque les deux entrées sont à « 0 » logique, les transistors T_3 et T_4 sont bloqués ainsi que T_6. T_5 conduit grâce à R_2. La sortie est à « 1 » logique.

• Lorsqu'une entrée est à « 1 » logique (par exemple $V_{I1} = 1$ et $V_{I2} = 0$), T_3 conduit grâce à R_1, imposant la conduction de T_6 et le blocage de T_5. La

sortie est à « 0 » logique. Le même phénomène se produit lorsque $V_{I1} = 0$ et $V_{I2} = 1$, et bien sûr lorsque $V_{I1} = V_{I2} = 1$.

La référence des circuits est :
74X02, NOR à 2 entrées (4 portes dans un boîtier 14 broches)
74X27, NOR à 3 entrées (3 portes dans un boîtier 14 broches).

— **Opérateur OR** (OU). La figure 7.20 représente cet opérateur dans la série standard. Là aussi, l'étage d'entrée est symétrique. L'analyse de fonctionnement ressemble à celle du AND de la figure 7.18.

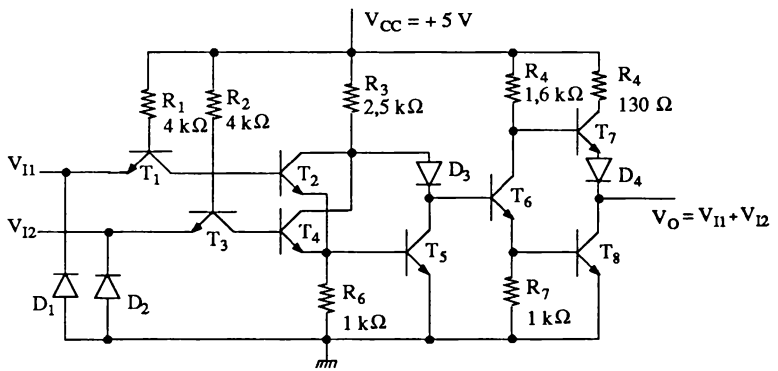


Figure 7.20

• Lorsque les deux entrées sont à « 0 » logique, les transistors T_2, T_4 et T_5 sont bloqués, autorisant la conduction de T_6 et T_8 grâce à R_3 et D_3. La sortie est à « 0 » logique.
• Lorsque, au minimum, une entrée est à « 1 » (par exemple $V_{I1} = 1$ et $V_{I2} = 0$), T_2 conduit empêchant la conduction de D_3, T_6 et T_8. La sortie est à « 1 » logique.

Citons comme référence
74X32, OR à 2 entrées (4 portes dans un boîtier 14 broches).

Remarquons la complexité des circuits OR, NOR, AND comparée au circuit NAND.

— **Circuit Buffer.** Ce circuit est nécessaire pour adapter la faible sortance d'un opérateur. La figure 7.21 représente un « buffer » à collecteur ouvert.
• Lorsque $V_I = 0$, T_2 et T_3 sont bloqués autorisant la saturation de T_4 grâce à R_3. La sortie est à « 0 » logique.
• Lorsque $V_I = 1$, T_2 et T_3 se saturent, bloquant T_4. La sortie est à « 1 » logique.

La référence 7407 permet un courant de sortie

$$I_{OLmax} = 40 \text{ mA}$$

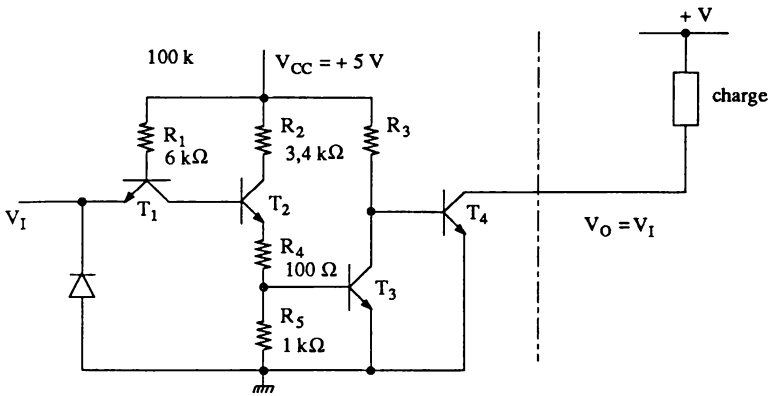


Figure 7.21

— **Assemblage d'opérateurs.** Il n'est pas toujours nécessaire d'assembler les opérateurs de base précédents pour réaliser des fonctions plus complexes. La figure 7.22 en donne un exemple qui est un mélange des figures 7.18 et 7.19. On obtient ainsi un AND.OR.Invert de référence 74X51 dont l'analyse est laissée au soin du lecteur.

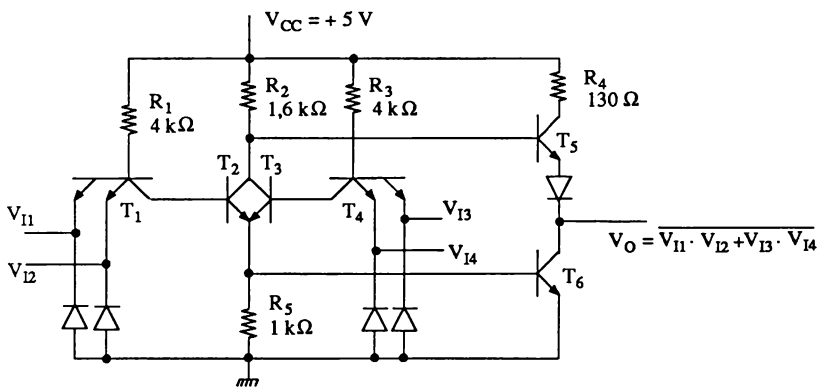


Figure 7.22

7.2.1.4. Caractéristiques et performances des circuits TTL

Les caractéristiques statiques et dynamiques des circuits TTL sont rassemblés sur le tableau 7.1.

	états logiques pour $V_{CC} = +5$ V et $\theta_j = 25°C$									
	I_{ILmax}	I_{OLmax}	I_{IHmax}	I_{OHmax}	V_{ILmax}	V_{OLmax}	V_{IHmin}	V_{OHmin}	I_{CC} entrées à 0	I_{CC} entrées à 1
7404	– 1,6 mA	16 mA fan out = 10	40 µA	– 0,8 mA fan out = 20	0,8 V	0,4 V	2 V	2,4 V	6 mA	18 mA
74L04	– 0,18 mA	2 mA fan out = 11	10 µA	– 100 µA fan out = 10					0,5 mA	1,4 mA
74H04	– 2 mA	20 mA fan out = 10	50 µA	– 1 mA fan out = 20					16 mA	40 mA

	Caractéristiques dynamiques par inverseur					
	t_{PHL}	t_{PLH}	charge	P	$F = P \cdot t_p$	
7404	8 ns	12 ns	$R_L = 400\ \Omega$ $C_L = 15$ pF	10 mW	100 pJ	
74L04	31 ns	35 ns	$R_L = 4$ kΩ $C_L = 50$ pF	1 mW	33 pJ	
74H04	6 ns	6 ns	$R_L = 280\ \Omega$ $C_L = 25$ pF	25 mW	150 pJ	

Tableau 7.1

7.2.2. FAMILLE I^2L

7.2.2.1. Principe et caractéristiques de l'I^2L

A. Principe. L'I^2L (Integrated Injection Logic) que l'on écrit encore I2L ou I_2L est une technologie à transistors bipolaires saturés dont le principe est issu des laboratoires Philips (Hollande) et IBM (Allemagne). Cette technologie découle de la vieille technologie RTL (encore appelée DCTL *(Direct Coupling Transistors Logic)* dont l'évolution est indiquée sur les figures 7.23 et 7.24. On passe d'un montage à transistors à un montage à sorties « collecteurs ouverts » et charge intermédiaire active (le générateur de courant I_0 remplace la résistance R). Il est alors facile d'en déduire la cellule de base I^2L de la figure 7.25. Le transistor *PNP* injecte un courant I_0 permettant la saturation du transistor *NPN* multicollecteur dont le principe a été étudié précédemment. L'opérateur équivalent est représenté par un rectangle à n sorties (n collecteurs) et une entrée associée à une « bulle » indiquant l'inversion. En effet, si le transistor T de l'opérateur précédent est saturé (a = 0), les sorties y et z sont à 1 (à condition qu'elles soient connectées à des charges reliées à un potentiel positif d'alimentation V_+ correspondant à l'opérateur suivant.

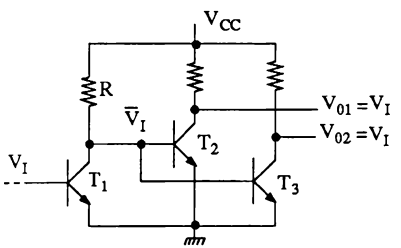


Figure 7.23

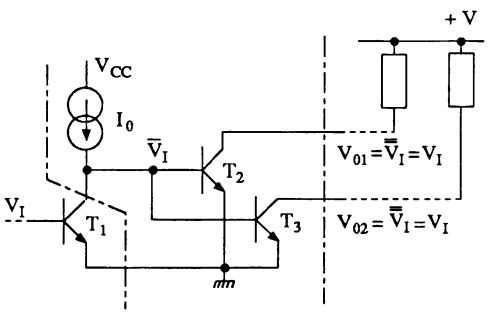


Figure 7.24

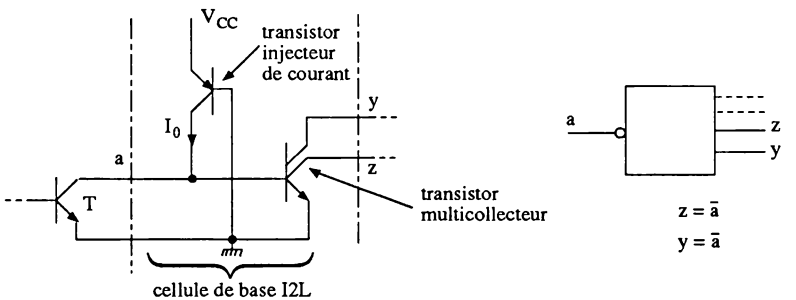


Figure 7.25

La réalisation de la cellule de base I^2L est représentée sur la figure 7.26. Le transistor injecteur *PNP* travaille en base commune. Le courant I_0 injecté est sensiblement celui qui circule dans l'émetteur. Le transistor multicollecteur est inversé (zone d'émetteur faiblement dopée, zone de collecteur fortement dopée). La grande difficulté technologique fut l'augmentation du gain en courant inverse β_i (voir paragraphe 3.2.2.2), difficulté levée par l'utilisation judicieuse du substrat, de la couche enterrée N^+ et d'un bon rapport de recouvrement des multicollecteurs.

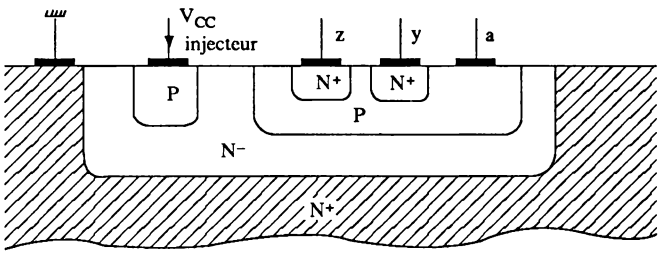


Figure 7.26

B. Avantages et caractéristiques. Notons tout d'abord, que le transistor injecteur peut être multicollecteurs, permettant ainsi la polarisation de plusieurs cellules. Les avantages de cette technologie sont :

— très grande densité d'intégration, à cause de l'absence de résistances et de sa structure même (400 portes par mm^2 contre 300 en technologie MOS et 20 en technologie TTL standard) ;

— la consommation peut être programmée, ce qui permet un courant absorbé de 1 nA par porte pour une tension d'alimentation comprise entre 0,7 V et 12 V ;

— le facteur de mérite est inférieur à celui des MOS, c'est-à-dire inférieur à 1 pJ par porte (de 0,2 à 0,7 pJ).

Toutefois, l'inconvénient de cette technologie est sa relative lenteur (t_p compris entre 10 et 20 ns).

Notons que la programmation de la valeur du courant injecté permet d'améliorer le temps de propagation t_p et d'agir sur la consommation.

7.2.2.2. Réalisation des fonctions numériques

L'assemblage des cellules de base I^2L permet de réaliser des opérateurs puis des fonctions numériques.

La figure 7.27 représente deux cellules dont un collecteur de l'une est relié à un collecteur de l'autre. Si on imagine une « charge de rappel » sur ce point des

deux collecteurs, on voit que la sortie y n'est à « 1 » que si a et b sont à « 0 ». Cette fonction est donc un NOR.

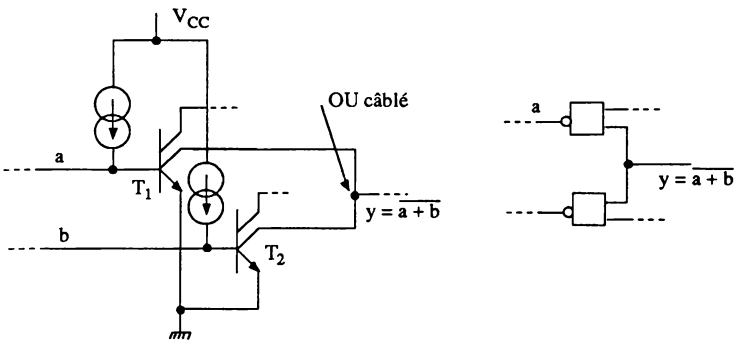


Figure 7.27

La figure 7.28 correspond à un opérateur NAND pour la cellule T_3. En effet il faut que les transistors T_1 et T_2 soient bloqués ($a = b = 0$) pour que les sorties c et d soient à l'état haut (« 1 » logique), alors T_3 conduit et $y = 0$. L'ensemble des trois cellules T_1, T_2 et T_3 correspond à un OU.

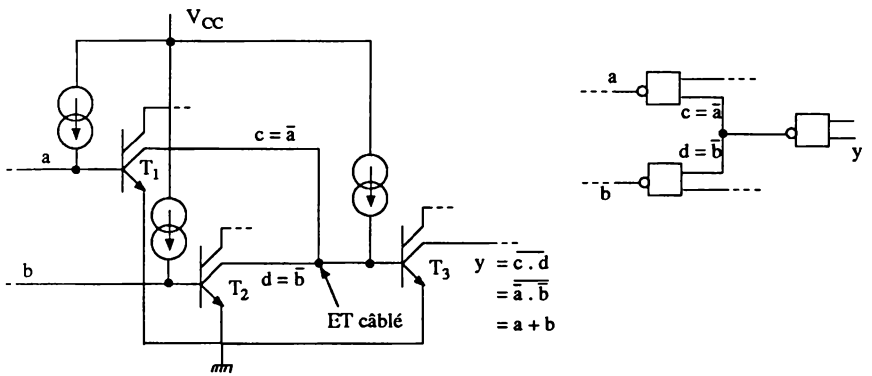


Figure 7.28

Remarques

— Les injecteurs de courant peuvent, aussi, être éléments d'opérateurs. La figure 7.29 présente une cellule à deux injecteurs I_1 et I_2. Pour que cette cellule soit polarisée, il faut la présence soit de I_1, soit de I_2 (donc un OU supplémentaire). Alors $s_1 = s_2 = \overline{e \cdot (I_1 + I_2)}$

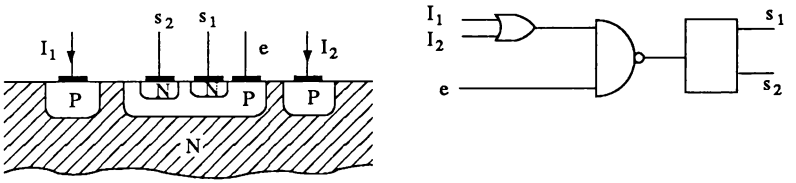


Figure 7.29

Une disposition différente des injecteurs permet de réaliser un ET entre I_1 et I_2.

— La technologie I^2L se marie très bien avec d'autres technologies bipolaires. On trouve ainsi :

• la combinaison I^2L-TTL permettant de réaliser des fonctions analogiques ;

• la combinaison I^2L-Schottky utilisée dans les fonctions numériques et appelée SCTL *(Schottky Coupled Transistor Logic)* ou ISL *(Integrated Schottky Logic)* ou SFL *(Substrate Fed Logic)*. Dans ce cas, le signal numérique passe de 0,7 V à 0,3 V, ce qui réduit de moitié la consommation, pour un temps de propagation de 5 à 10 ns ;

• la combinaison I^2L-Transistor standard, utilisée elle aussi en numérique, est appelée I^3L *(Integrated Injection Isoplanar Logic)*. La technique Isoplanar est présentée au paragraphe suivant.

— Les domaines d'application à base de technologies I^2L sont :

• les circuits numériques tels que mémoires, microprocesseurs, ...

• les circuits intégrés analogiques « grand public » tels que diviseurs de fréquence pour orgues, amplificateurs, oscillateurs, ...

• les convertisseurs analogiques-numériques,

• les circuits prédiffusés.

7.3. CIRCUITS BIPOLAIRES NON SATURÉS

7.3.1. FAMILLE TTL SCHOTTKY

7.3.1.1. Présentation de la technologie TTL Schottky

La technologie TTL vue au paragraphe 7.2.1 présente des temps de propagation relativement importants à cause du phénomène d'évacuation des charges stockées dans la zone de base des transistors bipolaires. On améliore ces temps en empêchant les transistors de se saturer grâce à l'emploi d'une diode appelée

« diode d'antisaturation » (revoir le paragraphe 5.1.2.4). La diode utilisée est une diode à barrière Schottky étudiée en détail dans le paragraphe 2.4.2. Cette diode présente un double avantage :

— sa tension de seuil est inférieure à 0,6 V (0,3 V typique)

— ses temps de commutation sont très faibles à cause du courant de porteurs majoritaires (pas ou peu de charges stockées).

La figure 7.30 représente un transistor Schottky correspondant à l'association d'un transistor bipolaire classique et d'une diode Schottky. Lors de la commande en conduction, le courant de base appelé $I_{B_{sat}}$ se partage en un courant I_D et un courant $I_B = \frac{I_C}{\beta} \simeq \frac{I}{\beta}$. La tension V_{CE} atteint une valeur 0,7 – 0,3 = 0,4 volt. Le transistor n'est pas saturé et la jonction base-collecteur ne conduit pas en direct.

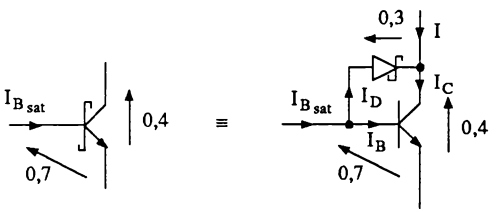


Figure 7.30

La réalisation d'un transistor Schottky est indiquée sur la figure 7.31. Le premier procédé utilisé fut le procédé Planar qui existe encore dans la plupart des technologies conventionnelles, avec isolation par îlots (notre figure). Vint ensuite le procédé Isoplanar* utilisant l'implantation ionique et une isolation par mur d'oxyde de silicium. Ce dernier procédé a permis une forte réduction des dimensions des transistors augmentant ainsi leur fréquence de transition (de 2 GHz à 5 GHz, pour un courant I_C de 2 mA) et une diminution des capacités parasites (absence des jonctions îlot-substrat). Notons que, par ces deux procédés, la diode Schottky est réalisée à partir de la métalisation de la base débordant vers le collecteur et la zone *N* de ce même collecteur [jonction métal (anode) – semiconducteur *N* (cathode)].

* Ce procédé est aussi utilisé dans les circuits intégrés analogiques rapides.

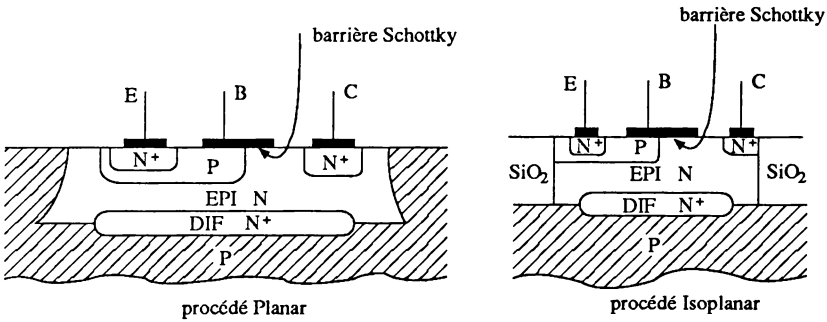


Figure 7.31

La figure 7.32 indique l'évolution de la technologie TTL Schottky à partir de la dimension relative d'un transistor pour les séries suivantes :

— **Série S (Schottky)**, première série apparue (1970) et utilisant le procédé Planar épitaxié,

— **série LS (Low power Schottky)**, de plus faible consommation que la première série,

— **série AS (Advanced Schottky)** utilisant le procédé Isoplanar (1980),

— **série ALS (Advanced Low power Schottky)** de plus faible consommation que la précédente,

— **série F ou FAST (Fairchild Advanced Schottky TTL)** dont les dimensions très réduites permettent des temps de propagation voisins de 2 ns (1984).

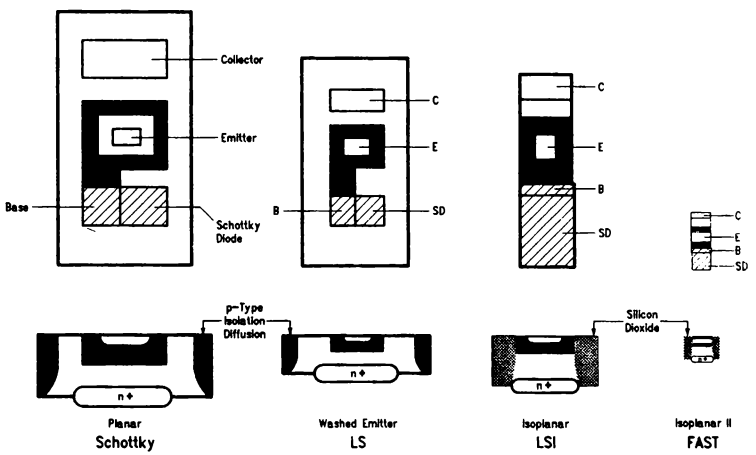


Figure 7.32

***Source* : National Semiconductor**

7.3.1.2. Inverseurs TTL Schottky

Nous présentons, dans ce paragraphe, le schéma réel de l'inverseur TTL Schottky, dans les cinq séries précitées.

— **Série S, 74S04** (figure 7.33). Cet opérateur ressemble à l'opérateur TTL 74H04 de la figure 7.12. Les transistors T_1, T_2, T_3 et T_4 ont été remplacés par des transistors Schottky. T_5 ne se saturant pas est un transistor classique. La résistance R_4 est remplacée par l'ensemble T_6, R_6, R'_4 permettant la conduction simultanée de T_2 et T_4 lorsque $V_I = 1$, ce qui n'était pas possible, dans le cas précédent, avec uniquement R_4 (d'abord conduction de T_2 puis de T_4 apportant un coude supplémentaire dans la caractéristique de transfert V_0 en fonction de V_I).

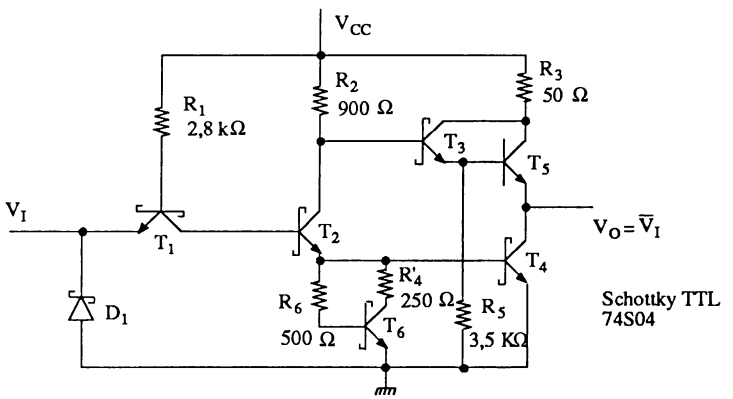


Figure 7.33

— **Série LS, 74LS04** (figure 7.34). Le transistor d'entrée (multiémetteurs dans le cas des NAND) est remplacé par la diode Schottky D_1. On retrouve

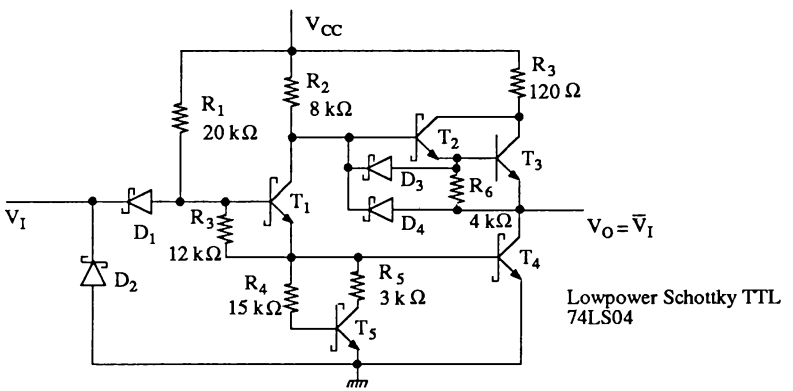


Figure 7.34

les éléments précédents avec, en plus, les deux diodes Schottky D_3 et D_4 permettant de bloquer plus rapidement T_3. Les résistances de valeurs plus importantes que dans le circuit 74S04 contribuent à une moindre consommation.

— **Série AS, 74AS04** (figure 7.35). Cette série est la première à utiliser le procédé Isoplanar avec isolation par mur de SiO_2. Le schéma ressemble au précédent avec des résistances de valeurs voisines à celles du circuit 74S04. L'absence de résistance sur le collecteur de T_3 permet un fort courant de sortie à l'état haut (74AS804).

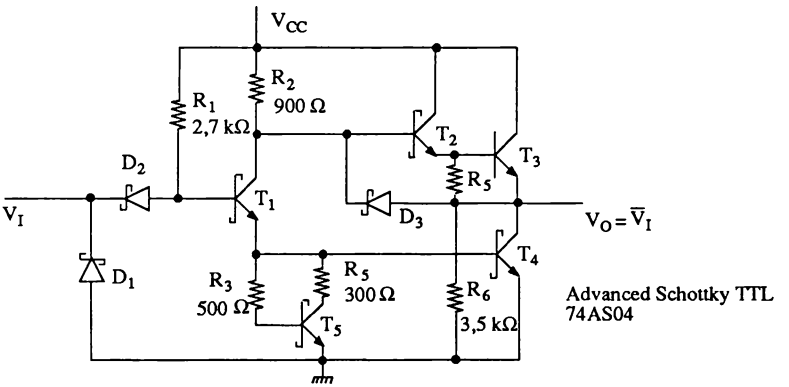


Figure 7.35

— **Série ALS, 74ALS04** (figure 7.36). L'augmentation de la valeur des résistances diminue la consommation, mais augmente le temps de propagation. Pour maintenir ce dernier à une valeur correcte, on ajoute à l'entrée du circuit, le collecteur commun *PNP* T_1 pilotant l'ensemble T_2, T_3 et T_6 (dans le cas des NAND, il y a autant de collecteurs communs qu'il y a d'entrées). La diode D_3 décharge la capacité de la charge C_L alors que D_4 protège la sortie contre les surtensions liées aux réflexions (problèmes associés aux lignes de transmission mal adaptées).

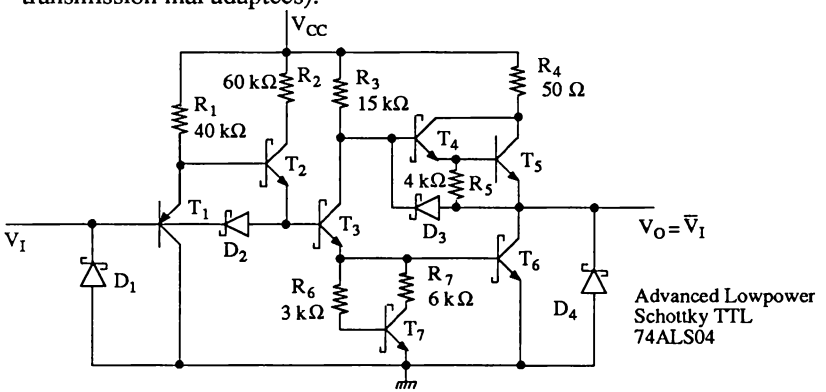


Figure 7.36

— **Série FAST, 74F04** (figure 7.37). Cette technologie à dimensions super réduites présente trois étages de gain : T_1, T_2 et T_5, contre seulement deux étages pour les technologies précédentes. Le fort seuil de conduction autorise l'utilisation d'une diode normale D_2 dont la faible capacité parasite permet une bonne immunité aux bruits (voir caractéristiques de transfert). Les diodes D_3 et D_4 déchargent respectivement les capacités parasites de T_2 et T_4. La diode D_5 décharge la capacité de la charge non représentée, à travers T_2, T_6 et T_5. La diode Varicap D_6 fait conduire T_7 lorsque T_3 et T_4 conduisent, permettant de décharger les capacités parasites de T_5. La diode D_7 décharge D_6 à travers D_4 (une explication complète du fonctionnement de cet opérateur est indiquée dans le databook FAST Advanced Schottky TTL Logic-NS).

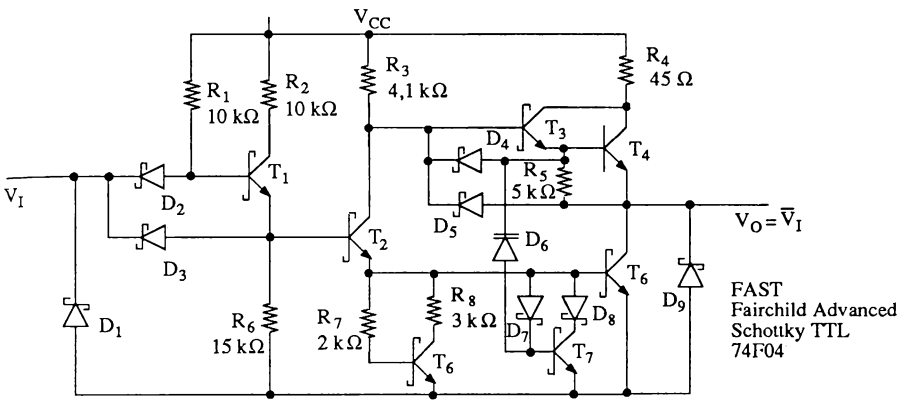


Figure 7.37

7.3.1.3. Caractéristiques et performances des circuits TTL Schottky

Les caractéristiques que nous fournissons correspondent aux conditions :

$$V_{CC} = 5\ V \pm 5\ \% \quad \text{et} \quad \theta_j = 25°C$$

— **Figure 7.38.** Ce sont les caractéristiques de transfert V_0 (V_I) pour une charge appropriée en sortie. On remarque le coude intermédiaire de la TTL standard (7404) qui a disparu dans la TTL Schottky (explication au paragraphe précédent – série S). Le seuil de la série FAST est le plus important.

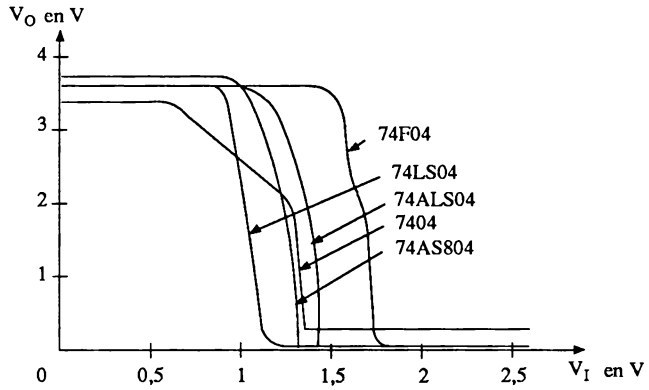


Figure 7.38

— **Figure 7.39.** Cette figure fournit l'évolution de la tension de sortie à l'état bas en fonction du courant dans la charge. On aperçoit la forte sortance des séries AS et FAST.

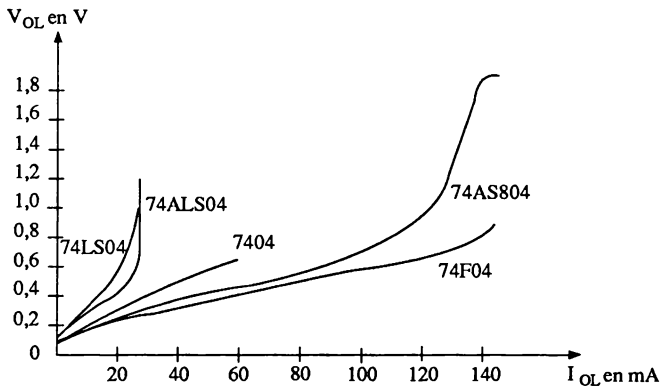


Figure 7.39

— **Figure 7.40.** Elle est complémentaire de la précédente, pour l'état haut. Même remarque pour les séries AS et FAST.

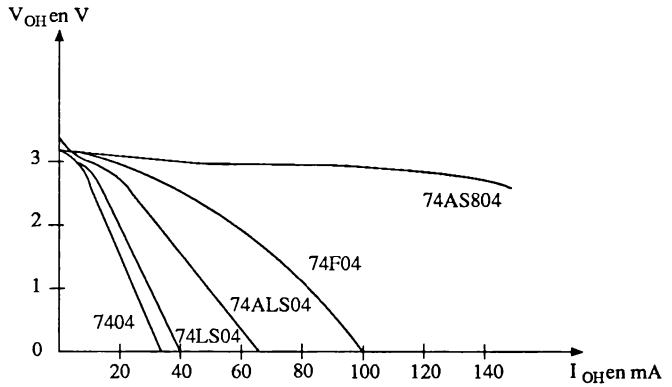


Figure 7.40

— **Tableau 7.2.** Il fournit les caractéristiques statiques et dynamiques des inverseurs précités et comparés à la TTL standard 7404. Ces valeurs ne sont qu'approximatives car elles dépendent des conditions d'utilisation indiquées dans les databooks.

Remarques

— Les temps de propagation sont toujours fournis pour une charge capacitive donnée. **Ces temps augmentent proportionnellement avec la valeur capacitive.**

— L'utilisation des circuits TTL Schottky rapides (AS, FAST) réclame quelques précautions particulières :

- découplage de l'alimentation sur chaque boîtier ou tout les deux boîtiers,
- réalisation d'un bon plan de masse,
- connexions entre circuits les plus courtes possibles, à cause de l'influence des temps de propagation non nuls et pouvant provoquer des réflexions (une solution préconisée dans les databooks consiste à connecter un pont de résistances à l'entrée de chaque circuit).

	états logiques pour $V_{CC} = 5\ V \pm 5\ \%$ et $\theta_j = 25°C$							
	I_{ILmax}	I_{OLmax}	I_{IHmax}	I_{IOmax}	V_{ILmax}	V_{OLmax}	V_{IHmin}	V_{OHmin}
7404	– 1,6 mA	16 mA fan out = 10	40 µA	– 0,8 mA	0,8 V	0,4 V	2 V	2,4 V
74S04	– 2 mA	20 mA fan out = 10	50 µA	– 1 mA	0,8 V	0,5 V	2 V	2,7 V
74LS04	– 0,4 mA	8 mA fan out = 20	20 µA	– 0,4 mA	0,8 V	0,5 V	2 V	2,7 V
74AS804	– 0,5 mA	48 mA fan out = 100	20 µA	– 48 mA	0,8 V	0,4 V	2 V	3 V
74ALS04	– 0,1 mA	4 mA fan out = 40	20 µA	– 0,4 mA	0,8 V	0,4 V	2 V	2,7 V
74F04	– 0,6 mA	20 mA fan out = 33	20 µA	– 1 mA	0,8 V	0,5 V	2 V	2,7 V

	caractéristiques dynamiques par inverseur					
	t_p	charge	P	$F = P \cdot t_p$	immunité aux bruits	fréquence max. d'utilisation
7404	10 ns	15 pF	10 mW	100 pJ	0,4 V	30 MHz
74S04	3 ns	20 pF	20 mW	60 pJ	0,3 V	40 MHz
74LS04	10 ns	80 pF	2 mW	20 pJ	0,3 V	10 MHz
74AS04	1,5 ns	25 pF	22 mW	33 pJ	0,4 V	200 MHz
74ALS04	7 ns	50 pF	5 mW	35 pJ	0,4 V	35 MHz
74F04	2,5 ns	15 pF	4 mW	10 pJ	0,3 V	150 MHz

Tableau 7.2

7.3.2. FAMILLE ECL*

7.3.2.1. Présentation de la technologie ECL

La famille ECL mérite une présentation particulière, car elle est souvent négligée, à cause d'une soit disant difficulté de compréhension ou d'utilisation. Disons tout d'abord que :

— c'est la technologie la plus rapide après la technologie GaAs (l'ECL en GaAs est utilisée sous le nom SCFL – voir section 7.6),

— la puissance importante consommée, croît moins vite pour les fonctions complexes (mémoires, microprocesseurs, ...),

— elle optimise le coût d'un gros système.

Les domaines d'application sont :

— la grande informatique (unité centrale, contrôleur d'entrée-sortie, mémoires, ...) ;

— les miniordinateurs en adjoignant des fonctions rapides en ECL telles que les multiplieurs, corrélateurs, transformée de Fourier rapide ;

— l'instrumentation (analyseurs logiques, oscilloscopes rapides, compteurs, ...) ;

— les télécommunications (centraux rapides, voies hertziennes, ...) ;

— le traitement numérique du signal (signaux vidéo, simulateurs en temps réel, signaux radar, ...).

7.3.2.2. Élément de base de la technologie ECL

La technologie ECL *(Emitter Coupled Logic)* encore appelée MECL *(Multi Emitter Coupled Logic)* utilise comme élément de base l'amplificateur différentiel de la figure 7.41 [appelé aussi circuit de base CML *(Current Mode Logic)*]. Comme cet amplificateur différentiel travaille en grands signaux, hors saturation, il est préférable de revoir le paragraphe 3.4.3.5.C.

---

* On consultera, avec profit, deux articles parus dans la revue *Toute l'Électronique*, octobre 1982, n° 477 et mars 1983, n° 482 et écrits par des ingénieurs RTC.

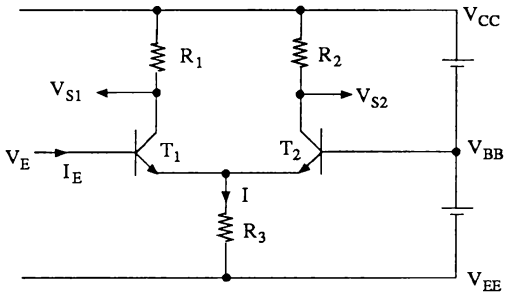


Figure 7.41

Trois tensions d'alimentation sont utilisées : V_{CC}, V_{EE} et une référence de base V_{BB}. L'évolution des tensions de sorties V_{S1} et V_{S2} en fonction de la tension d'entrée V_E est fournie sur la figure 7.42. Quatre zones apparaissent :

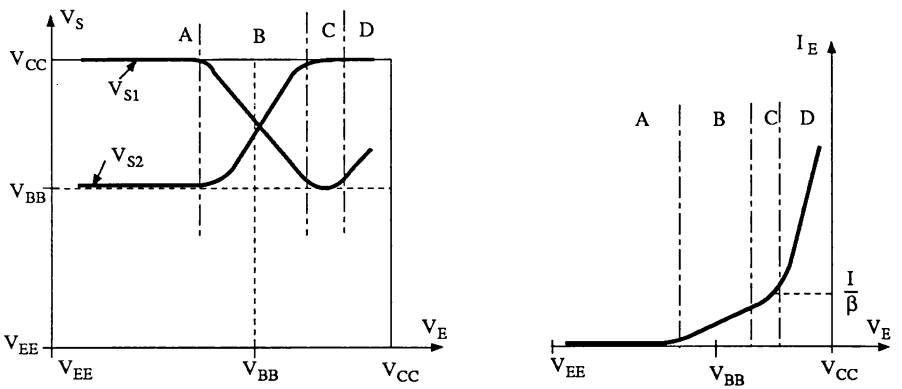


Figure 7.42

— **zone A.** V_E est très inférieure à V_{BB} · T_1 est bloqué et T_2 saturé, ce qui impose

$$V_{S1} = V_{CC}, \quad V_{S2} \simeq V_{BB} \quad \text{et} \quad I_E = 0$$

— **zone B.** On entre dans la zone « linéaire ». T_1 passe de l'état bloqué à l'état saturé (V_{S1} passe de V_{CC} à V_{BB}) et T_2 évolue symétriquement. Le courant I_E représente le courant de base de T_1.

— **zone C.** Le transistor T_1 est juste saturé,

$$V_{S1} = V_{BB}, \quad V_{S2} = V_{CC} \quad \text{et} \quad I_E = \frac{I}{\beta}$$

— **zone D.** Lorsque V_E continue à évoluer, comme $V_{CE1} \simeq 0$, la tension aux bornes de R_3 augmente donc V_{S1} aussi (phénomène de latch up dont le principe a été vu dans l'exercice 5 du paragraphe 3.4.6).

Remarque. Ce circuit CML de base présente un intérêt très limité à cause

— de sa faible sortance liée aux valeurs de R_1 et R_2,

— de ses fonctions numériques trop simples

$$V_{S1} = \overline{V_E} \quad \text{et} \quad V_{S2} = V_E,$$

— de ses incompatibilités de niveaux.

Toutes ces imperfections sont supprimées dans les circuits présentés au paragraphe suivant.

7.3.2.3. Évolution de l'opérateur OU–$\overline{\text{OU}}$

Apportons quelques éléments technologiques :

— De par son principe, la technologie ECL réalise des opérateurs simultanés OU et $\overline{\text{OU}}$ (contrairement à la TTL qui ne fournit simplement que des ET et $\overline{\text{ET}}$). Notons que le théorème de De Morgan permet de passer facilement du $\overline{\text{OU}}$ au ET ($\overline{a + b} = \overline{a} \cdot \overline{b}$, etc).

— Pour augmenter la sortance de l'amplificateur différentiel, on utilise le montage collecteur commun (impédance de sortie inférieure à 10 Ω, charge possible 50 Ω).

— Afin de permettre un bon alignement des niveaux d'entrée et de sortie, la tension positive de V_{CC} représente la référence (masse). Toutes les tensions sont alors négatives.

— Les références des différentes familles ECL ou MECL rencontrées dans le temps sont

- MECL1, première source Motorola, 1962,
- MECL2, Motorola, 1966,
- MECL3, Motorola, 1968,
- ECL10XXX (10 K), Fairchild, 1976,
- ECL10XXXH (10 KH), Fairchild, 1976,
- ECL100XXX (100 K), Fairchild, 1978.

Il ne subsiste plus sur le marché que les trois dernières séries.

A. Série MECL1 (figure 7.43). L'amplificateur différentiel est constitué de plusieurs transistors, T_1, T'_1, ..., connectés en parallèle et constituant la partie OU numérique, et du transistor T_2 polarisé par une source de tension constante V_{BB}, extérieure. La sortie de cet amplificateur s'effectue sur deux collecteurs communs indépendants T_3 et T_4 permettant ainsi deux sorties OU (OR) et $\overline{\text{OU}}$ (NOR).

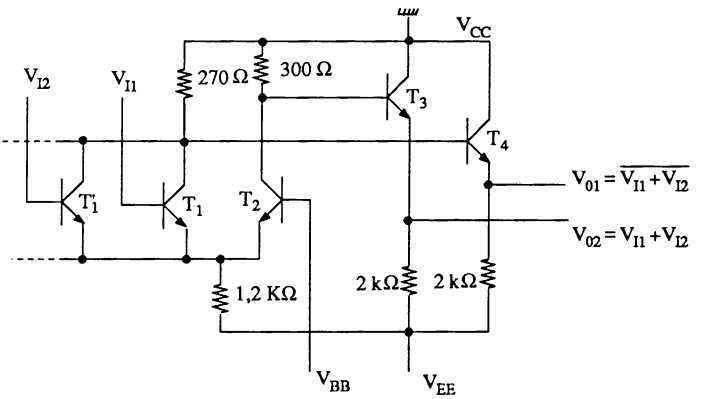


Figure 7.43

B. Série MECL2 (figure 7.44). C'est la série précédente améliorée, dans le sens où la référence de tension V_{BB} est intégrée et peut servir pour plusieurs autres opérateurs. Cette référence est stable si la tension d'alimentation V_{EE} est constante, à cause des diodes D_1 et D_2 qui compensent la jonction V_{BE5} en température.

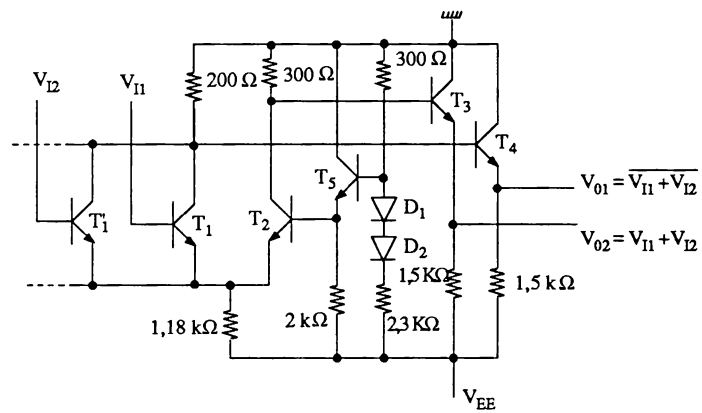
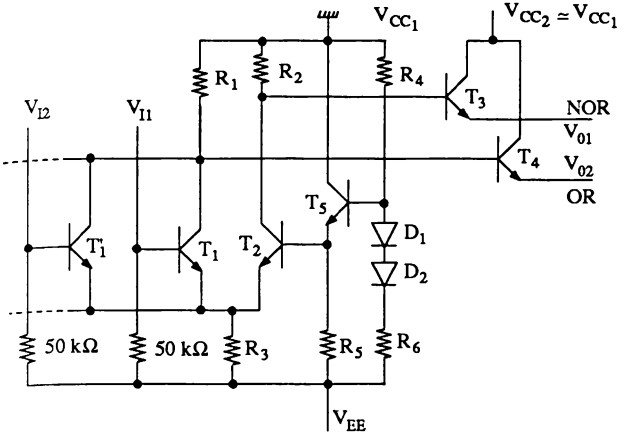


Figure 7.44

C. Séries MECL3 et ECL10K (figure 7.45). La série MECL3 est aussi une évolution de la série précédente. On connecte une résistance de rappel sur les entrées et les sorties se font en émetteurs ouverts. Un point très important est

l'alimentation différente de l'étage d'entrée à petits courants ($V_{CC_1} = 0$) et de l'étage de sortie à forts courants ($V_{CC_2} \simeq 0$). Ceci permet de ne pas perturber les états de sortie du premier étage par les chutes de tension des lignes d'alimentation.



	MECL3	ECL10K
R_1	100 Ω	220 Ω
R_2	112 Ω	245 Ω
R_3	365 Ω	779 Ω
R_4	350 Ω	907 Ω
R_5	2 kΩ	6,1 kΩ
R_6	1 958 Ω	4,98 kΩ

Figure 7.45

La série ECL10K ne se différencie de la précédente que par l'augmentation de la valeur des résistances (sensiblement le double).

D. Séries ECL10KH et ECL100K (figure 7.46). Une dernière amélioration est apportée en remplaçant la résistance commune d'émetteur R_3 par un générateur à courant constant constitué de T_5 et R'_3, ce qui rend les niveaux logiques de sortie indépendants de V_{EE}. Les deux sources de tension de 1,3 V (toujours pour permettre l'indépendance de V_{EE}) sont intégrées et compensées en température. Elles apportent toutefois l'inconvénient d'une plus grande consommation.

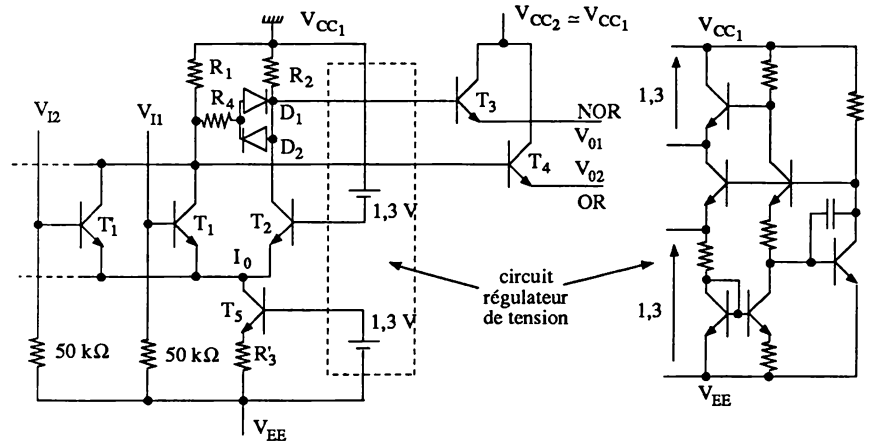


Figure 7.46

Le réseau R_4, D_1, D_2 (non présent dans la série ECL10KH) permet d'absorber le complément de courant ΔI_0 causé par une diminution de V_{BE5}, lorsque la température s'élève, rendant ainsi les caractéristiques de transfert complètement indépendantes de la température. La figure 7.47 fournit les caractéristiques de transfert des séries ECL10K et ECL100K, pour une température de jonction de 25°C puis 75°C. On voit la supériorité de la série ECL100K.

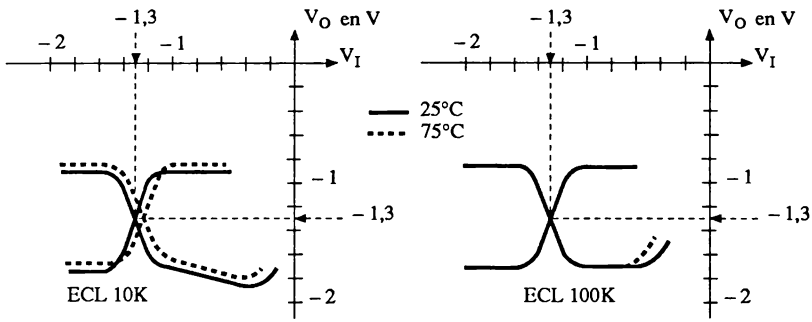


Figure 7.47

Remarques

— Cette dernière figure nous fournit une tension de sortie à l'état haut, voisine de – 0,95 V (à 25°C). Elle représente la somme d'un V_{BE} (T_3 ou T_4) et d'une chute de tension $R_2 I_{B3}$ ou $R_1 I_{B4}$ lorsque la sortie est chargée par une résistance caractéristique (en général 50 Ω).

— Les séries 10KH et 100K sont intégrées en technique Isoplanar avec isolation des composants par oxyde de silicium.

7.3.2.4. Principe de l'assemblage d'opérateurs ECL

La disponibilité des fonctions ECL10XXX (10K) et ECL100XXX (100 K) est la suivante :

- 100 à 109, portes simples,
- 110 à 119, portes complexes et récepteurs de ligne,
- 120 à 129, interfaces,
- 130 à 139, bascules et compteurs,
- 140 à 155, registres, mémoires, latch, multiplexeurs,
- 156 à 179, MSI combinatoires (multiplexeurs, décodeurs),
- 180 à 189, circuits arithmétiques (UAL, ...),
- 190 à 399, interfaces spéciaux,
- 400 à 499, mémoires à grande capacité,
- 500 à 699, séries militaires,
- 800 à 899, microprocesseurs et circuits associés.

Ces fonctions sont réalisées à partir d'éléments de base.

— **OU câblé** (figure 7.48). L'opérateur OU-$\overline{\text{OU}}$ est celui que nous avons étudié précédemment. Si on câble deux ou n sorties, on obtient un OU supplémentaire **à condition qu'il y ait une résistance de rappel vers la ligne d'alimentation V_{EE}.**

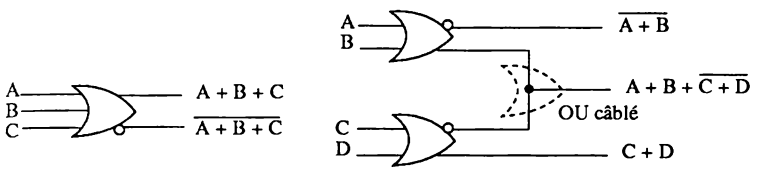


Figure 7.48

— **ET en ECL** (figure 7.49). L'analyse de ce schéma permet de conclure que si $A = B = 1$, les deux transistors T_1 et T_3 conduisent, alors T_2 et T_4 sont bloqués. Nous pouvons écrire

$$V_{01} = A \cdot B \qquad \text{et} \qquad V_{02} = \overline{A \cdot B}$$

Remarquons la référence de tension stabilisée en température, fournissant V_1, V_2 et V_3, ainsi que la translation par le collecteur commun T_6 de l'entrée A permettant de rendre les niveaux des tensions d'entrée compatibles.

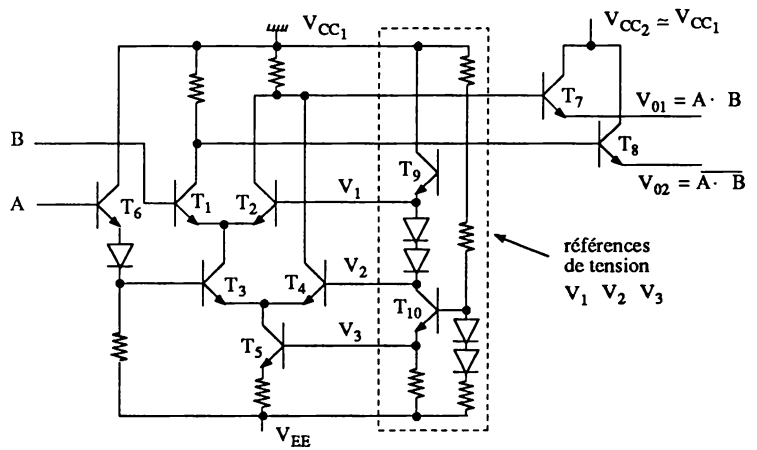


Figure 7.49

— **OU exclusif en ECL** (figure 7.50). Cet opérateur utilise le même principe que le ET précédent. L'entrée A est translatée (translateur non représenté) et les sorties correspondent à $A \oplus B$ et $\overline{A \oplus B}$.

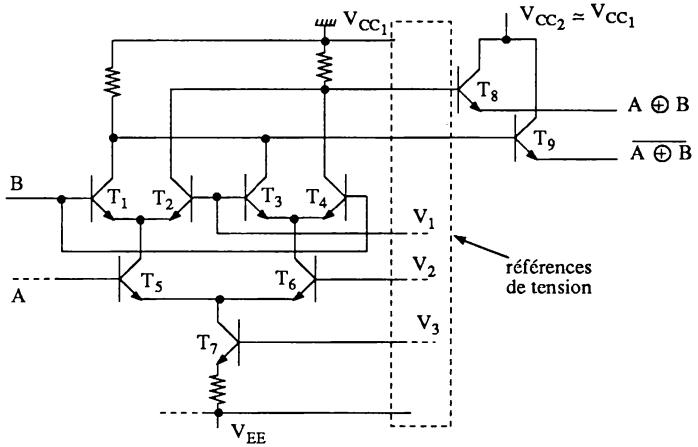


Figure 7.50

— **Multiplexeur en EFL** (figure 7.51). La technologie EFL *(Emitter Follower Logic)* permet de réaliser des fonctions particulières. Celle présentée correspond à un multiplexeur 4 → 1 facile à analyser. Dans certains cas, on associe les deux technologies ECL et EFL.

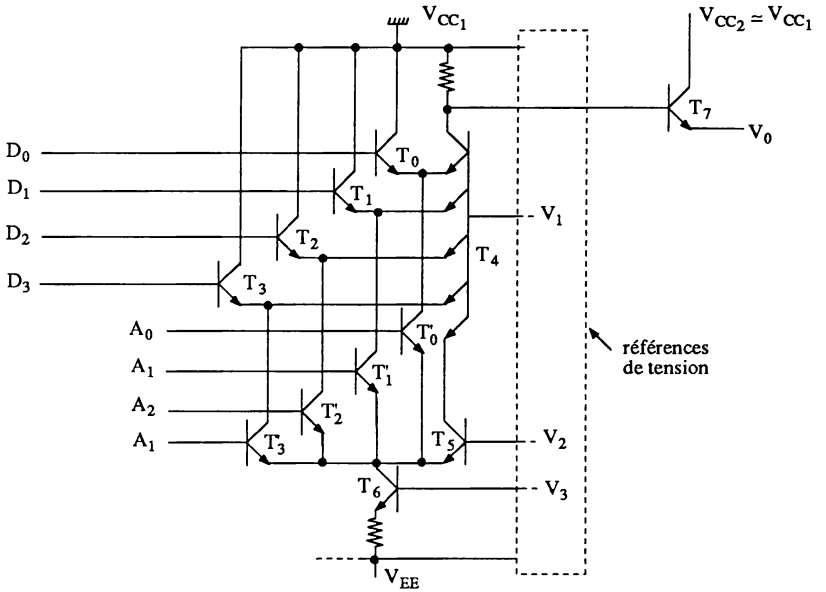


Figure 7.51

7.3.2.5. Caractéristiques et performances de la technologie ECL

A. Caractéristiques statiques. Elles correspondent aux limites des tensions d'entrée et de sortie. La figure 7.52 fournit ces limites par la représentation des courbes de transfert (déjà présentées sur la figure 7.47). Les valeurs indiquées sont celles des opérateurs ECL10KH.

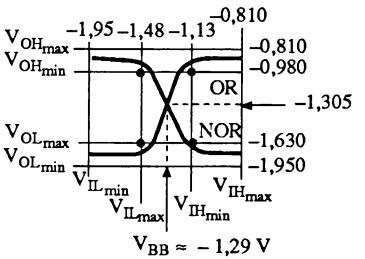


Figure 7.52

Le tableau 7.3 fournit les valeurs des tensions limites correspondant aux séries 10K, 10KH et 100K, comparées à la série abandonnée MECL3 et aux séries TTL Schottky AS et FAST.

	V_{ILmax} V	V_{IHmin} V	V_{OLmax} V	V_{OHmin} V	t_p ns	F pJ	f_{max} MHz	alim V	I_{CC} mA	P mW	imm. aux bruits V
TTLAS	0,8	2	0,4	3	1,5	33	200	+5 0	6	22	0,4
TTLFAST	0,8	2	0,5	2,7	2,5	10	150	+5 0	1	4	0,3
ECL10K	− 1,47	− 1,1	− 1,65	− 0,98	2	50 (10)	125	0 − 5,2	5	25	0,155
ECL10KH	− 1,48	− 1,13	− 1,63	− 0,98	1	25	125	0 − 5,2	5	25	0,125
ECL100K	− 1,47	− 1,16	− 1,62	− 1	0,75	30 (5)	400	0 − 4,5	8	40	0,125
MECL3	− 1,47	− 1,1	− 1,65	− 0,98	1	60	500	0 − 5,2	10	60	0,13

Tableau 7.3

B. Caractéristiques dynamiques. Toujours sur ce tableau 7.3, nous trouvons la valeur des temps de propagation (qui dépendent, eux aussi, de la charge capacitive), le facteur de mérite et la fréquence maximale de fonctionnement dans le cas d'une bascule *D*.

Rappelons que ces valeurs sont indicatives car elles dépendent des conditions d'utilisation toujours mentionnées sur les databooks.

C. Les précautions d'utilisation de la technologie ECL sont encore plus draconiennes que pour la TTL Schottky rapide, à cause de la plus grande consommation, de la plus grande rapidité et de la plus faible immunité aux bruits. Citons :

— les plans de masse et fortes sections des fils d'alimentation,

— les connexions courtes,

— l'emploi de liaisons longues, coaxiales, adaptées ; dans certains cas, connexions torsadées ou nappes.

Pour tous ces problèmes de câblage, on consultera les databooks spécialisés ainsi que les articles cités au début du paragraphe 7.3.2.

7.4. CIRCUITS MOS*

7.4.1. FAMILLE NMOS

7.4.1.1. Présentation de la technologie NMOS

La technologie MOS date du début des années soixante dix. La plupart des circuits intégrés LSI et VLSI utilisaient alors les transistors PMOS. La lenteur de cette technologie a très vite incité les chercheurs à se diriger vers le NMOS. De nos jours, la technologie PMOS a disparu.

L'avantage fondamental de cette technologie NMOS est son intégrabilité à grande échelle. On ne la trouve pas dans les fonctions simples à cause de sa consommation et de sa faible immunité aux bruits. Rappelons l'évolution de la technologie MOS :

- PMOS 20 µm, à grille aluminium, 1970
- PMOS 10 µm, à grille polycristalline, 1971
- NMOS à enrichissement 5µm, 1972
- NMOS à déplétion 5µm, 1976

---

* Revoir le chapitre 4 et plus particulièrement les paragraphes 4.4.3, 5.1.3.3 et 6.2.2.

- HMOS 3µm, 1977
- $HMOS_2$ 2µm, 1979
- $HMOS_3$ 1,5 µm, 1982.

Les dimensions indiquent la longueur du canal.

Remarques

— L'évolution technologique des MOS est due :

- à l'intégration de la grille au silicium polycristallin permettant la diminution des capacités parasites,
- à la maîtrise du dopage permettant de réaliser des transistors à déplétion NMOS D,
- à la réduction des dimensions associée à la maîtrise du masquage, à l'implantation ionique et à l'isolation par LOCOS (revoir la figure 6.31).

— La technologie HMOS *(High performance MOS)* n'est rien d'autre qu'une simple réduction des dimensions du transistor NMOS. Cette réduction s'accompagne d'une diminution de la tension d'alimentation (5 V au lieu de 12 V).

— Les différents noms de la technologie HMOS sont : HMUS (Intel), Scaled MOS ou SMOS (Texas Instrument), ISOPLANAR-H (Fairchild), XMOS (National Semiconductor, ...).

— La technologie DMOS et VMOS est aussi une évolution de la technologie NMOS, mais non utilisée en microélectronique.

7.4.1.2. Inverseurs NMOS

— **Inverseur EEMOS** (figure 7.53). Le transistor à enrichissement T_1 (NMOSE) est chargé par T_2 (NMOSE) fonctionnant en résistance équivalente (revoir les figures 4.142 et 4.151). On en déduit la courbe de charge puis, point par point, les caractéristiques de transfert de la figure 7.54.

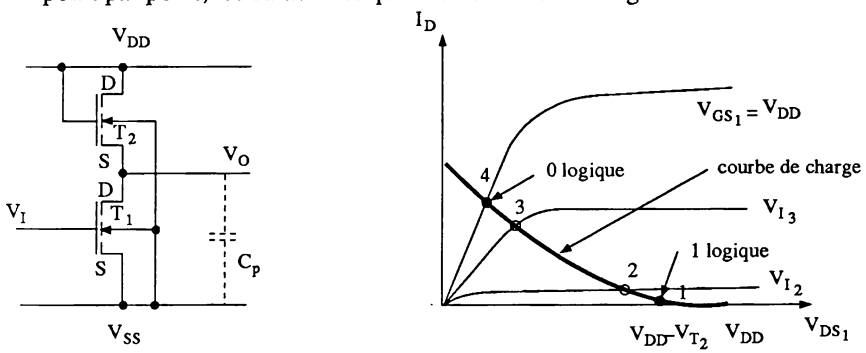


Figure 7.53

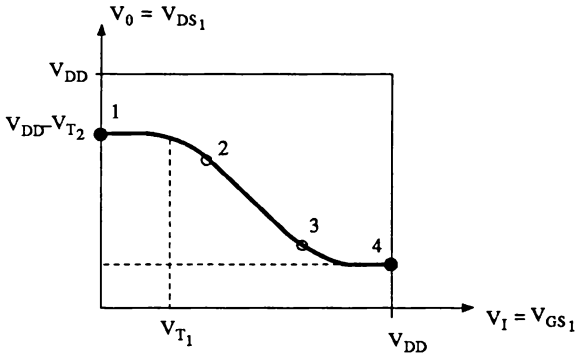


Figure 7.54

Cette technologie présente plusieurs inconvénients :

- l'état logique « 1 » (V_{0max}) n'est pas égal à V_{DD}, mais à $V_{DD} - V_{T_2}$,
- une consommation importante existe lorsque V_0 = « 0 ».

Un autre inconvénient (que l'on retrouve dans la technologie EDMOS) est la charge et décharge du condensateur parasite C_p (ce condensateur représente l'équivalent de toutes les capacités des circuits de charge).

Le processus de charge et décharge est indiqué sur la figure 7.55 :

- **Charge de C_p.** Elle a lieu à travers T_2 (cycle en traits pointillés). Le faible courant I_{D_2} conduit à un important temps de montée t_{LH} de la sortie.
- **Décharge de C_p.** Lorsque l'entrée passe à « 1 » ($V_I = V_{DD}$), la forte valeur V_{GS_1} impose un courant I_D important dans le transistor T_1. Le condensateur C_p se décharge rapidement (cycle en traits pleins) et le temps de descente t_{HL} de la sortie est faible ($t_{HL} << t_{LH}$).

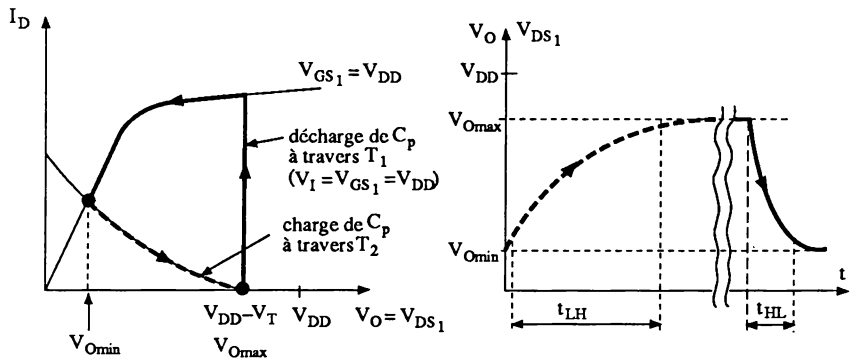


Figure 7.55

— **Inverseur EDMOS** (figure 7.56). Le transistor à enrichissement T_1 (NMOSE) est chargé par T_2 (NMOSD) fonctionnant en charge active (revoir

le paragraphe 4.4.3.3 et les figures 4.145 et 4.146). On en déduit la courbe de charge, puis, point par point, les caractéristiques de transfert de la figure 7.57. On remarque la supériorité de cette technique par rapport à la précédente, à cause :

- des meilleurs niveaux logiques,
- d'une meilleure immunité aux bruits [transition plus franche de la caractéristique de transfert V_0 (V_I)].

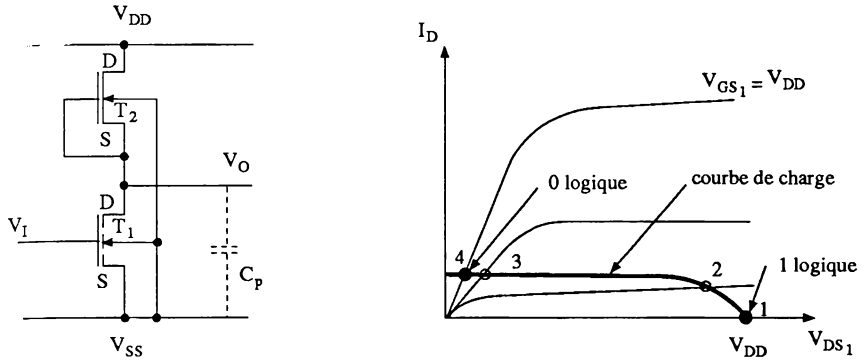


Figure 7.56

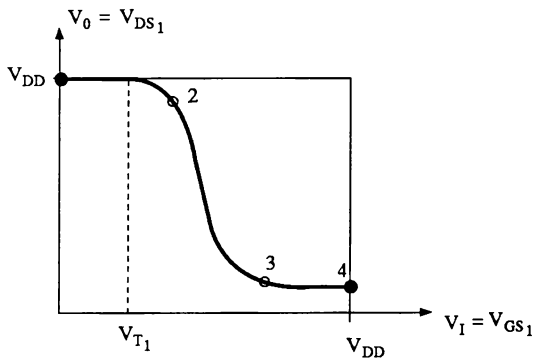


Figure 7.57

Toutefois, afin de limiter la consommation à l'état bas de la sortie, on dimensionne le canal de T_2 (par rapport à celui de T_1), afin d'obtenir une caractéristique I_{D2} (V_{DS2}) pour $V_{GS2} = 0$ suffisamment « basse ». Ceci repose le problème de la charge du condensateur parasite C_p dont le phénomène est illustré sur la figure 7.58. Cet inconvénient est atténué en utilisant le procédé de précharge.

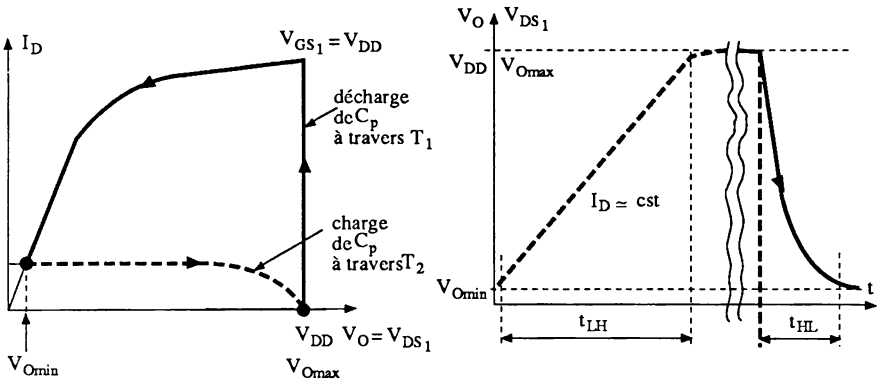


Figure 7.58

— **Inverseur EDMOS avec précharge** (figure 7.59). On utilise un troisième transistor (T_3) commandé par une horloge $\emptyset$ synchronisée avec le signal d'entrée de l'inverseur. Lorsque V_I passe de « 1 » à « 0 », un circuit de commande (non représenté) fournit, sur l'entrée $\emptyset$, une impulsion permettant de charger le condensateur parasite C_p à travers T_3.

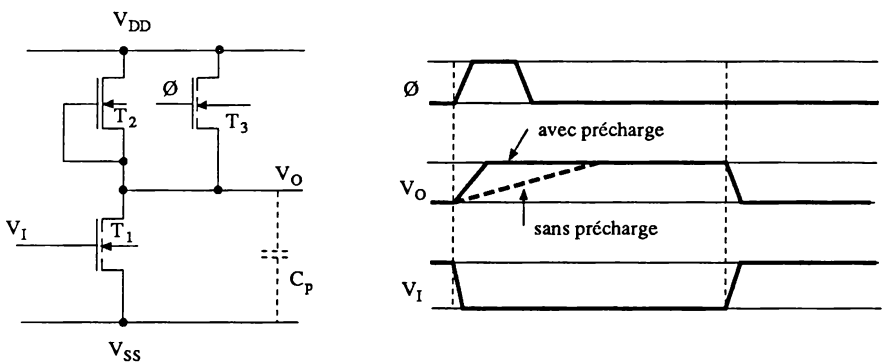


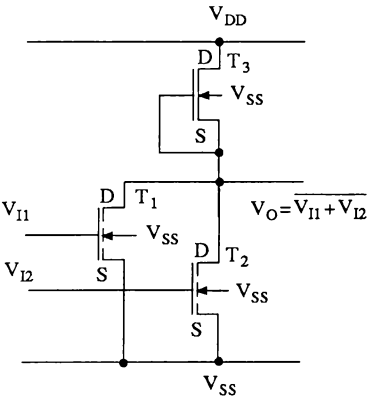
Figure 7.59

7.4.1.3. Autres opérateurs NMOS

Nous nous limitons à une présentation simplifiée de quelques opérateurs. Les transistors commandés sont les NMOSE dont la source est située vers V_{SS}. Pour étudier les circuits, on considérera que ces transistors sont non conducteurs (off) lorsque leur grille est à « 0 » (potentiel V_{SS}), puis conducteurs (on) lorsque leur grille est à « 1 » (potentiel V_{DD}). On peut ainsi, en guise d'exercice, remplacer les

transistors par un interrupteur ouvert (off) ou fermé (on), et remplacer le NMOSD par une résistance permanente (ou une source de courant).

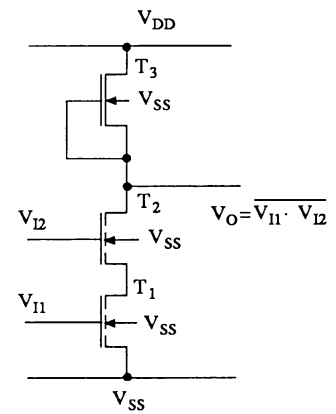
— **Opérateur NOR** (figure 7.60). Pour que la sortie soit à « 1 », il faut que les transistors T_1 et T_2 soient bloqués, donc les deux entrées à « 0 ».



V_{I1}	V_{I2}	T_1	T_2	V_O
0	0	off	off	1
0	1	off	on	0
1	0	on	off	0
1	1	on	on	0

Figure 7.60

— **Opérateur NAND** (figure 7.61). Pour que la sortie soit à « 0 », il faut que les deux transistors T_1 et T_2 conduisent (donc les deux entrées à « 1 »).



V_{I1}	V_{I2}	T_1	T_2	V_O
0	0	off	off	1
0	1	off	on	1
1	0	on	off	1
1	1	on	on	0

Figure 7.61

— **Opérateurs plus complexes.** La mise en série ou en parallèle des transistors NMOSE permet de réaliser simplement des fonctions complexes (figure 7.62).

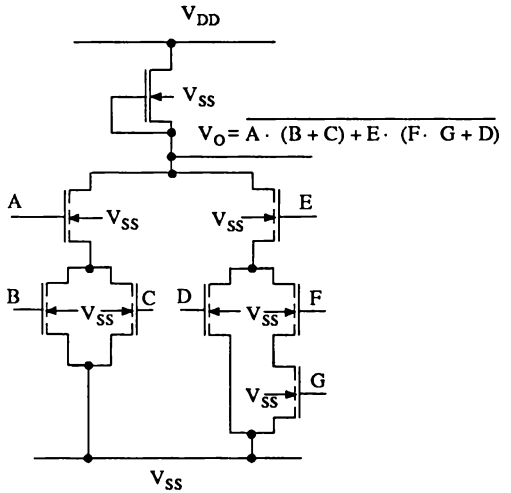


Figure 7.62

On peut même, dans certains cas, utiliser la borne source comme entrée (figure 7.63). Il faut alors que la grille soit à « 1 » et la source à « 0 » pour que le transistor considéré conduise.

La figure 7.64 indique le schéma simple d'un OU exclusif et de son complément. On voit ici le gros avantage de cette technologie NMOS, qui est sa simplicité (en plus de sa facilité d'intégration).

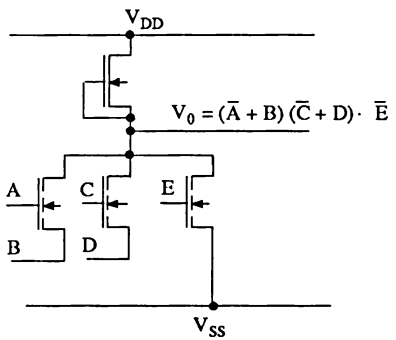


Figure 7.63

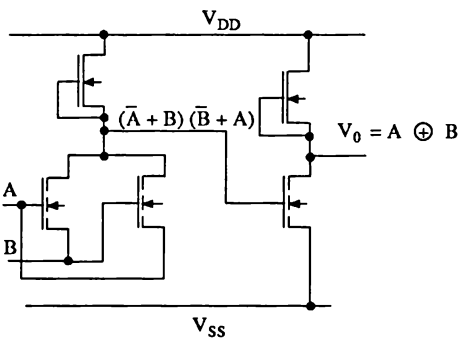


Figure 7.64

7.4.1.4. Caractéristiques et performances de la technologie NMOS

Les technologies MOS sont caractérisées par leurs paramètres de « dessin ». La figure 7.65 représente le dessin d'un inverseur (celui de la figure 7.56). La

dimension L_0 correspond à l'unité de longueur du dessin ; elle caractérise la technologie (L_0 = 3 µm pour HMOS, L_0 = 2 µm pour $HMOS_2$, ...). On en déduit l'enveloppe minimale, ainsi que la surface par transisstor, ou par porte, donc la densité d'intégration (nombre de transistors ou de portes par mm^2). Pour l'inverseur présenté, sa surface est $12 \times 5 \times L_0^2 = 60\, L_0^2$.

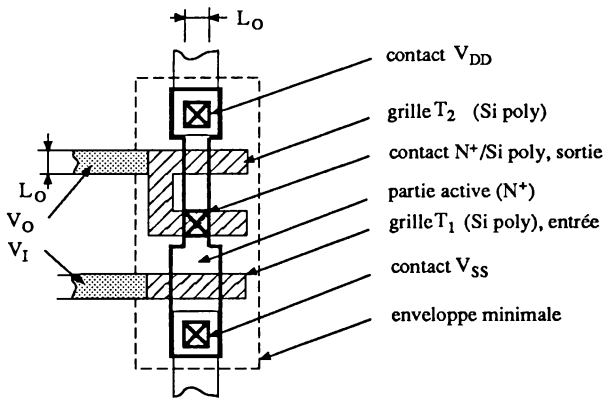


Figure 7.65

La figure 7.66 représente le dessin d'un NOR à 2 entrées (celui de la figure 7.60) et d'un NAND à 2 entrées (celui de la figure 7.61).

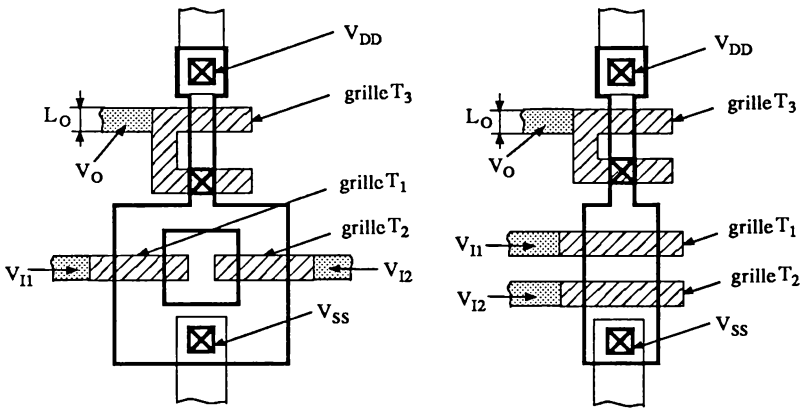


Figure 7.66

Le tableau 7.4 fournit l'évolution du temps de propagation en fonction de l'évolution des technologies.

	PMOS Al	PMOS Si poly	NMOS E	NMOS D	HMOS	$HMOS_2$	$HMOS_3$
longueur du canal en µm	20	10	5	5	3	2	1,5
t_p en ns	100	50	12	4	1	0,5	0,2
P en mW	1	1	1	1	1	1	1
$F = t_p P$ en pJ	100	50	12	4	1	0,5	0,2

Tableau 7.4

7.4.2. FAMILLE CMOS

7.4.2.1. Présentation de la technologie CMOS

La technologie CMOS a suivi une évolution parallèle à la technologie NMOS. Comparée à cette dernière, elle présente l'avantage d'une consommation statique quasi nulle et l'inconvénient d'une plus grande surface d'intégration (réalisation d'un caisson P sur un substrat N, ou l'inverse, et interconnexions plus nombreuses).

L'évolution technologique fut la suivante :

A. Circuits CMOS classiques 1970 (séries C4XXX ou 74CXXX) dont les caractéristiques sont :

— **longueur du canal 10 µm,**

— grille aluminium,

— fréquence de fonctionnement limitée par le transistor PMOS et les capacités parasites entre caissons (f_{max} = quelques mégahertz),

— tension d'alimentation de 3 V à 18 V.

B. Circuits HCMOS, 1975-1980 (séries HC4XXX ou 74HCXXX). Ces circuits bénéficient des améliorations des HMOS (HCMOS = High performance CMOS).

— **Longueur du canal 3 µm.** Cette diminution des dimensions permet une réduction des capacités parasites, un courant admissible plus important, donc

rapidité accrue des transistors PMOS (aussi rapides que les NMOS à cause du régime de champ fort dans le canal). La fréquence maximale est autour de 20 MHz.

— Grilles autoalignées, servant de masque pour la fabrication de la source et du drain (cette technique réduit aussi les capacités parasites).

— Isolation des caissons par oxyde « enterré » appelé LOCOS (technique Isoplanar).

— Dans certains cas (Intel), réalisation d'un caisson N sur un substrat P^- (revoir la figure 6.32).

— Tension d'alimentation de 2 à 6 V.

Dans cette série, on trouve :

- **les circuits HC** dont la sortie est uniquement compatible CMOS ;
- **les circuits HCT** dont la sortie est compatible TTL et CMOS (un circuit TTL LS peut être remplacé par un circuit HCT, et inversement).

C. **Circuits FACT, 1985** (Fairchild Advanced CMOS Technology) dont les références sont parallèles à celles de la TTL (74ACXX et 74ACTXX).

Les améliorations technologiques suivent celles de la $HMOS_3$:

— longueur du canal 1,3 µm

— technique Isoplanar (isolation par LOCOS)

— tension d'alimentation de 2 à 6 V.

La fréquence de fonctionnement est supérieure à 40 MHz (à cette fréquence, la puissance dissipée, pour une même porte, est identique à celle de la technologie TTL LS).

Dans cette série, nous avons aussi deux types de circuits :

- **les circuits AC** dont la sortie est uniquement compatible CMOS,
- **les circuits ACT** dont la sortie est compatible TTL et CMOS (permutation possible des technologies ACT et LS).

Remarques

— Il existe la technologie SOSMOS (déjà présentée dans cet ouvrage), qui consiste à utiliser un support isolant en saphir, sur lequel on dépose des paquets de silicium isolés les uns des autres. Après plusieurs phases de diffusions, ils deviennent des transistors MOS ou PMOS. Le prix de revient des circuits réalisés est tel que très peu de fonctions voient le jour (quelques microprocesseurs et mémoires rapides).

— Dans certains cas, on associe NMOS (rapide) et CMOS (faible consommation) pour réaliser des fonctions intégrées.

— Il existe la structure CMOS Domino qui permet de réaliser des opérateurs combinatoires avec uniquement des NMOS tout en travaillant à puissance dissipée nulle. Cette structure de type dynamique fait intervenir une pré-charge de chaque bloc élémentaire.

— La diminution dans le temps de la longueur du canal est liée à l'évolution technologique. C'est une fonction hyperbolique dont l'asymptote horizontale se situe autour de 0,8 à 1 µm. On est donc très proche de cette limite. Pour des circuits plus rapides, l'avenir est à la technologie GaAs (technologie MESFET).

7.4.2.2. Inverseurs CMOS

Le principe de l'inverseur CMOS a été étudié dans l'exercice 9 du paragraphe 4.4.7.

A. Inverseur CMOS série C (figure 7.67). Le transistor *P* est réalisé dans un caisson *P* sur un substrat *N*. Comme l'isolant (oxyde de silicium) est très vulnérable au champ électrique extérieur, une sérieuse protection est présente à l'entrée (à chaque entrée pour les circuits plus complexes). La résistance *R* associée aux capacités parasites et de structures limite la fréquence de fonctionnement (valeur de quelques mégahertz annoncée précédemment).

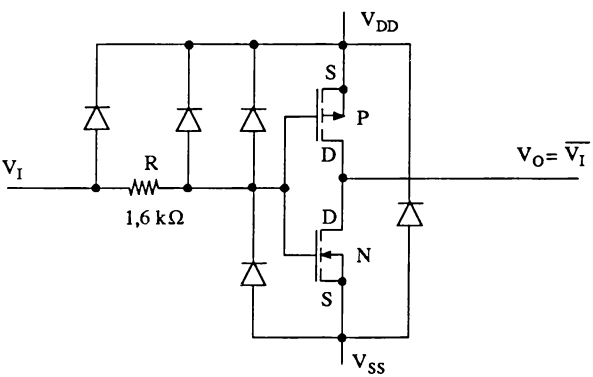


Figure 7.67

B. Inverseur CMOS séries HC et AC (figure 7.68). Cet inverseur est bufferisé. Cela veut dire qu'il est constitué de trois cellules élémentaires, mises en cascade, permettant un plus fort courant de sortie et une vitesse accrue (les capacités parasites sont diminuées d'un facteur 2 à 3 à cause de la technique Isoplanar).

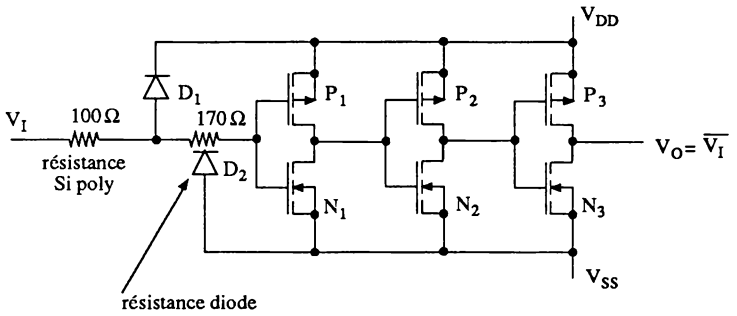


Figure 7.68

La série AC présente un schéma identique. Seules les dimensions (donc les capacités) sont réduites.

C. **Inverseur CMOS séries HCT et ACT** (figure 7.69). La modification de la structure précédente permet, en sortie, des états logiques compatibles avec la famille TTL (ALS ou LS). En effet, le transistor P_4 modifie les caractéristiques de transfert en les décalant vers V_{SS} (voir le paragraphe 7.4.2.4).

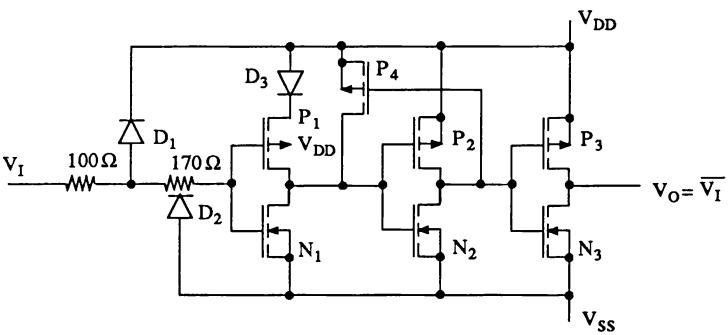


Figure 7.69

La série ACT voit ses dimensions réduites d'un facteur 2.

D. **Inverseur 3 états.** Plusieurs principes sont possibles pour réaliser un état haute impédance en sortie.

— **Figure 7.70.** On utilise un commutateur en sortie commandé par une entrée *E* (Enable). Ce commutateur a été étudié au chapitre 6.

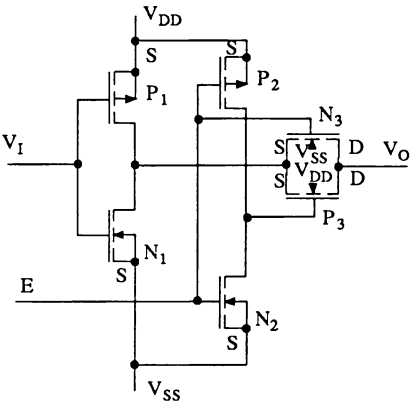


Figure 7.70

— **Figure 7.71.** On bloque les transistors principaux N_3 et P_3 par d'autres transistors connectés en série N_2 et P_2, eux-mêmes commandés par un inverseur. Dans notre cas, la sortie est validée par un « 0 » sur l'entrée $\overline{E}$ (rendant « on » les transistors N_2 et P_2).

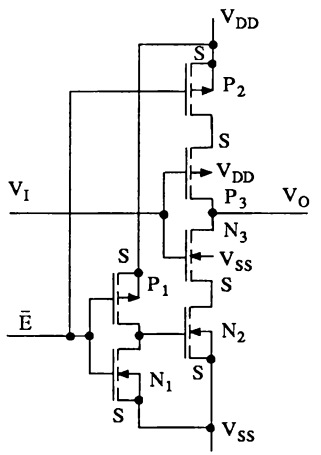


Figure 7.71

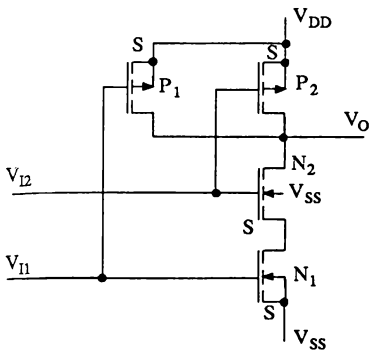
7.4.2.3. Autres opérateurs CMOS

Nous nous limiterons à l'étude du NAND et du NOR à deux entrées. Cette étude consiste à remplacer chaque transistor par un interrupteur fermé (on) ou un interrupteur ouvert (off) selon la commande.

- NMOS, grille à V_{DD} ou « 1 », $V_{GS} > 0$, **on**
  grille à V_{SS} ou « 0 », $V_{GS} = 0$, **off**
- PMOS, grille à V_{DD} ou « 1 », $V_{GS} = 0$, **off**
  grille à V_{SS} ou « 0 », $V_{GS} < 0$, **on**

— **NAND à 2 entrées,** C4011, 74HC00, 74AC00 (figure 7.72). On présage une dissymétrie de conduction entre l'état haut (P_1 ou P_2 ou P_1 // P_2) et l'état bas ($N_1 + N_2$). Certains circuits sont

- soit bufferisés (suivis de deux inverseurs),
- soit symétrisés (deux transistors N'_1 et N'_2 connectés en parallèle avec N_1 et N_2 et commandés comme ces derniers).

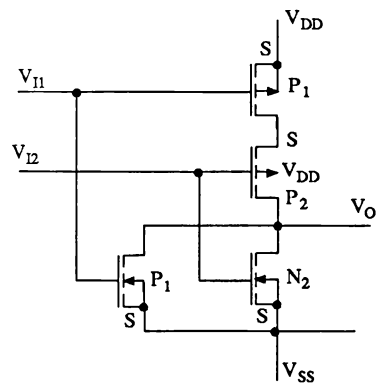


V_{I1}	V_{I2}	N_1	N_2	P_1	P_2	V_O
0	0	off	off	on	on	1
0	1	off	on	on	off	1
1	0	on	off	off	on	1
1	1	on	on	off	off	0

NAND

Figure 7.72

— **NOR à 2 entrées,** C4001, 74HC02, 74AC02 (figure 7.73). On retrouve le même problème que pour le NAND précédent.



V_{I1}	V_{I2}	N_1	N_2	P_1	P_2	V_O
0	0	off	off	on	on	1
0	1	off	on	on	off	0
1	0	on	off	off	on	0
1	1	on	on	off	off	0

NOR

Figure 7.73

Remarque. A titre d'exercices, consulter les databooks et analyser les fonctions suivant la méthode indiquée précédemment. L'analyse des circuits séquentiels se fait comme pour les circuits combinatoires, à chaque période d'horloge.

7.4.2.4. Caractéristiques et performances de la technologie CMOS

Tout comme la technologie NMOS, la technologie CMOS est caractérisée par son paramètre « dessin ». La figure 7.74 représente le dessin d'un inverseur. L'unité de longueur est L_0 (par exemple $L_0 = 3$ µm pour la série HC).

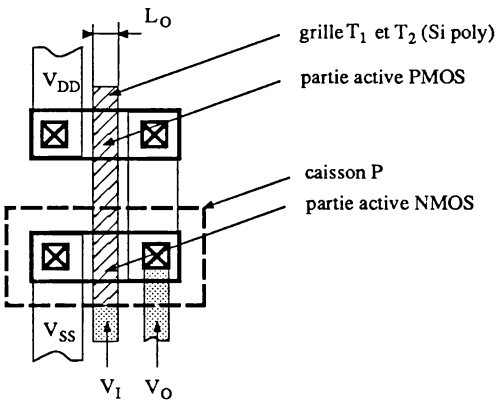


Figure 7.74

A. CMOS classique, C4XXX. Cette première technologie encore existante peut fonctionner entre 3 V et 18 V. Les caractéristiques sont en général fournies pour trois tensions d'alimentation 5 V, 10 V et 15 V.

— **Figure 7.75.** Cette figure représente les caractéristiques statiques de transfert V_0 (V_I) et de courant absorbé I_D (V_I) pour l'inverseur 4007. Une bonne symétrie apparaît pour les basses tensions. Le courant fourni par l'alimentation est d'autant plus important que la tension V_{DD} est, elle-même, importante (à cause de l'augmentation du V_{GS}). La tension de seuil $|V_p|$ des transistors est voisine de 1,5 V.

— **Tableau 7.5.** Toujours pour le circuit 4007 et $T_{amb} = 25°C$, nous trouvons les valeurs de :

- V_{OL} et V_{OH} dans le cas extrême (car en typique, ces valeurs correspondent à V_{DD} et V_{SS}) ;
- V_{IL} et V_{IH}. On voit ici que la zone d'incertitude est de 10 % de V_{DD} et centrée à $\frac{V_{DD}}{2}$;

- I_{OH} et I_{OL} associés aux chutes de tension. Ceci permet, pour ces couples de valeurs, de définir le générateur de Thévenin équivalent ;
- t_{pLH} et t_{pHL} pour une charge capacitive de 50 pF.

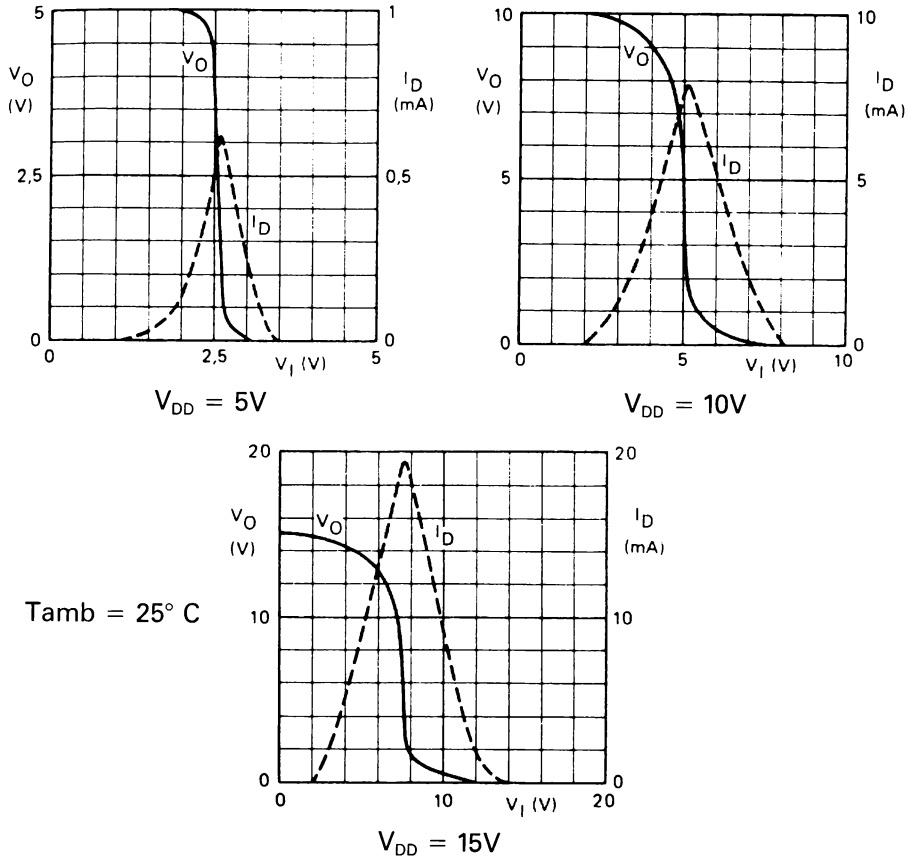


Figure 7.75

***Source :* Philips Composants**

V_{DD} V	V_{OL} max V	V_{OH} min V	V_{IL} V	V_{IH} V	I_{OH} mA	I_{OL} mA	t_{PLH} ns	t_{PHL} ns
5	0,05	4,95	2,25	2,75	– 1 (V_{OH} = 4,6 V)	0,51 (V_{OL} = 0,4)	60	60
10	0,05	9,95	4,5	5,5	– 2,5 (V_{OH} = 9,5 V)	1,3 (V_{OL} = 0,5)	30	30
15	0,05	14,95	6,75	8,25	– 10 (V_{OH} = 13,5)	3,4 (V_{OL} = 1,5)	25	25

Tableau 7.5

— **Figure 7.76.** Elle fournit les caractéristiques I_D (V_{DS}) des transistors NMOSE et PMOSE pour $|V_{GS}|$ = 5 V, 10 V et 15 V et pour les opérateurs classiques NAND, ... Ces caractéristiques permettent de déterminer la chute de tension à l'état haut et à l'état bas, pour un courant de sortie donné et pour différentes températures.

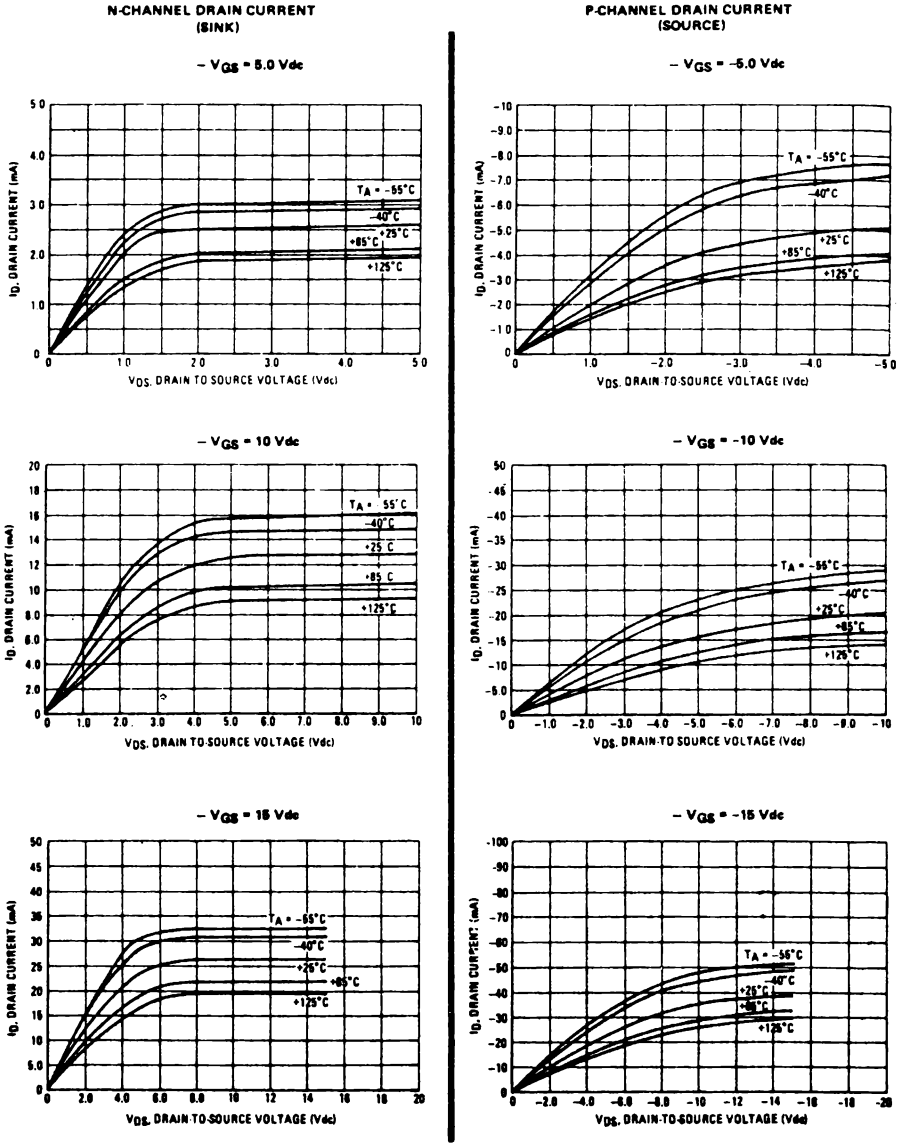


Figure 7.76

Source : **Motorola**

B. CMOS rapide HC, HCT, AC, ACT. Ces technologies peuvent fonctionner entre 2 V et 6 V. La valeur standard est 5 V.

— **Figure 7.77.** Elle compare les caractéristiques de transfert V_0 (V_I) des trois technologies C, HC et AC. La transition rectangulaire des séries HC et HCT (ou AC et ACT) est due à la présence du buffer de sortie (deux inverseurs supplémentaires mis en cascade – revoir les figures 7.68 et 7.69) donc du gain en tension très important dans la partie linéaire (produit des gains de chaque étage).

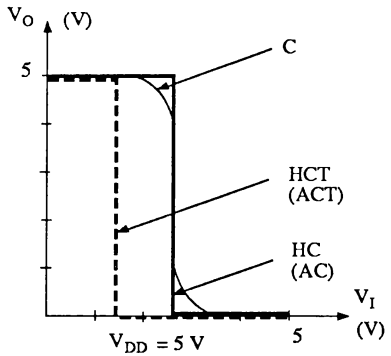


Figure 7.77

— **Figure 7.78.** Elle représente la consommation statique des circuits en fonction de la tension d'entrée.

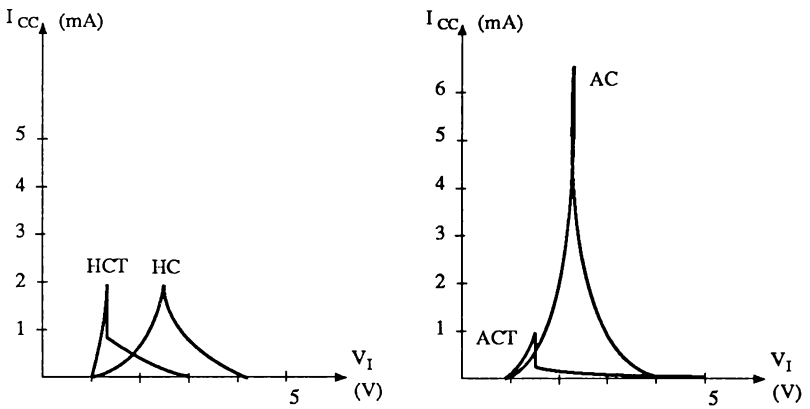


Figure 7.78

— **Tableau 7.6.** Quelques éléments statiques de comparaison sont fournis pour les technologies LS, ALS, HC, AC et ACT. On remarque la très forte immunité aux bruits des circuits FACT.

Characteristics	Symbol	LS	ALS	HCMOS	FACT		Unit
					'AC	'ACT	
Operating Voltage Range	$V_{CC/EE/DD}$	5±5%	5±10%	2.0 to 6.0	2.0 to 6.0	2.0 to 6.0	V
Operating Temperature Range	T_A 74 Series T_A 54 Series	0 to +70 -55 to +125	0 to +70 -55 to +125	-40 to +85 -55 to +125	-40 to +85 -55 to +125	-40 to +85 -55 to +125	°C
Input Voltage (limits)	V_{IH} (min)	2.0	2.0	3.15	3.15	2.0	V
	V_{IL} (max)	0.8	0.8	0.9	1.35	0.8	V
Output Voltage (limits)	V_{OH} (min)	2.7	2.7	V_{CC}-0.1	V_{CC}-0.1	V_{CC}-0.1	V
	V_{OL} (max)	0.5	0.5	0.1	0.1	0.1	V
Input Current	I_{IH}	20	20	+ 1.0	+ 1.0	+ 1.0	µA
	I_{IL}	-400	-200	-1.0	-1.0	-1.0	µA
Output Current at V_O (limit)	I_{OH}	-0.4	-0.4	-4.0@V_{CC}-0.8	-24@V_{CC}-0.8	-24@V_{CC}-0.8	mA
	I_{OL}	8.0	8.0	4.0 @0.4 V	24 @0.4 V	24 @ 0.4 V	mA
DC Noise Margin LOW/HIGH	DCM	0.3/0.7	0.4/0.7	0.8/1.25	1.25/1.25	0.7/2.4	V

Tableau 7.6

Source : **National Semiconductor**

— **Tableau 7.7.** Ce sont les éléments dynamiques qui sont, ici, comparés. On voit encore la supériorité des circuits FACT.

Characteristics	Symbol	LS	ALS	HCMOS	FACT	Unit
Quiescent Supply Current/Gate	I_G	0.4	0.2	0.0005	0.0005	mA
Power/Gate (Quiescent)	P_G	2.0	1.2	0.0025	0.0025	mW
Propagation Delay	t_P	7.0	5.0	8.0	5.0	ns
Speed Power Product	—	14	6.0	0.02	0.01	pJ
Clock Frequency D/FF	f_{max}	33	50	50	160	MHz

Tableau 7.7

Source : **National Semiconductor**

— **Figure 7.79.** Elle indique la valeur de la tension de sortie associée au courant, pour les circuits AC. On remarque une résistance interne quasi constante, jusqu'à 100 mA :

$$R_{onH} = \frac{\Delta V_0}{\Delta I_0} \simeq \frac{1{,}5}{100\ \text{mA}} = 150\ \Omega$$

$$R_{onL} = \frac{\Delta V_0}{\Delta I_0} \simeq \frac{1}{100\ \text{mA}} = 100\ \Omega$$

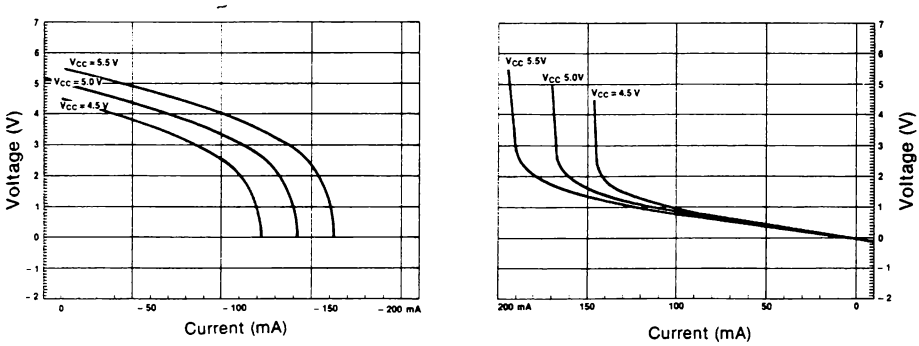


Figure 7.79

Source : **National Semiconductor**

— **Figure 7.80.** Elle positionne les différentes technologies dans un système d'axes : puissance par grille – temps de propagation.

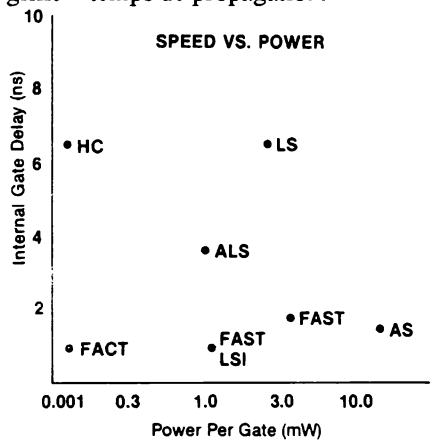


Figure 7.80

Source : **National Semiconductor**

C. Quelques précautions d'utilisation des circuits CMOS.

— Les entrées non utilisées d'un circuit doivent être obligatoirement connectées à V_{DD} ou V_{SS}, sinon le fonctionnement risque d'être perturbé (charge aléatoire des grilles). Dans certains cas (V_{DD} important et V_I électrostatique tel que I_{DD} soit maximum) la puissance dissipée peut détruire une porte, donc le circuit. **Cette remarque reste valable, même si un opérateur n'est pas utilisé.**

— Les temps de propagation augmentent proportionnellement avec C_L.

— Pour les circuits rapides, les consignes de câblage sont toujours draconiennes (revoir la technologie ECL et TTL FAST). Il est nécessaire de consulter les databooks.

— On peut, dans certains cas, augmenter le courant de sortie d'une fonction CMOS, en connectant plusieurs circuits en parallèle, sans contrainte particulière (circuit C4XXX). Notons toutefois que, dans cette série, il existe des buffers (par exemple le circuit 4049 fournissant plus de 50 mA).

— La structure CMOS se prête au phénomène de latch up déjà cité, à cause du thyristor parasite équivalent situé entre les deux transistors, à travers le caisson. Ce phénomène de verrouillage peut apparaître lorsqu'il y a des surtensions en sortie ou des surcharges. Les constructeurs limitent cet effet en diminuant le gain en courant des transistors parasites (un thyristor $\simeq$ 2 transistors). Dans certains cas, l'utilisateur doit connecter en sortie, deux diodes, telles que l'indique la figure 2.52 (diodes D_7 et D_8, à faible seuil).

7.5. CIRCUITS BICMOS*

7.5.1. PRÉSENTATION DE LA TECHNOLOGIE BICMOS

La technologie BICMOS associe sur une même puce (circuits LSI, VLSI ou prédiffusés) des transistors MOS et des transistors bipolaires. On utilise alors les avantages de chaque technologie :

— CMOS pour sa faible consommation (mais influence importante de la charge capacitive),

— bipolaire pour sa bonne commutation et son impédance de sortie très faible.

Déjà utilisée dans de nombreux domaines (mémoires, circuits spécialisés pour ordinateurs, convertisseurs, circuits vidéo, ...), cette technologie a un avenir très prometteur, aussi bien dans le domaine professionnel que grand public.

La figure 7.81 représente l'implantation d'un transistor *NPN* et des transistors MOS (NMOS et PMOS).

---

* Extrait de l'article « La technologie BICMOS », TLE, mars 1989 n° 544.

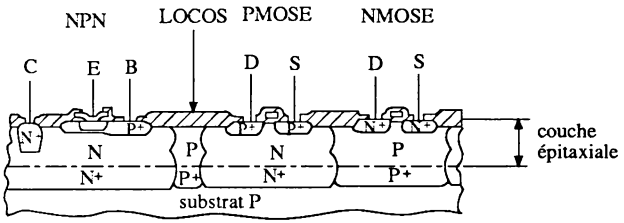


Figure 7.81

7.5.2. OPÉRATEURS BICMOS

Les quelques exemples d'opérateurs présentés dans ce paragraphe ne font pas partie, comme les circuits TTL ou CMOS, d'un catalogue. Ils représentent des opérateurs de fin de chaîne de traitement numérique. On verra, dans la section 7.7, un exemple de circuit d'interface ECL-CMOS-bipolaire.

— **Inverseur BICMOS** (figure 7.82)

• L'état logique $V_I = 1$ bloque le transistor P et fait conduire le transistor N, faisant conduite T_1 (qui décharge la capacité C_L).

• L'état logique $V_I = 0$ bloque le transistor N et fait conduire le transistor P. La tension aux bornes de R_1 fait conduire T_2 (qui charge C_L).

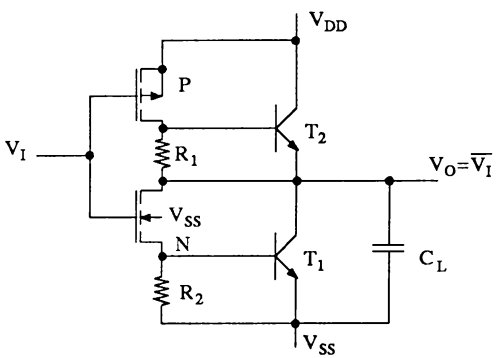


Figure 7.82

Notons que, en aucun cas, les transistors bipolaires ne se saturent.

— **NAND en BICMOS** (figure 7.83)

• L'état logique $V_{I1} = V_{I2} = 0$ bloque les transistors N_1, N_2, N_4 et N_5. Les transistors P_1 et P_2 conduisent, faisant conduire T_2 (et N_3 qui bloque T_1).

• L'état logique $V_{I1} = V_{I2} = 1$ bloque P_1, P_2 et N_3. La conduction de N_4 et N_5 commande T_1 alors que la conduction de N_1 et N_2 bloque T_2.

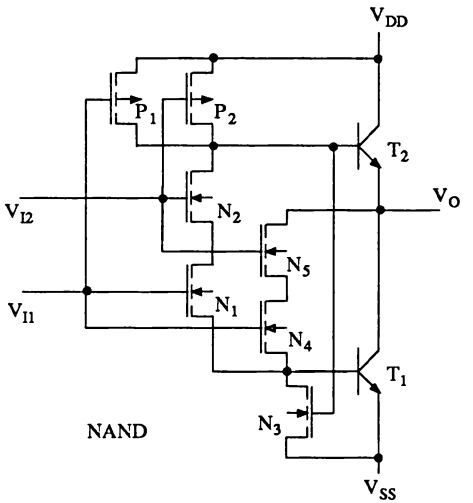


Figure 7.83

Les transistors bipolaires ne se saturent toujours pas.

— **NOR en BICMOS** (figure 7.84). Une analyse identique à la précédente peut être effectuée pour connaître le fonctionnement de cet opérateur. Nous laissons au lecteur le soin de cette étude en remplaçant les transistors NMOS et PMOS par un interrupteur fermé (on) ou un interrupteur ouvert (off).

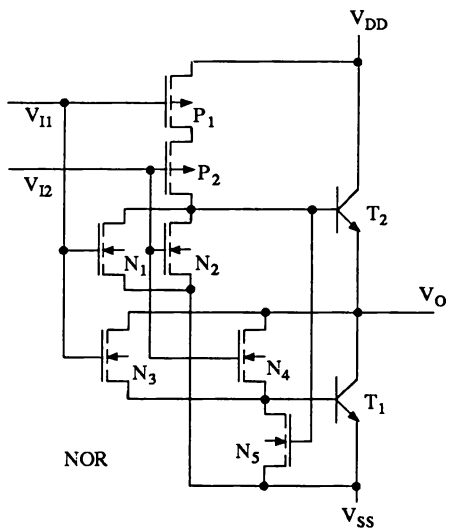


Figure 7.84

7.5.3. CARACTÉRISTIQUES DE LA TECHNOLOGIE BICMOS

Au vu de la figure 7.85 représentant le temps de propagation t_p en fonction de la charge capacitive C_L, il apparaît que la technologie BICMOS a un avenir prometteur car elle se situe juste avant la technologie ECL (grande consommatrice d'énergie). Il est prévu que cette technologie BICMOS envahisse le monde des ASIC pour les fonctions mixtes (numériques et analogiques).

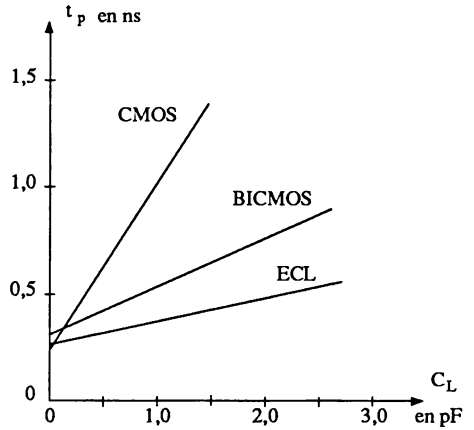


Figure 7.85

7.6. CIRCUITS GaAs*

7.6.1. PRÉSENTATION DE LA TECHNOLOGIE GaAs

L'arséniure de gallium (composé III-V) présente une vitesse limite des électrons bien supérieure à celle du silicium, à faible champ. C'est cette propriété qui, malgré plus de difficultés d'élaboration, a guidé les chercheurs vers une étude de circuits rapides tant analogiques que numériques. De nos jours de nombreux composants et de nombreuses fonctions sont commercialisées :

— **domaines des microondes**
- transistors MESFET (100 GHz)
- diodes Schottky (300 GHz)
- circuits intégrés hybrides et monolithiques (20 GHz)

---

* Extrait des techniques de l'ingénieur E2440.

— **domaines de l'optoélectronique**
- diodes DEL, laser et photodiodes

D'autres sont en cours de commercialisation :

— **domaines des microondes**
- transistors TEGFET

— **logique rapide**
- circuits intégrés monolithiques ($t_p \simeq 100$ ps)
- circuits à la demande.

Les circuits intégrés numériques sont réalisés à partir de deux types de transistors à jonction Schottky :

— **le MESFET à déplétion** (FET D) dont l'utilisation impose trois lignes d'alimentation (V_+, GND, V_-) et une ou plusieurs diodes de translation,

— **le MESFET à enrichissement** (FET E), de technologie plus récente, dont le fonctionnement est très proche de celui des NMOSE (ce transistor est obtenu à partir de couches actives minces).

La figure 7.86 indique la différence de fabrication entre un FET D et un FET E. Comme pour les circuits MOS, chaque grille présente une longueur L bien définie (la valeur minimale se situe autour de 1 µm).

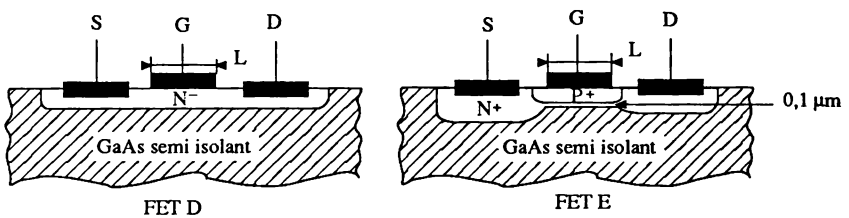


Figure 7.86

7.6.2. OPÉRATEURS GaAs

7.6.2.1. Opérateurs à FET D

On laissera au lecteur le soin d'établir la table de vérité.

— **Technologie BFL** (Buffered FET Logic). La figure 7.87 représente un NOR à deux entrées. Du fait du fonctionnement normalement conducteur (normally on) des transistors FET, les tensions d'entrée V_{In} doivent être positives (« 1 ») ou négatives (« 0 »). L'étage buffer de sortie sert aussi de translateur (T_4 = drain commun). Les transistors T_3 et T_5 travaillent en source de courant. Nous sommes en présence de la BFL 1 diode. Il existe la BFL 2 ou 3 diodes dépendant de la valeur de la tension d'alimentation V_+.

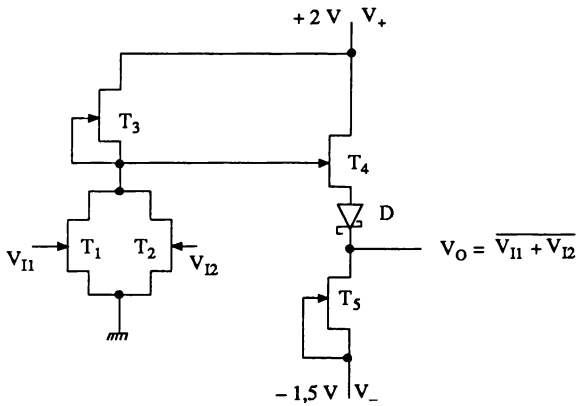


Figure 7.87

— **Technologie SDFL** *(Schottky Diode FET Logic).* La figure 7.88 représente un NOR. Chaque tension d'entrée est appliquée à une diode Schottky (d'où le nom de cette technologie). Le transistor T_2 travaille en source commune, alors que T_1 et T_3 sont des sources de courant. Là encore, les tensions d'entrée doivent être positives (« 1 ») ou négatives (« 0 »).

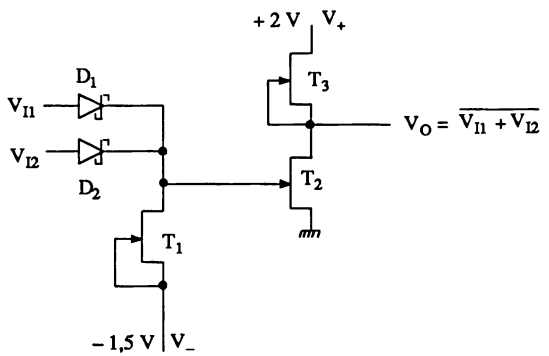


Figure 7.88

— **Technologie mixte BFL-SDFL.** Les deux technologies précédentes s'associent très bien pour réaliser des fonctions complexes. La figure 7.89 en fournit un exemple. Il est aisé de vérifier que la fonction logique est

$$V_0 = \overline{V_1 \cdot V_2 + V_3 \cdot V_4} \quad + \quad \overline{V_5 \cdot V_6 + V_7 \cdot V_8}$$

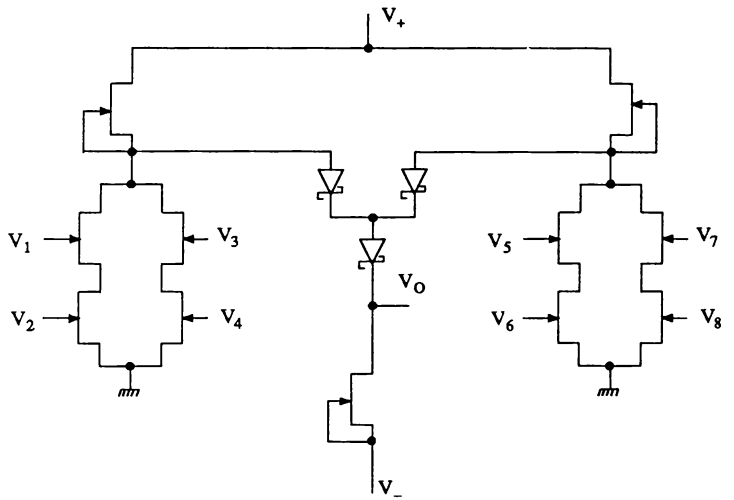


Figure 7.89

7.6.2.2. Opérateurs à FETE

Ces opérateurs à transistors à jonction à enrichissement sont, en général, chargés par des transistors FET D.

— **Technologie DCFL** *(Direct Coupled FET Logic).*

— La figure 7.90 représente un NOR à deux entrées. Les transistors à enrichissement T_1 et T_2 sont couplés par les sources et par les drains. La charge commune est une source de courant.

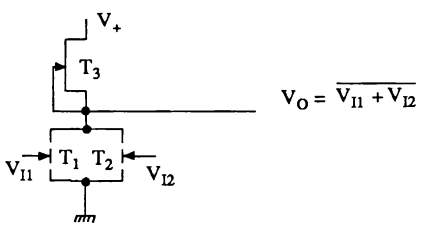


Figure 7.90

— **Technologie SCFL** *(Source Coupled FET Logic).* Encore appelée CML *(Common Mode Logic)*, cette technologie est directement dérivée de la technologie ECL silicium. Le schéma de la figure 7.91 ressemble à celui de la figure 7.44 et fonctionne suivant le même principe. Cette technologie est rendue possible grâce au contrôle de dispersion de la tension de seuil V_T dont l'écart (offset) ne dépasse pas 30 mV.

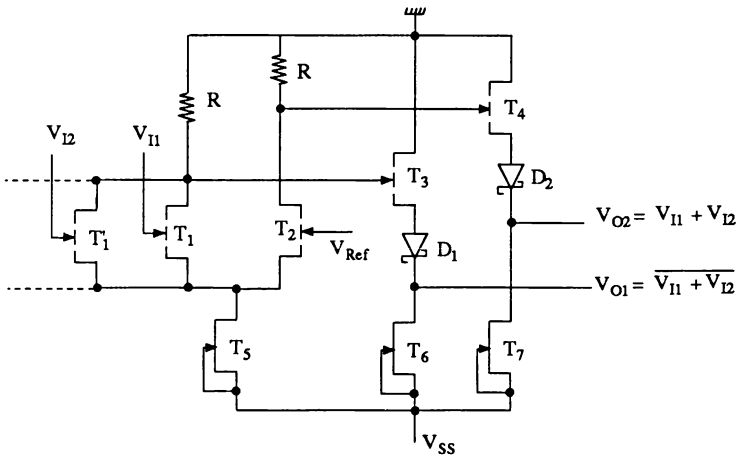


Figure 7.91

Remarque. Il semblerait que les opérateurs à MESFET à enrichissement aient un avenir prometteur.

7.6.3. CARACTÉRISTIQUES ET PERFORMANCES DE LA TECHNOLOGIE GaAs

Dans cette technologie, on réalise des fonctions très diverses comme :

— des bascules,

— des circuits arithmétiques,

— des mémoires RAM statiques,

— des convertisseurs CAN et CNA, ...

Les caractéristiques essentielles des opérateurs de base (L = 1 µm) sont :

— **Technologie BFL** : f_{max} = 2,2 GHz, P = 2 mW, t_p = 80 ps, densité 500 portes par mm^2.

— **Technologie SDFL** : f_{max} = 2,2 GHz, P = 5 mW, t_p = 200 ps, densité 500 portes par mm^2.

— **Technologie DCFL** : f_{max} = 1,5 GHz, P = 0,05 à 1 mW, t_p = 100 ps, densité de 100 à 1 000 portes.

— **Technologie SCFL (CML)** : f_{max} = 1 GHz, P = 2 à 10 mW, t_p = 50 ps, densité 10 à 100 portes par mm^2.

La figure 7.92 positionne les technologies Si et AsGa (FET E) en fonction du temps de propagation et de la puissance consommée par porte.

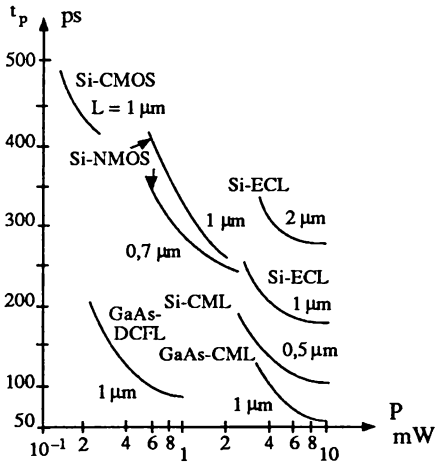


Figure 7.92

7.7. CIRCUITS D'INTERFACE

Les différentes technologies que nous venons de présenter ont des niveaux logiques d'entrée et de sortie souvent très différents les uns des autres. Passer d'une technologie à une autre technologie impose, dans la plupart des cas, d'utiliser des circuits d'interface simples ou spécialisés. Nous présentons, dans cette section, quelques-uns de ces circuits d'interface préconisés par les fabricants.

7.7.1. INTERFACES TTL VERS D'AUTRES TECHNOLOGIES

7.7.1.1. Interface TTL → CMOS

Les tensions de sorties des circuits TTL (saturés ou Schottky) sont définies par les éléments du tableau 7.2. Nous avons $V_{OLmax} \leq 0{,}5$ V et $V_{OHmin} \geq 2{,}4$ V.

La zone d'incertitude d'un circuit CMOS classique est égale à 10 % de la tension d'alimentation et centrée à $\frac{V_{DD} - V_{SS}}{2}$. A partir de ces considérations, nous avons cinq schémas possibles.

— **Figure 7.93.** Les deux circuits sont alimentés par la même tension de 5 V. Alors, pour les séries CMOS C, HC et AC, le niveau haut V_{OH} de la TTL risque d'être insuffisant pour assurer un « 1 » logique. On relève ce niveau en

connectant une résistance R (de 1 kΩ à 10 kΩ) entre la liaison des deux circuits et V_{DD} = + 5 V. Dans ce cas, on peut aussi utiliser un circuit TTL à collecteur ouvert.

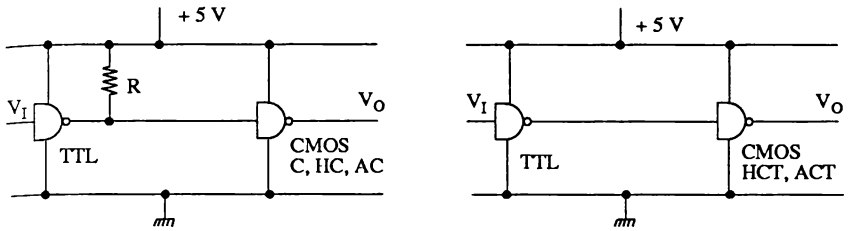


Figure 7.93

Notons que pour les circuits CMOS HCT et ACT, l'étage d'entrée est compatible TTL. La liaison est donc directe.

— **Figure 7.94.** Les tensions d'alimentation ne sont plus les mêmes (5 V pour la TTL et plus de 5 V pour la CMOS série C, uniquement). Deux solutions s'offrent à l'utilisateur :

- TTL à collecteur ouvert, avec résistance R de rappel, dont la valeur dépend de V_{DD} ($R \geq 10$ kΩ) ;
- TTL totem pôle avec étage de translation par transistor *NPN* (exemple de valeurs : $R_1 = R_2 = R_3 = 10$ kΩ).

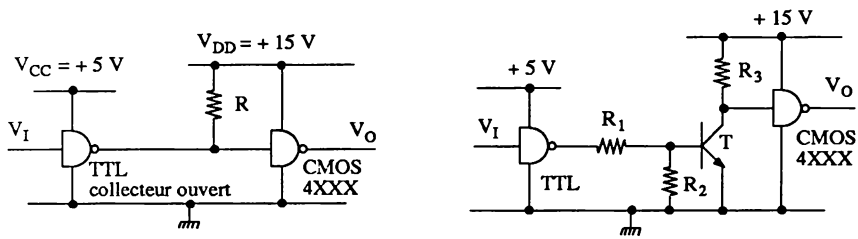


Figure 7.94

Remarquons que cette deuxième solution impose une inversion numérique supplémentaire.

— **Figure 7.95.** Dans ce cas, la CMOS série C est alimentée par deux tensions symétriques. L'étage de translation est nécessaire et utilise (pour notre cas) un transistor *PNP*. La diode Zener permet la saturation ou le blocage du transistor. On peut prendre comme application numérique : $R_1 = R_2 = R_3 = 10$ kΩ et $V_z = 5$ V. Le calcul des courants dans les différents éléments peut être un très bon exercice.

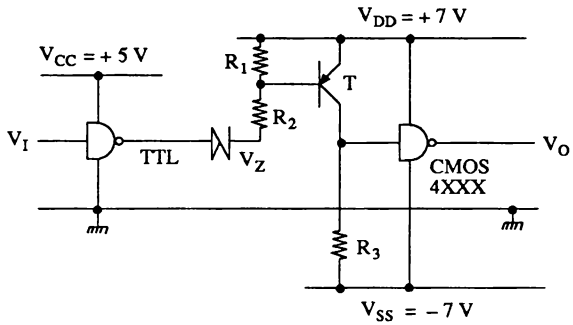


Figure 7.95

7.7.1.2. Interfaces TTL → ECL

Ces interfaces ne sont utilisés et justifiés qu'avec les circuits TTL Schottky rapides (FAST).

— **Figure 7.96.** C'est le passage de la TTL FAST vers l'ECL, l'ensemble étant alimenté positivement par une tension de 5,2 V. La valeur des résistances (tolérance ± 2 %) permet une translation de tension vers les valeurs positives, donc de bons niveaux logiques.

— **Figure 7.97.** Le circuit ECL est alimenté en négatif (alimentation normale de – 5,2 V). La translation du signal est réalisée avec le pont de résistances.

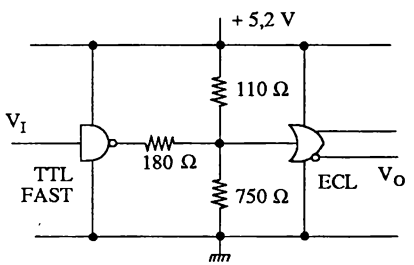


Figure 7.96

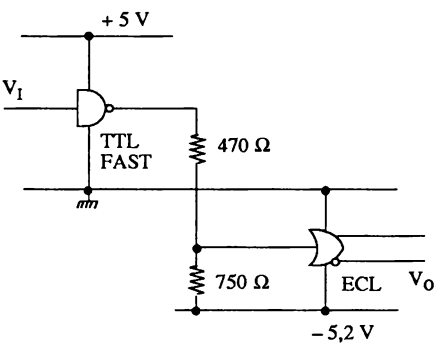


Figure 7.97

Remarque. Certains circuits spécialisés permettent l'interface TTL → ECL :

- le circuit spécifique MC 10 H 124
- le comparateur MVL 407.

7.7.2. INTERFACES CMOS VERS D'AUTRES TECHNOLOGIES

Les circuits CMOS et NMOS sont compatibles pour une même tension d'alimentation. Le problème d'interfaçage avec d'autres familles est donc le même.

7.7.2.1. Interfaces CMOS → TTL

— **Figure 7.98.** Pour une tension d'alimentation commune + 5 V, l'utilisation des circuits CMOS classiques 4XXX impose un interface à transistor (on peut prendre $R_1 = 20$ kΩ, $R_2 = 10$ kΩ et $R_3 = 5$ kΩ).

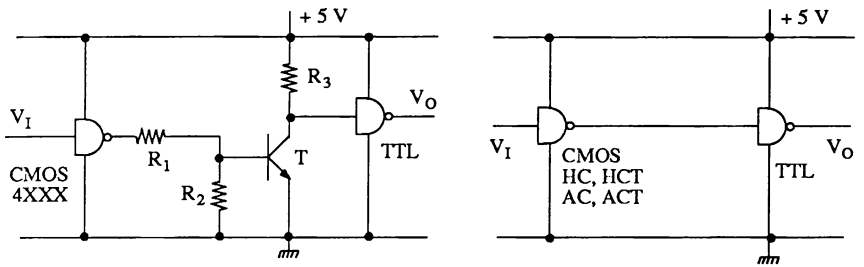


Figure 7.98

Dans le cas des circuits CMOS rapides HC, AC, HCT et ACT, la liaison CMOS-TTL est directe.

— **Figure 7.99.** Lorsque la CMOS classique 4XXX est alimentée par une tension supérieure à + 5 V, il est nécessaire d'utiliser un translateur à transistor (on peut prendre $R_1 = 40$ kΩ, $R_2 = 10$ kΩ, $R_3 = 5$ kΩ), ou un circuit intégré spécialisé tel que le 74C901 ou 902.

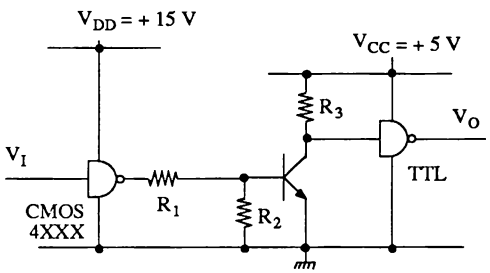


Figure 7.99

— **Figure 7.100.** Dans ce cas, le circuit CMOS classique 4XXX est alimenté symétriquement. Alors, le circuit translateur est modifié. La diode permet de protéger la jonction base-émetteur du transistor T, en inverse (on peut prendre $R_1 = 30$ kΩ et $R_2 = 5$ kΩ).

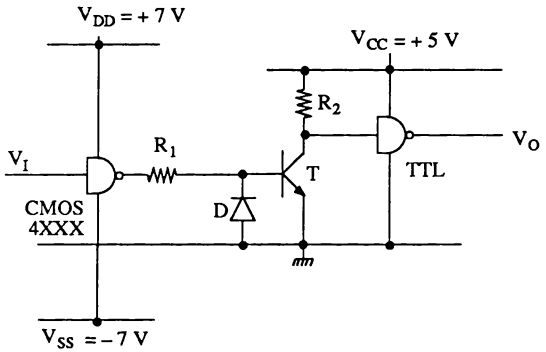


Figure 7.100

Ce translateur est très bien adapté pour réaliser l'interface : amplificateur opérationnel → TTL.

7.7.2.2. Interface CMOS → ECL

— **Figure 7.101.** Le circuit translateur ressemble à celui de la figure 7.97 avec des valeurs de résistances appropriées.

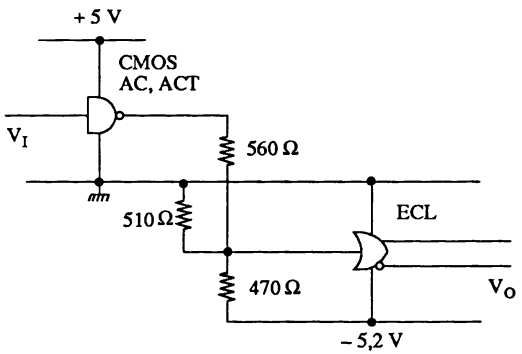


Figure 7.101

7.7.3. INTERFACES ECL VERS D'AUTRES TECHNOLOGIES

On invite le lecteur à analyser le fonctionnement des circuits présentés et issus des databooks Fairchild et NS (FAST et FACT).

7.7.3.1. Interfaces ECL → TTL

— **Figure 7.102.** On utilise les deux sorties de l'ECL pour piloter un transistor *PNP*. La TTL est du type FAST.

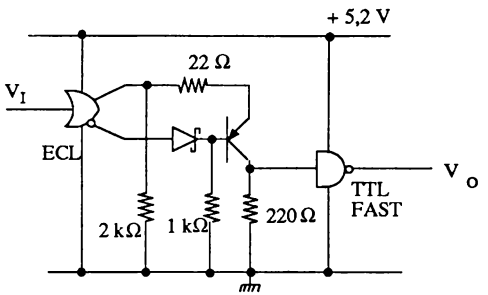


Figure 7.102

— **Figure 7.103.** Dans ce cas, l'ECL est alimentée normalement en négatif. Le circuit de translation est réalisé avec un amplificateur différentiel piloté par les deux sorties de l'ECL. La diode Schottky limite l'entrée de laTTL à une valeur de – 0,3 V et empêche la saturation de T_1.

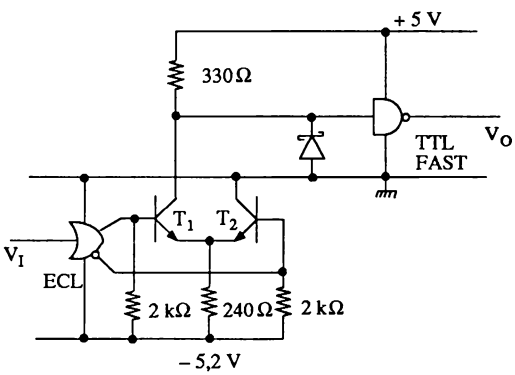


Figure 7.103

Notons que le circuit intégré MC10H125 permet aussi l'adaptation ECL → TTL.

7.7.3.2. Interface ECL → CMOS

— **Figure 7.104.** Le transistor T est piloté en différentiel par les deux sorties ECL. Les diodes Schottky limitent l'entrée à l'état bas du circuit CMOS, à

une valeur voisine de 0 volt. On aurait pu utiliser l'amplificateur différentiel précédent avec une très légère modification.

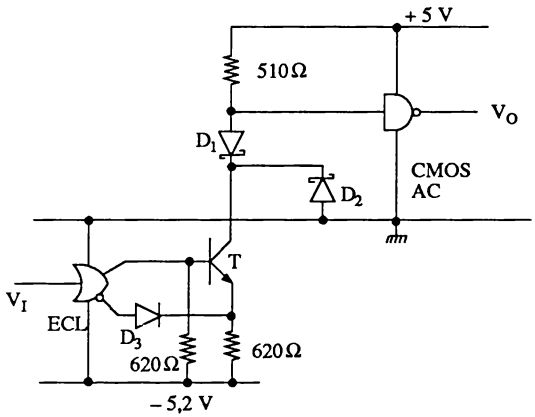


Figure 7.104

7.7.3.3. Interface ECL → BICMOS

— **Figure 7.105.** Pour passer de l'étage ECL à l'étage BICMOS de sortie, il faut un étage translateur. L'exemple fourni permet de passer des états numériques d'entrée – 0,9 V, – 1,7 V aux états numériques de sortie – 0,4 V, – 4,8 V.

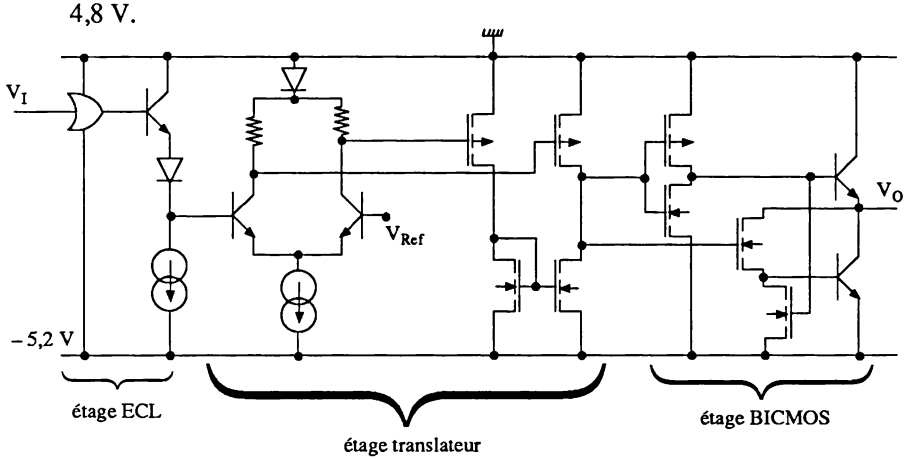


Figure 7.105

Remarque générale. Tout circuit d'interface utilisé en logique rapide doit respecter les conditions de câblage associées au phénomène de propagation et à la consommation.

CHAPITRE 8

Circuits intégrés spécifiques – ASIC

8.1. PRÉSENTATION GÉNÉRALE DES ASIC*

8.1.1. QU'EST-CE QU'UN ASIC ?

Les circuits intégrés spécifiques à une application (ASIC) étaient une prévision et une ambition des chercheurs à l'origine de l'élaboration du silicium. Après « l'explosion » des circuits intégrés dans les années 60 et des microprocesseurs dans les années 70, les ASIC ont vu le jour au début des années 80 grâce à la fulgurante évolution de la microinformatique (IAO, CAO).

Depuis cette date, de nombreux circuits ont été réalisés. Toutefois, le nombre important de fournisseurs, la diversité des approches techniques (logiciels, ...) et l'évolution très rapide des technologies font que les industriels ont bien des difficultés à « se lancer » et à faire un choix. Notons au passage que ce nouveau monde technologique utilise de nombreux termes spécifiques dont les plus importants sont rassemblés et définis dans le mini glossaire de la section 8.4.

Un ASIC est un circuit intégré monolithique personnalisé à la demande, et conçu exclusivement pour le projet ou l'application qui l'utilise, contrairement aux circuits intégrés standards pouvant être utilisés dans de nombreuses applications (en général).

Les derniers développements technologiques permettent désormais d'intégrer sur une seule puce de silicium, non seulement des fonctions logiques, mais également des fonctions mémoire, ou des microprocesseurs complexes, voire même des fonctions analogiques faible et « forte » puissance. On rencontre donc :

---

* Il n'existe que très peu de documentation regroupée traitant les ASIC. Consulter toutefois :
— l'ouvrage *ASIC* de P. De Halleux, J.P. Feste, D. Giraud, R.V. Hondrat, Éditions Radio,
— le guide d'introduction aux ASIC de European Silicon Structure (ES2),
— les revues telles que Électronique Industrielle, TLE, Mesures, ETI, ...

— les ASIC numériques,
— les ASIC analogiques,
— les ASIC mixtes.

Il est prévu pour ces derniers (dont les domaines d'application sont très vastes : automobile, médecine, instrumentation, télécommunications, radios mobiles, musique électronique, audiovisuel, électronique de puissance, ...), une véritable envolée, chiffrée à 40 % l'an, dans les années 90.

Une telle envolée fera disparaître les circuits à conception classique tant analogiques que numériques, pour un nombre relativement important de portes ou de fonctions, ou dans des cas où la rapidité est réclamée. Alors rassurons-nous, le transistor, l'amplificateur opérationnel et l'opérateur élémentaire numérique ne sont pas prêts de disparaître.

8.1.2. LE MONDE DES ASIC

Le terme ASIC recouvre un large éventail de circuits intégrés monolithiques, allant de la simple mémoire PROM aux circuits évolués VLSI et ULSI, et conçus spécialement pour des matériels tels que : calculatrices, orgues électroniques, système d'allumage électronique, ... On les rencontre dans les technologies vues aux chapitres 6 et 7, c'est-à-dire : Bipolaire, I^2L, TTL, TTL Schottky, CMOS, ECL, BICMOS, GaAs. La technologie des ASIC est présentée dans la section 8.2.

Notons que le terme ASIC *(Application Specific Integrated Circuit)* peut être remplacé par USIC *(User Specific Integration Circuit)* ou CSIC *(Customer Specific Integrated Circuit)*.

8.1.2.1. ASIC programmables sur site

Ce sont les circuits intégrés constitués de cellules disposées en matrices, que l'opérateur peut déconnecter (fusion de fusible) ou connecter électriquement (polarisation de la grille flottante d'un transistor MOS), à l'aide d'un matériel approprié (programmateur, miniordinateur, logiciel, ...). L'utilisation du MOS à grille flottante présente l'avantage d'un effacement possible (réinitialisation) et d'une reprogrammation (reconfigurable).

Ces ASIC sont dits semicustoms ou semi personnalisés.

A. Réseaux logiques combinatoires programmables. Ce sont des circuits constitués de ET et de OU programmables par de simples programmateurs. Ils permettent de réaliser des fonctions combinatoires comme des décodeurs, des transcodeurs, des circuits arithmétiques, etc.

— **Mémoires PROM** *(Programmable Read Only Memory).* Ce sont les dérivées des mémoires **ROM** *(Read Only Memory)* figées à la fabrication. Elles sont constituées d'un bus d'entrée d'adresses associé à un décodeur et d'un bus de sortie de données (OU programmable).

Les mémoires **EPROM** (*Erasable* PROM) et **EEPROM** (*Electrical Erasable* PROM) sont des mémoires MOS réinitialisables (effaçables) respectivement par ultraviolet (UV) ou par impulsions électriques, puis reconfigurables (reprogrammables).

— **Réseaux logiques programmables PLA** *(Programmable Logic Arrays)* ou **FPLA** (*Field* PLA). Ce sont des réseaux permettant la programmation des deux parties ET et OU. Ils permettent de réaliser n fonctions à m inconnues sans se soucier de la simplification de Karnaugh.

— **Réseaux logiques programmables PAL** *(Programmable Array Logic).* Introduits par la société MMI (Monolithic Memories Inc.), ces réseaux sont caractéristiques d'une technologie TTL à fusibles métalliques. En général seuls les ET sont programmables.

— **Réseaux logiques programmables PLD** *(Programmable Logic Devices).* Introduits par la société Altéra, ils présentent les mêmes fonctions que les réseaux précédents, avec, en plus, quelques fonctions particulières, dans toutes les technologies (on pourrait dire PLDTTL pour PAL).

La technologie CMOS permet de réaliser des circuits effaçables (réinitialisables) :

- EPLD par UV,
- EEPLD par impulsions électriques.

B. Réseaux logiques séquentiels programmables. Ce sont les réseaux logiques combinatoires programmables précédents auxquels on adjoint des cellules de mémorisation (bascules D, ...). L'aspect séquentiel impose la représentation de l'automate par un graphe d'états pour chaque excitation d'horloge. La programmation de ces réseaux nécessite des logiciels à faible coût utilisés sur mini ordinateur (PC, ...).

— **Réseaux PAL et PLD séquentiels.** La technologie est du type TTL Schottky (PAL) ou CMOS (PLD). Ils ne sont pas reprogrammables.

— **Réseaux EPLD et EEPLD séquentiels.** Uniquement en technologie CMOS, ces circuits sont réinitialisables et reconfigurables.

C. Matrices programmables. Ce sont des PLD de seconde génération permettant d'accroître les possibilités des circuits précédents, tout en limitant la perte de surface en silicium. Ces réseaux sont constitués de plusieurs matrices identiques

appelées LAB *(Logic Array Block)* ou CLB *(Configurable Logic Block)* où chacune d'entre elles est un EPLD.

La programmation de ces matrices impose une procédure plus complexe que les circuits précédents.

— **Circuits PGA** *(Programmable Gate Arrays)* **ou LCA** *(Logic Cell Arrays).* Développés par Xilinx, ces circuits sont constitués de cellules CLB (réseaux EPLD) et de circuits d'entrée-sorties *I/O.*

— **Circuits MAX** *(Multiple Array matriX).* Développés par Altéra, ces circuits sont constitués de matrices LAB interconnectées par un bus PIA *(Programmable Interconnect Array).*

— **PEEL Arrays** *(Programmable Electricaly Erasable Logic Arrays).* Ces réseaux, de constitution semblable aux réseaux précédents, se différencient par leur réinitialisation (par impulsions électriques).

D. Réseaux logiques prédiffusés. Ce sont des réseaux constitués de matrices élémentaires et bascules D, diffusées dans le silicium mais non interconnectées entre elles. L'interconnexion programmée par l'utilisateur, au moyen de logiciels, permet de réaliser des fonctions personnalisées.

La société ACTEL propose ses circuits prédiffusés programmables sur site par positionnement « d'antifusibles » qui ne sont autres que des transistors MOS à grille flottante fonctionnant en interrupteurs (666 000 antifusibles dans le circuit ACT1260). La référence ACT indique que la technologie est CMOS ACT 1,2 µm, 70 MHz.

La société Plessey propose ses circuits prédiffusés programmables et réinitialisables.

8.1.2.2. ASIC programmables chez les « fondeurs »*

Cette différente conception de circuits intégrés n'a d'intérêt que pour des fonctions personnalisées (semicustom ou custom) comportant plus de 20 000 portes et un nombre d'exemplaires relativement important. Contrairement aux circuits programmables sur site, ne réclamant que quelques heures ou quelques jours d'attente pour la fabrication, les ASIC programmables chez les fondeurs ne sont réalisables qu'avec un délai de plusieurs mois.

---

* Le terme fondeur désigne les fabricants et élaborateurs de silicium.

A. Réseaux prédiffusés *(semi custom)*. Ce sont des réseaux constitués de transistors, portes, cellules non interconnectées entre elles et constituant les premières phases de l'intégration monolithique. L'interconnexion finale (personnalisée) est réalisée par les derniers masques.

— **Réseaux de portes** *(Gate Arrays)*. Ils comportent une matrice de portes à deux entrées et des blocs d'entrée-sorties *I/O* séparés par des canaux d'interconnexion. La métallisation se fait sur deux ou trois couches.

— **Mer de silicium** *(Sea of gates)*. Toute la surface de silicium est utilisée pour les composants élémentaires seuls. On obtient ainsi des densités d'intégration très importantes (200 000 portes par circuit).

— **Réseaux compactés** *(Macrocell Arrays)*. Situés entre les deux précédents, ces réseaux sont constitués de cellules élémentaires comportant plusieurs transistors et un mimimum d'interconnexion. Leur double avantage est :
- pas de portes diffusées non utilisées,
- limitation des interconnexions.

La section 8.3 fournit un exemple pratique.

— **Réseaux structurés.** Ce sont des réseaux situés entre les circuits prédiffusés et les circuits précaractérisés car, en plus des portes classiques, ils présentent des fonctions complexes, **diffusées** comme des ROM, ALU, RAM, ... permettant à l'utilisateur de réduire les coûts de développement.

B. Réseaux précaractérisés *(custom)*. Ce sont des réseaux réalisés suivant toutes les étapes de l'intégration (dix masques ou plus en fonction de la technologie, au lieu de trois masques maximum pour les prédiffusés). Ils utilisent des outils logiciels sophistiqués désignés par le terme « Compilateur de silicium », permettant d'accroître l'efficacité de la connectique par l'optimisation des portes et par un « routage » limitant la surface d'interconnexion.

Les fonctions utilisées et extraites d'un catalogue logiciel (base de données informatique ou bibliothèque) sont :

— des cellules standards *(standard cells)*, qui vont du simple transistor aux cellules plus complexes telles que : compteurs, CAN, CNA, amplificateurs opérationnels, ...

— des mégacellules *(mega cells)* incluant les microprocesseurs, les ALU, ...

— des cellules compilées *(compiled cells)*, définies par leurs paramètres (nombre de bits, temps de propagation, ...) telles que PLD, RAM, multiplieurs, ...

C. Circuits à la demande *(full custom)*. Ils répondent à une application bien particulière et, à la différence des autres ASIC, ils ne font appel à aucune modélisation préalable.

Les circuits *full custom* sont réservés à des volumes de production très importants (par exemple : appareils grand public).

8.1.2.3. Procédure de conception des ASIC

Les ASIC sont conçus suivant une procédure assez générale, présentée sur le logigramme de la figure 8.1 et faisant appel aux outils d'**Ingéniérie Assistée par Ordinateur (IAO).**

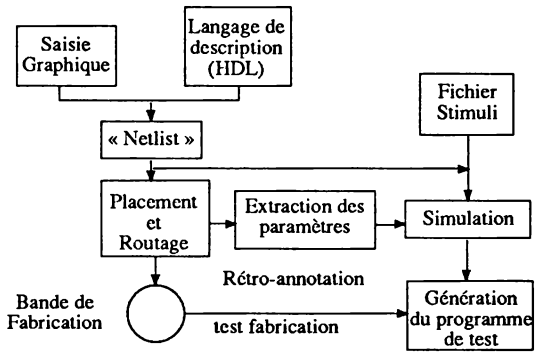


Figure 8.1

A. Saisie graphique du schéma sur écran, soit au moyen de symboles standards, soit par un langage de description appelé langage HDL *(Hardware Description Language).*

Les symboles appartiennent à une bibliothèque contenant les fonctions d'une famille (TTL, CMOS, GaAs, ...).

B. Extraction de la liste des interconnexions *(Netlist).* Ce fichier mémorise les interconnexions entre les éléments internes et les connexions externes imposées par l'opérateur.

C. Simulation du circuit mémorisé (non réalisé), à l'aide de signaux logiciels issus d'un fichier appelé « fichier stimuli ».

D. Placement et routage. C'est le placement **physique** des composants et des cellules puis leurs interconnexions par des pistes qui seront réalisées sur le circuit, par métallisation (routage).

E. Extraction des paramètres du layout. L'opération précédente définit la topologie du circuit appelée layout. On en déduit les éléments parasites tels que les capacités et les inductances des connexions.

F. Rétro-annotation permettant d'inclure les éléments parasites précédents dans le programme de simulation.

G. Génération du programme de test entièrement automatisé, effectué par le concepteur et permettant d'observer (par logiciel) les signaux à chaque nœud du circuit.

H. Fabrication et test. C'est la phase finale permettant de fabriquer le circuit, de le loger dans un boîtier puis de le tester définitivement.

8.1.3. AVANTAGES ET INCONVÉNIENTS DES ASIC

8.1.3.1. Avantages

La « révolution » ASIC présente de très nombreux avantages pour réaliser des fonctions simples ou complexes. Énumérons ces avantages :

— réduction de la taille des produits finis et augmentation du nombre de fonctions possibles,

— fiabilité accrue grâce aux tests complets du système avant la livraison,

— produits plus compétitifs que les fonctions câblées (main-d'œuvre réduite, SAV quasi inexistant, ...),

— faible consommation électrique, **rapidité accrue** à cause des capacités parasites de câblage réduites,

— **confidentialité accrue**, car il est difficile de copier le schéma. Ce point très important permet aux sociétés de mieux protéger, donc de prolonger la durée de vie de leurs produits.

8.1.3.2. Inconvénients

Quelques inconvénients accompagnent les ASIC :

— leur utilisation implique, au départ, un engagement financier et technique important ainsi qu'**une formation adaptée des utilisateurs,**

— le schéma à intégrer doit être définitif car toute modification (si elle est possible), s'accompagne d'une perte de temps et surtout d'argent. Il ne doit pas y avoir de malentendu entre le fondeur et le client,

— nécessité de réaliser un programme de test du circuit par adjonction de cellules spécialisées.

Remarque. Ces inconvénients vont en diminuant au fur et à mesure que la technologie évolue. Pour la plupart des fonctions personnalisées, la solution la plus simple est l'utilisation des ASIC programmables sur site.

8.1.4. QUELQUES CHIFFRES

La « révolution » ASIC est une véritable révolution économique. Il est donc fondamental que l'utilisateur respecte certaines règles qui sont :

— **changement d'état d'esprit du technicien** qui devient plus informaticien qu'électronicien,

— **élaboration du cahier des charges complet et étude de faisabilité** permettant de choisir tel type de réseau (PLD, prédiffusé, précaractérisé, ...),

— **choix du fondeur et de l'outil de conception.** Ce choix impose de nombreux critères comme la livraison à temps des circuits, une gamme étendue de produits, la stabilité et une bonne expérieure technique, l'existence d'une voie de conversion entre les réseaux, l'adaptabilité aux techniques nouvelles, ...

Les tableaux et figure suivants fournissent quelques chiffres :

— **Tableau 8.1.** Il positionne le coût d'un matériel électronique (en milliers de dollars) en fonction de la solution ASIC choisie et du nombre (en kilo) de modèles fabriqués (d'après Componic 89).

techno. \ nombre	2 K	5 K	25 K	50 K	100 K	200 K
SSI/MSI	835	830	625	820	810	605
PLD	906	290	265	250	240	230
Prédiffusés	834	384	136	96	75	62
Précaractérisés	973	433	138	80	88	63
A la demande	1 290	648	152	82	64	48

Tableau 8.1

— **Tableau 8.2.** Il représente la progression (en milliers de dollars) des ASIC dans les différentes technologies.

	1989	1990	1991	1992	1993
Bipolaire numérique					
PLD	620	660	625	570	515
Prédiffusés	1 105	1 175	1 375	1 660	2 065
Précaractérisés	20	21	23	26	31
Sous-total	1 745	1 856	2 023	2 256	2 611
CMOS numérique					
PLD	165	200	260	345	460
Prédiffusés	3 075	3 405	4 650	6 340	8 795
Précaractérisés	925	980	1 175	1 435	1 805
Sous-total	4 165	4 585	6 085	8 120	11 060
Linéaire					
Réseaux	205	212	245	288	355
Totaux					
ASIC	6 115	6 653	8 353	10 664	14 026
Circuits intégrés	43 460	44 974	53 047	66 621	85 473
% ASIC/c.i.	14,1	14,8	15,7	16,0	16,4

Tableau 8.2

— **Figure 8.2.** Cette figure fournit la valeur approximative des temps de propagation, en fonction du nombre de portes, pour différentes technologies.

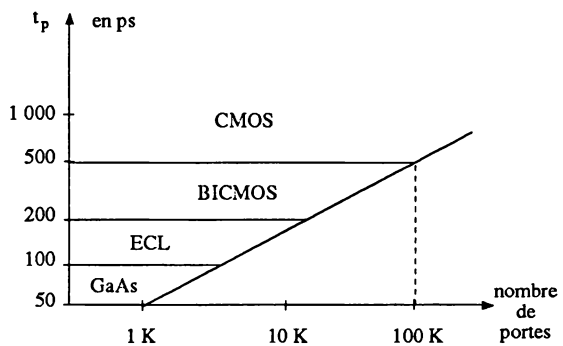


Figure 8.2

Notons à titre indicatif que les circuits PLD, LCA fonctionnent à une fréquence comprise entre 30 et 70 MHz et que les circuits prédiffusés fonctionnent entre 50 MHz et plus de 1 GHz suivant la technologie utilisée.

8.2. TECHNOLOGIE DES ASIC

8.2.1. RAPPELS CONCERNANT LES MÉMOIRES ÉLECTRIQUES

De manière générale, les mémoires sont des dispositifs à organisation matricielle comme la plupart des ASIC programmables sur site.

8.2.1.1. Mémoires mortes ROM

A. Organisation des ROM. Les mémoires mortes ROM *(Read Only memory)* sont uniquement des mémoires à lecture, constituées de matrices programmées chez le « fondeur ». Leur organisation est celle de la figure 8.3. Adressées par un bus d'adresses $A_0 \ldots A_{n-1}$ (n connexions d'adresses ou n bits), elles fournissent des informations numériques (« 0 » ou « 1 ») formatées, sur un bus de données $D_0 \ldots D_{m-1}$ [m connexions ou m bits (m = format)]. Une entrée CS *(Chip Select)* permet d'isoler la mémoire du bus de données grâce aux buffers 3 états.

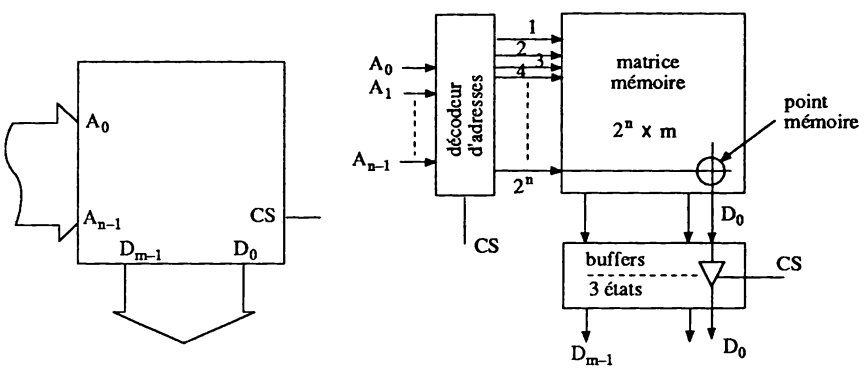


Figure 8.3

La capacité d'une mémoire dépend du nombre n de connexions d'adresses (2^n adresses possibles) et du mot binaire m bits de sortie. A titre d'exemple, une mémoire adressée par un mot adresse de $n = 11$ bits ($A_0 \ldots A_{10}$) et fournissant des informations sous forme d'octets ($m = 8$, $D_0 \ldots D_7$) a une capacité mémoire de

$$2^n \cdot m = 2^{11} \cdot 8 = 2\,048 \cdot 8 = 16\,384 \text{ bits} = 16 \text{ K bits}$$

ou

$$2^n = 2^{11} = 2\,048 \text{ octets} = 2 \text{ K octets}$$

β. **Principe et technologie des ROM.** Le schéma de principe est celui de la figure 8.4. Il est constitué d'une matrice à fils croisés **avec ou sans connexion.** Le croisement est appelé point mémoire.

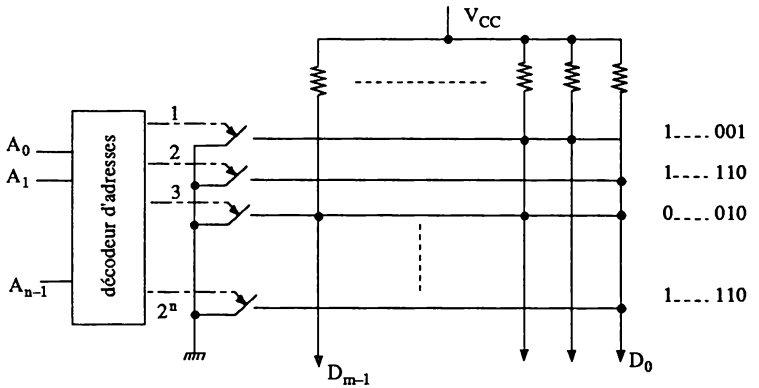


Figure 8.4

Le fil horizontal (ligne) est ramené à la masse par le « commutateur » du décodeur d'adresses (ce décodeur ne ferme qu'un contact à la fois pour une seule combinaison du mot adresse de 0...00 à 1...11, soit 2^n contacts).

Le fil vertical (colonne) connecté à une résistance reliée à + V_{CC}, fournit le bit de donnée. Un croisement avec un point donne « 0 », un croisement sans point donne « 1 ». Ainsi, pour une adresse 0...00, le contact 1 est fermé et le mot de données est 1...001, et ainsi de suite.

En pratique, on essaie de remplacer les points de connexion par des éléments physiques, unidirectionnels tels que des diodes (figure 8.5), afin d'isoler les colonnes entre elles. Ces diodes deviennent des diodes Schottky pour une technologie TTL rapide.

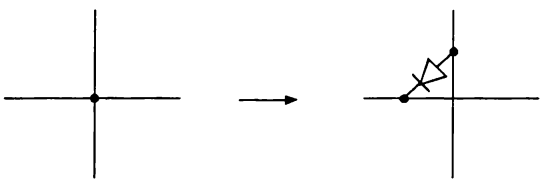


Figure 8.5

En technologie NMOS, les résistances sont remplacées par des transistors NMOSD (charge active) et les diodes par des transistors NMOSE (figure 8.6). Ces derniers, placés aux endroits choisis et commandés par le décodeur, imposent un « 0 » sur la colonne D_i.

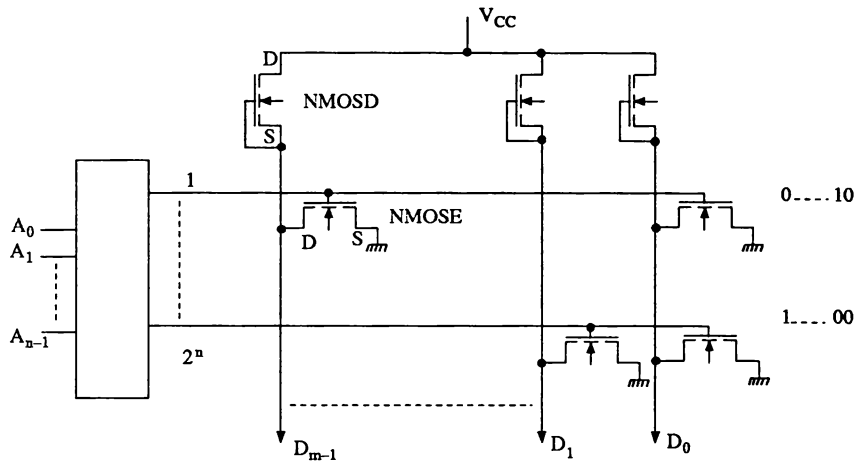


Figure 8.6

C. Performances des ROM. Comme pour toutes les mémoires, les RCM sont définies par leur capacité.

$$1 \text{ K bits} = 1\,024 \text{ bits} = 2^{10}$$

$$1 \text{ M bits} = 1\,048\,576 \text{ bits} = 2^{20}$$

En technologie NMOS et CMOS, les caractéristiques courantes sont :

— capacité 64 K,

— temps d'accès 300 ns.

8.2.1.2. Mémoires vives RAM

A. Organisation des RAM. Les mémoires RAM *(Random Access Memory)* diffèrent des ROM par le fait qu'elles sont à écriture W *(Write)* et à lecture R *(Read)*. Rien n'est changé au niveau du bus d'adresses et de son décodeur associé. Par contre, le buffer de sortie est bidirectionnel R/W (entrant pour l'écriture et sortant pour la lecture). Son fonctionnement 3 états permet, là aussi, « l'isolation » entre la mémoire et le bus extérieur de données (figure 8.7).

Notons que le point mémoire est constitué d'un fil horizontal (ligne) pour l'adresse et de deux fils verticaux (colonne) pour les données écrites ou lues.

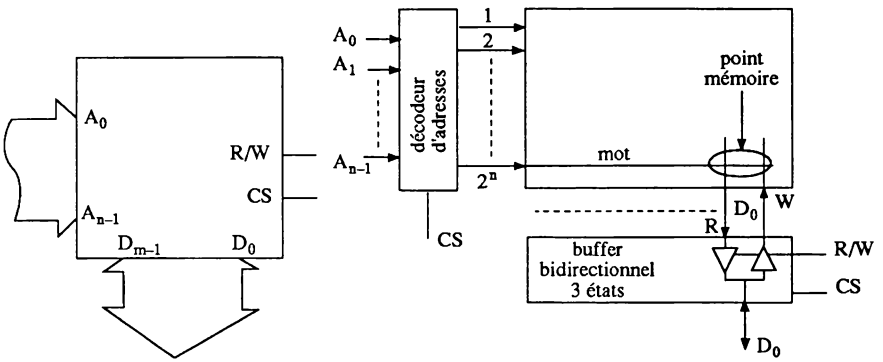


Figure 8.7

B. Principe et technologie des RAM. La figure 8.8 représente un point mémoire en technologie NMOS (à gauche) et en technologie CMOS (à droite). Dans les deux cas, nous sommes en présence de deux étages inverseurs rebouclés entre eux et fonctionnant en bistable (revoir le paragraphe 5.2.3.1).

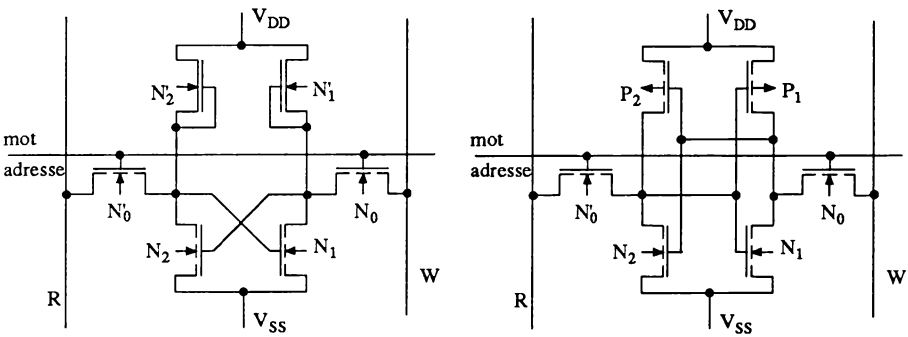


Figure 8.8

Examinons la figure de gauche. En écriture W, et pour le mot adresse adéquat, les deux transistors N_0 et N'_0 conduisent. Le buffer de W est actif, le buffer de R est en haute impédance. Si on impose l'écriture d'un « 0 » sur l'étage $N_1 - N'_1$, on a un « 1 » sur l'étage $N_2 - N'_2$. Cet état est mémorisé et **doit être inversé à la lecture R.**

Ce principe de mémoire correspond à une faible densité d'intégration à cause du nombre important d'éléments constitutifs d'un point mémoire. On améliore très nettement la densité en utilisant un principe tout à fait différent et présenté sur la figure 8.9. Ce nouveau point mémoire ne comporte qu'un seul transistor commandé par le décodeur d'adresse. A l'écriture, on charge ou décharge un condensa-

teur MOS situé entre le drain et $+V_{DD}$. On retrouve l'état de charge de ce condensateur à la lecture. Cette mémoire RAM impose un « rafraîchissement » cyclique de l'état de charge du condensateur. Elle est alors appelée RAM dynamique, par opposition à la RAM statique précédente.

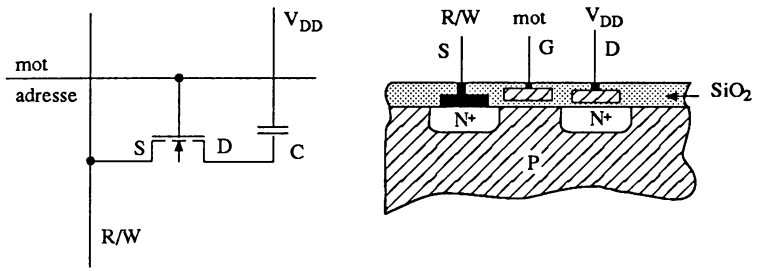


Figure 8.9

C. Performances des RAM. Tout d'abord, les RAM sont volatiles, cela veut dire qu'elles perdent leurs informations en cas de coupure de l'alimentation (certaines RAM présentent une borne supplémentaire permettant une alimentation annexe par une pile). Les performances classiques des RAM sont :

— RAM statique, 16 K bits (MCM2018A), temps d'accès 30 ns.

— RAM dynamique, 64K x 4 bits (MCM 41464A), temps d'accès 100 ns.

8.2.1.3. Mémoires mortes PROM

A. Organisation, principe et technologie des PROM. Les mémoires mortes PROM (*Programmable* ROM) sont constituées d'une matrice dont tous les points mémoire sont identiques (en général, état logique « 0 »). Ces mémoires sont programmées sur site, au gré de l'utilisateur. Un programmateur de PROM est alors nécessaire. Cet appareil applique une tension de quelques dizaines de volts entre chaque intersection ligne-colonne sélectionnée faisant fondre un fusible métallique connecté en série avec un composant actif tel que une diode, un transistor bipolaire ou un transistor MOS (figure 8.10). Pour chaque fusible fondu, on obtient un « 1 » logique. Une mémoire PROM n'est pas reprogrammable.

Notons qu'un fusible métallique n'est autre qu'un étranglement (diminution de section) d'une piste métallisée imposant une densité de courant 5 à 6 fois supérieure à la normale pour fondre.

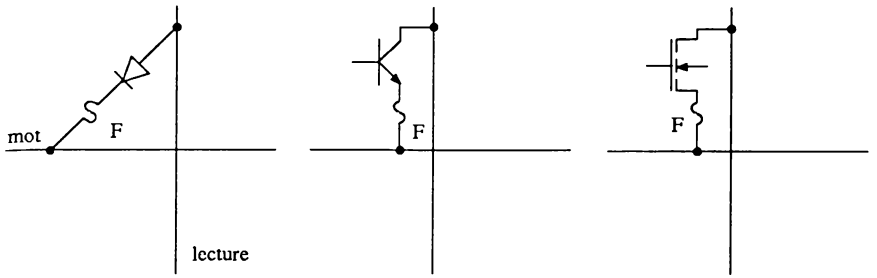


Figure 8.10

B. Performances classiques des PROM

— **Technologie bipolaire**

- capacité 64 K bits
- temps d'accès 50 ns

— **Technologie MOS**

- capacité 64 K bits
- temps d'accès 300 ns

8.2.1.4. Mémoires mortes EPROM

A. Principe et technologie des EPROM. Les mémoires mortes EPROM (*Erasable* PROM) sont des mémoires à technologie MOS dont chaque point mémoire possède un transistor à enrichissement NMOSE ou PMOSE. Deux principes sont rencontrés :

— **Figure 8.11.** Le transistor PMOSE est constitué d'une grille flottante noyée dans l'oxyde de silicium. **La grille n'étant pas polarisée, le transistor ne conduit pas (off). Alors cette mémoire « vierge » ne fournit que des « 1 ».**

Pour chaque transistor sélectionné, la programmation consiste à appliquer une impulsion de tension très négative sur le drain par rapport au substrat, provoquant un phénomène d'avalanche de la jonction drain-substrat. Par effet « tunnel », des électrons issus du substrat sont injectés sur la grille flottante et restent « piégés ». Cette grille étant polarisée négativement, elle permet la conduction du transistor PMOSE (on) et impose un « 0 » logique.

L'effacement (réinitialisation) de la mémoire consiste à exposer la « puce » aux rayons ultraviolets (nécessité d'une fenêtre en quartz). L'énergie des UV fait disparaître la charge de la grille.

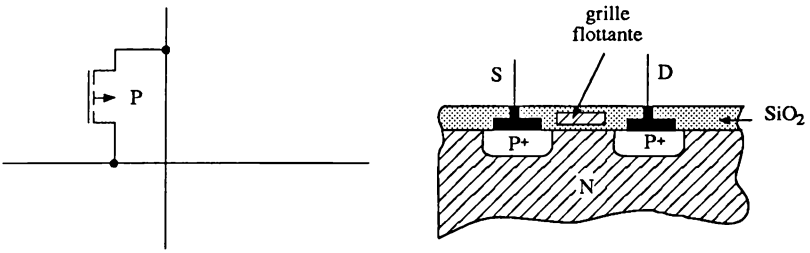


Figure 8.11

— **Figure 8.12.** Un autre procédé est rencontré avec les mémoires dites FAMOS (*Floating gate Avalanche injection* MOS). Le transistor est un NMOSE connecté entre une colonne et la masse. Deux grilles sont nécessaires, l'une flottante G_1, l'autre, G_2, commandée par le mot adresse (ligne). **Sans programmation, la grille G_1 n'est pas chargée. Lorsque G_2 est commandée en positif par le décodeur d'adresses, le transistor NMOSE conduit (on). Alors cette mémoire « vierge » ne fournit que des « 0 ».**

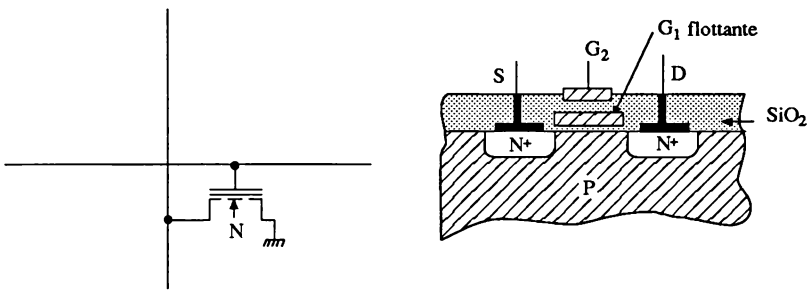


Figure 8.12

Pour chaque transistor sélectionné, la programmation consiste à appliquer une impulsion de tension très positive entre G_2 et le drain relié à la source. Des électrons très énergétiques issus de l'ensemble source-drain viennent se piéger sur la grille flottante G_1 à cause du champ électrique élevé. Cette grille G_1 amenée à un potentiel négatif accroît la tension de seuil V_T de commande entre G_2 et la source ($V_T > 5$ V) interdisant au transistor NMOSE de conduire. Dans ce cas, la sortie est à « 1 » logique.

Comme dans le cas précédent, l'effacement s'effectue par exposition aux UV de la « puce » à travers une fenêtre de quartz, ce qui fait disparaître la charge de la grille G_1.

B. Performances classiques des EPROM. Les mémoires sont effaçables (réinitialisables) et reprogrammables (reconfigurables) plusieurs fois. Quelle que soit la technologie, NMOS ou CMOS, on trouve des mémoires de 64 K bits ou plus, avec des temps d'accès de 300 ns.

8.2.1.5. Mémoires mortes EEPROM

A. Principe et technologie des EEPROM. Les mémoires mortes EEPROM (*Electricaly* EPROM) sont des EPROM effaçables électriquement et non par UV (elles ne présentent pas de fenêtre en quartz). Leur organisation et la programmation sont alors identiques. Dans le cas des EPROM, l'épaisseur de l'oxyde entre la grille flottante G_1 et le canal est trop importante pour évacuer les charges électriques de cette grille par un procédé électrique. Dans les EEPROM, le transistor NMOSE (figure 8.13) présente une épaisseur de SiO_2, entre G_1 et le drain, très réduite ($\simeq$ 10 nm). L'application d'une tension convenable entre G_2 et le drain permet d'évacuer les électrons « piégés » en G_1, vers le drain, par effet tunnel (rappelons que la diminution de l'épaisseur d'oxyde accentue la courbure des bandes – revoir la structure MIS et l'effet « tunnel »).

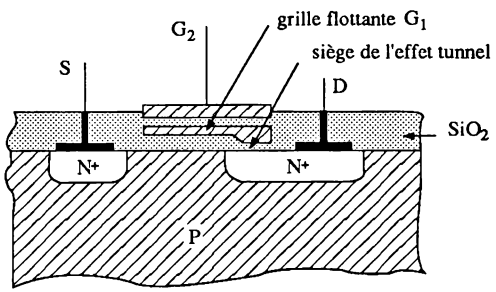


Figure 8.13

B. Performances classiques des EEPROM. On trouve des mémoires de 64 K bits et 200 ns de temps d'accès.

8.2.2. ASIC PROGRAMMABLES SUR SITE

8.2.2.1. PLA ou FPLA

A. Principe et technologie des PLA. La figure 8.14 représente la structure d'un réseau logique programmable PLA ou FPLA dont l'existence remonte à la fin

des années 60. Ils sont constitués d'un réseau de ET et d'un réseau de OU programmables. Comme pour les PROM, la programmation s'effectue par fusion de fusibles ou commande de NMOS. La représentation conventionnelle est celle de la figure de droite pour m entrées et n sorties.

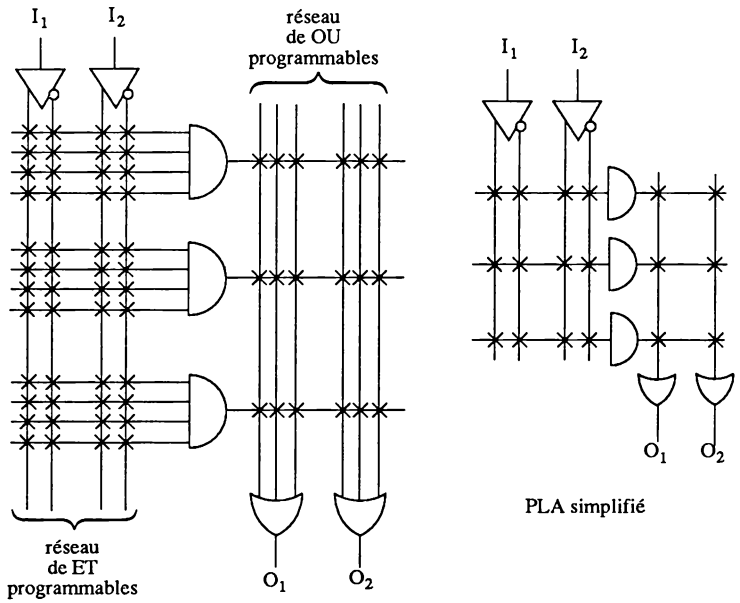


Figure 8.14

La figure 8.15 concrétise le fonctionnement des PLA par la représentation d'un schéma simple mais réel, à technologie NMOS. Pour deux entrées I_1 et I_2 (et leur complément $\overline{I_1}$ et $\overline{I_2}$), on obtient à la sortie du **plan ET**, les fonctions

$$A = \overline{\overline{I_1} + \overline{I_2}} = I_1 \cdot I_2$$

$$B = \overline{I_1 + \overline{I_2}} = \overline{I_1} \cdot I_2$$

puis à la sortie du **plan OU** les fonctions

$$O_1 = A + B$$
$$O_2 = B$$

B. Performances des PLA. Les performances de ces circuits sont très voisines de celles des PROM.

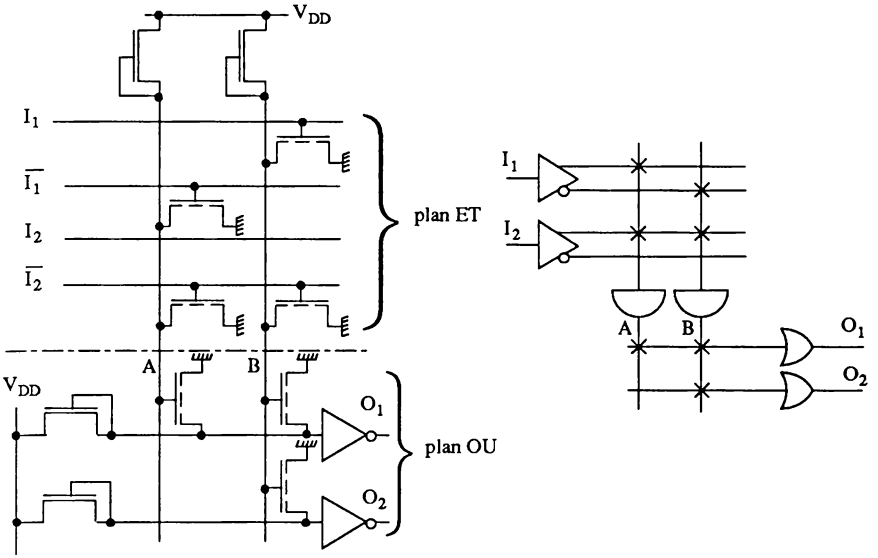


Figure 8.15

8.2.2.2. PLD, EPLD et EEPLD combinatoires

A. Principe et technologie. Rappelons que :

— **PLD** est le terme général du réseau logique programmable non effaçable, quelle que soit la technologie (PAL est le terme d'origine de la société MMI pour une technologie uniquement bipolaire, à fusible métallique).

— l'**EPLD** (*Erasable* PLD) est un réseau logique programmable à technologie MOS, à grille flottante, donc effaçable par UV et reprogrammable (comme pour les EPROM).

— l'**EEPLD** (*Electricaly* EPLD) est un réseau logique programmable à technologie MOS à double grille, donc effaçable électriquement et reprogrammable (comme pour les EEPROM).

La figure 8.16 indique une partie de l'organisation d'un PLD combinatoire (PAL 16P8A de MMI comportant huit parties identiques en technologie TTL). Le réseau de ET est programmable alors que le réseau de OU ne l'est pas. L'opérateur XOR ou OU exclusif inverse la sortie. Un opérateur 3 états permet d'utiliser la borne de sortie comme une entrée. Cette sortie peut aussi réaliser une contre-réaction. D'autres organisations sont, bien sûr, possibles. Citons quelques fournisseurs :

— **PAL-PLD**, MMI (actuellement AMD), RTC/Philips, NS, Harris, Texas Inst.

— **EPLD**, Altéra, Intel, Cypress Semiconductor.

— **EEPLD**, Lattice Semiconductor, VLSI technology, SGS-Thomson, Gould.

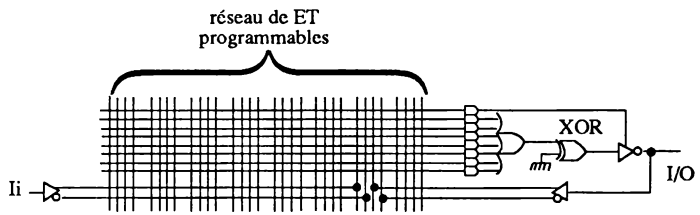


Figure 8.16

B. Performances. Les PLD sont livrés en boîtiers de 20 à 24 broches et contiennent de 200 à 800 portes. Les performances classiques sont :

— **technologie TTL** : t_p de 10 à 30 ns, f de 20 à 50 MHz, P de 500 à 1 000 mW,

— **technologie ECL 10 KH et 100 K** : t_p = 6 ns, f_{max} = 125 MHz, I_{CC} = 220 nA,

— **en technologie CMOS (EPLD)** : t_p = 20 ns, f de 20 à 50 MHz, P de 200 à 500 mW,

— **en technologie CMOS (EEPLD)** : t_p de 20 à 50 ns, f = 20 MHz, P de 5 à 15 mW/MHz.

Le taux d'utilisation des PLD combinatoires ne dépasse pas 50 %.

8.2.2.3. PLD, EPLD et EEPLD séquentiels

A. Principe et technologie. Ce sont des PLD combinatoires auxquels on adjoint en sortie des bascules, mémorisant la valeur des variables d'état entre chaque transition d'horloge. Cette valeur mémorisée est ensuite réinjectée dans le réseau combinatoire. La figure 8.17 représente une partie (parmi huit) d'un circuit PAL séquentiel (PLD TTL) utilisant une bascule D.

Les EPLD et EEPLD séquentiels présentent en sortie des bascules D, RS, JK ou T. Leurs avantages par rapport aux PLD TTL (PAL) sont :

— faible consommation,
— testabilité à la fabrication,
— réinitialisation.

Les fournisseurs des PLD séquentiels sont les mêmes que pour les PLD combinatoires.

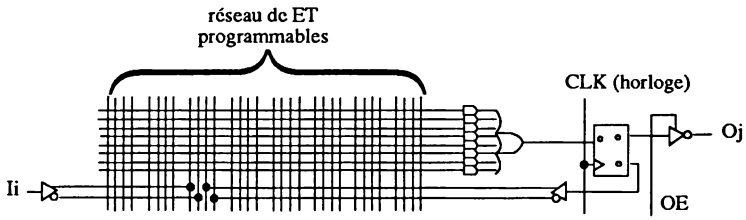


Figure 8.17

B. Performances. Les EPLD tendent à faire disparaître les PLD (la technologie EEPLD est plus difficile à mettre en œuvre).

La densité d'intégration des EPLD est de plusieurs milliers de portes pour des temps de propagation de 10 à 20 ns et une fréquence d'horloge pouvant atteindre 60 MHz.

8.2.2.4. Matrices programmables

Ces circuits permettent de combiner la flexibilité d'une architecture prédiffusée et le faible coût des circuits programmables et reprogrammables.

A. Circuits PEEL Arrays et PGA (ou LCA). Ces réseaux comportent :

— des blocs d'entrée et sortie I/O programmables,
— une matrice de blocs logiques programmables appelés CLB *(Configurable Logic Block)* ou LCC *(Logic Control Cell)*.

Les figures suivantes présentent le PEEL Arrays PA7024 de ICT (International CMOS Technology Inc.).

— **Figure 8.18 :** elle représente l'organisation interne et externe du réseau.

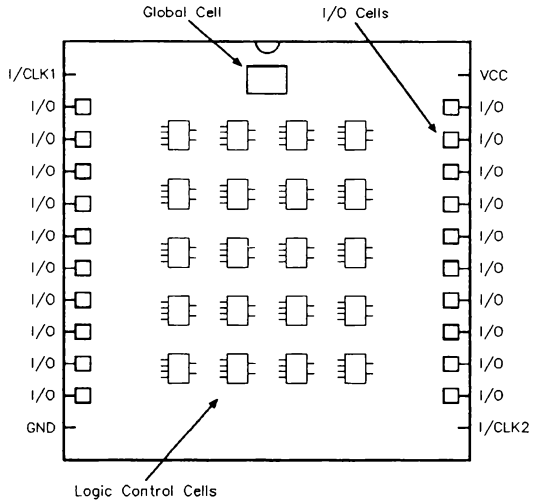


Figure 8.18

Source : **Document ICT Inc.**

— **Figure 8.19 :** c'est le détail de l'interconnexion interne des blocs LCC.

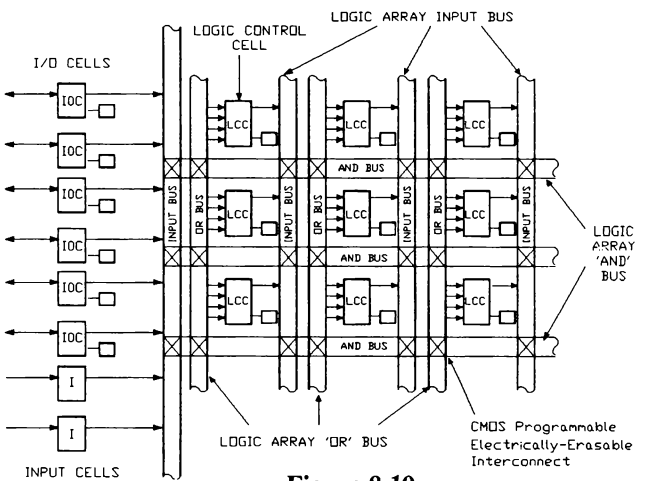


Figure 8.19

Source : **Document ICT Inc.**

— **Figures 8.20, 8.21 et 8.22 :** ces figures fournissent le synoptique interne des cellules LCC, Global Cell et I/O.

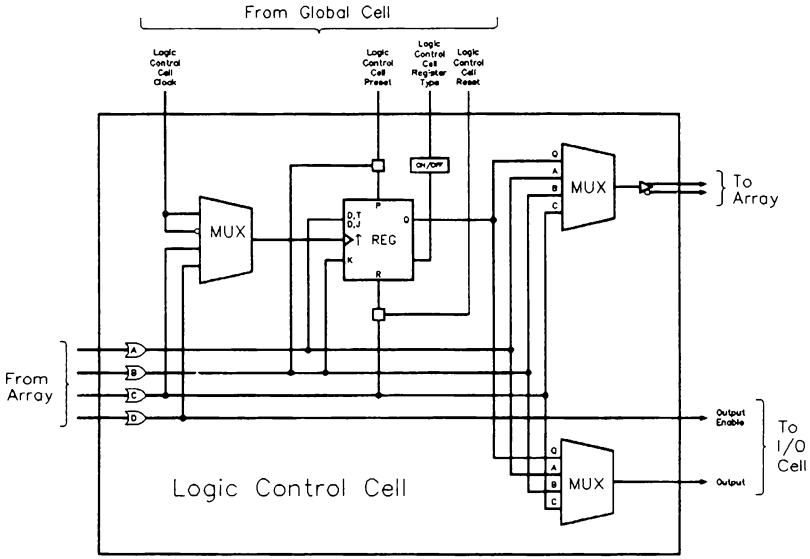


Figure 8.20

Source : **Document ICT Inc.**

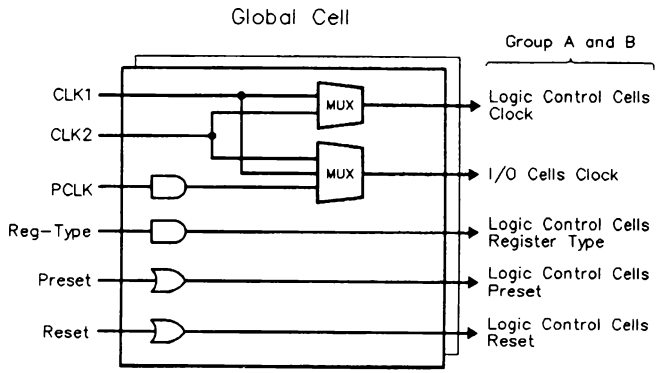


Figure 8.21

Source : **Document ICT Inc.**

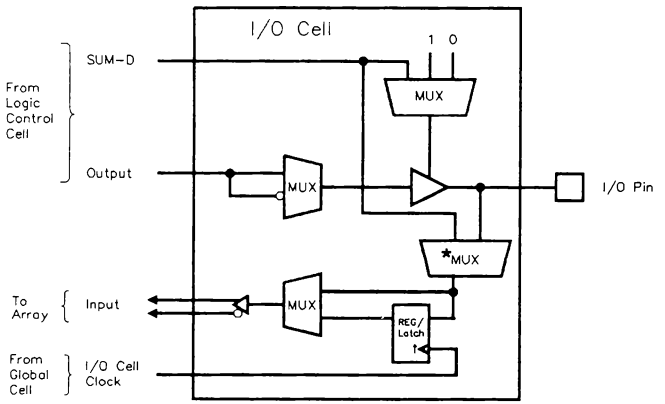


Figure 8.22

Source : **Document ICT Inc.**

B. Circuits MAX. L'organisation de ces réseaux est représentée sur la figure 8.23. Les cellules de base LAB sont interconnectées entre elles et à travers un bus programmable par transistors MOS (et reprogrammable). Chaque LAB (figure 8.24) comporte :

— un réseau de 16 à 32 macro cellules,

— une extension permettant d'augmenter la capacité combinatoire des macro cellules,

— un bloc d'entrée-sorties *I/O*.

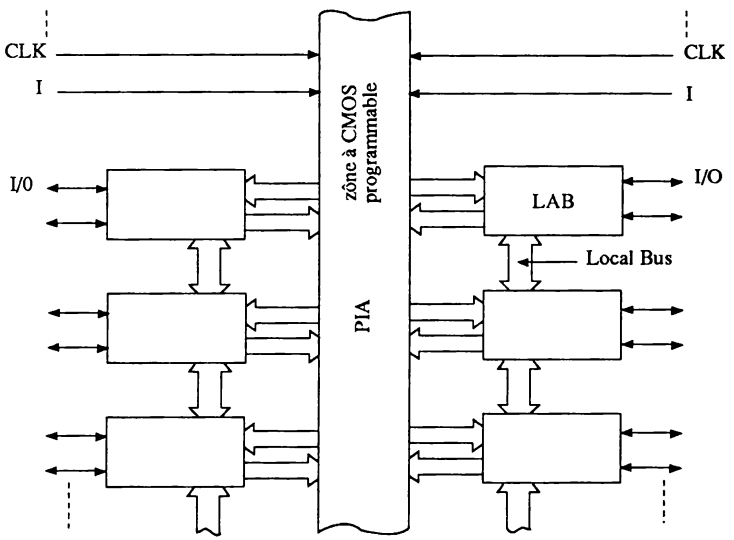


Figure 8.23

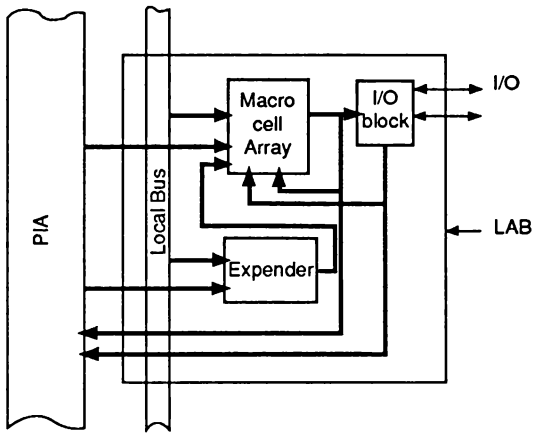


Figure 8.24

C. **Performances des matrices programmables.**

— **PEEL Arrays et PGA (ou LCA)**

- densité d'intégration de 2 000 à 10 000 portes,
- boîtier de 24 à 68 broches,
- taux d'utilisation supérieur à 60 %,
- fréquence d'horloge de 30 à 70 MHz.

— **MAX.** Les caractéristiques globales sont celles des réseaux précédents. Toutefois, l'utilisation du bus unique PIA permet de réduire le temps de propagation.

Ces circuits sont fabriqués par Altéra, AMD (MMI), Gould, Intel, RTC/ Philips, Xilinc.

8.2.2.5. Réseaux prédiffusés programmables

A. **Organisation.** Ces réseaux sont du type *Gate Array* avec une programmation locale (par module) et globale. A titre d'exemple, le circuit ACT1260 de ACTEL présente les caractéristiques technologiques suivantes :

— technologie CMOS 1,2 µm,
— 6 000 portes,
— 1 404 modules logiques permettant de réaliser des fonctions complexes,
— 1 052 bascule D,
— 1 400 latchs,
— 666 000 MOS de programmation (« antifusibles »),
— 150 entrées-sorties,
— circuit observable à 100 %.

B. Performances. La fréquence de l'horloge est voisine de 50 MHz.

Rappelons que les circuits Plessey sont reprogrammables.

8.2.3. ASIC PROGRAMMABLES CHEZ LE « FONDEUR »

8.2.3.1. Réseaux prédiffusés

A. Gate Arrays (réseaux de portes). Un réseau prédiffusé gate array est constitué d'un ensemble de portes logiques diffusées dans le silicium, associées à des cellules d'entrée-sorties (figure 8.25). L'interconnexion des portes se fait dans des canaux parallèles prévus à cet effet avec 2 ou 3 couches de métallisation. Le taux d'utilisation ne dépasse pas 80 %.

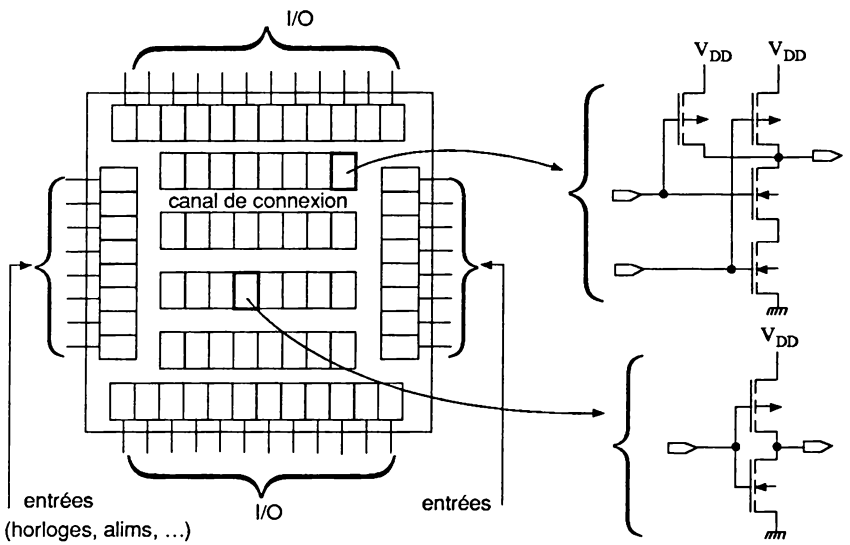


Figure 8.25

Les réseaux prédiffusés programmables sont interconnectés par des transistors MOS.

Les fabricants sont :

— **en CMOS :** AMCC, ATT, Fujitsu, GE Solid State, Gould, Harris, Hitachi, Intel, IMP, LSI Logic, MCE, Motorola, NS, NEC, Plessey, Raytheon, RTC/Philips, SGS Thomson, Siemens, Siliconix, Sorep, Texas Inst., Toshiba, VTC, VLSI Technology.

— **en bipolaire :** AMD (MMI), Cherry Semiconductor, Custom Array, Data Linear, Ferranti, Fujitsu, Honeywell, Motorola, NEC, Raytheon, RTC/ Philips, SGS Thomson, Siemens, Texas Inst., VTC.

— **en BICMOS :** Fujitsu, Hitachi, Motorola, NEC, Toshiba.

B. Sea of Gates (mer de silicium) et réseaux compactés (macrocell Arrays). Afin d'obtenir une meilleure densité d'intégration, sur un réseau prédiffusé, et ainsi réduire le taux de portes non utilisables, on intègre, non plus des portes, mais des composants seuls ou associés, sans canaux de routage (figure 8.26). L'absence de ces canaux de connexions impose une métallisation supplémentaire passant au-dessus des composants.

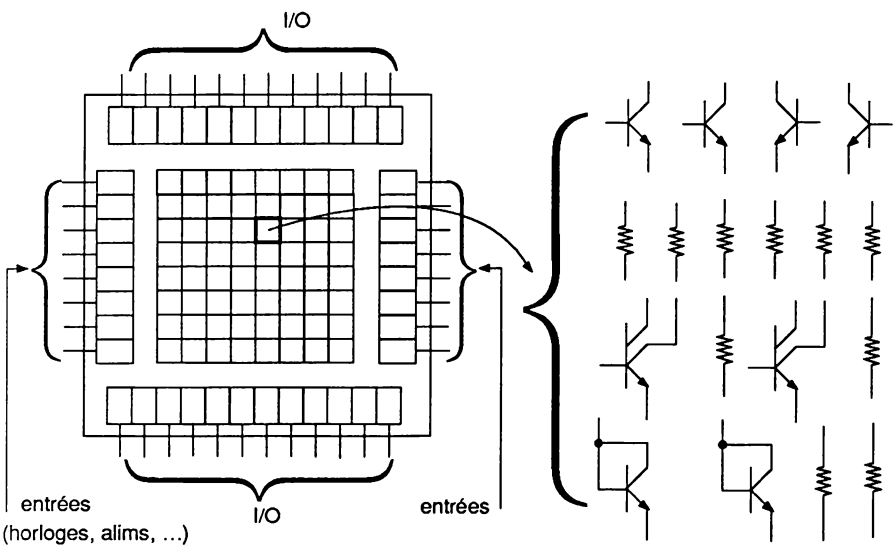


Figure 8.26

Les fabricants sont Fujitsu, LSI Logic, Motorola, SGS Thomson.

La différence entre les réseaux compactés (LSI Logic) et les mers de silicium (Fujitsu ou SGS Thomson) réside dans les possibilités d'interconnexion des paires de transistors. Dans les mers de portes, les paires de transistors sont déjà préregroupées.

Les réseaux compactés s'appellent aussi réseaux de macrocellules (*Macrocell Arrays* de chez Motorola). La disposition des cellules est souvent celle des gate arrays.

C. Réseaux structurés, réseaux composables. Les réseaux structurés sont constitués de portes élémentaires et de fonctions précaractérisées **(mais diffusées)** mises à la disposition des utilisateurs. La figure 8.27 indique un exemple d'organisation.

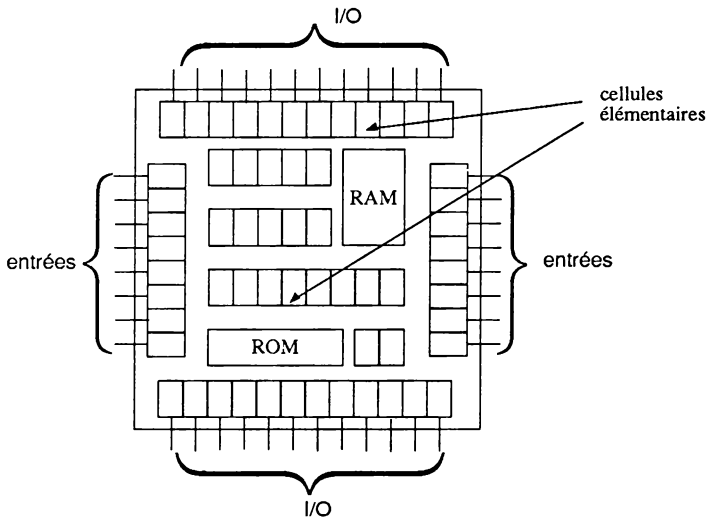


Figure 8.27

Les réseaux structurés sont très bien adaptés pour les applications en microinformatique, le traitement du signal, la réalisation de processeurs graphiques, ...

Dans les **réseaux composables**, c'est le client qui conçoit l'organisation des parties précaractérisées à partir de cellules disponibles dans une bibliothèque « fondeur », mais toujours associées à une matrice de portes.

D. Interconnexion des réseaux prédiffusés. Les composants ou cellules de base étant diffusés, il reste à réaliser l'interconnexion par dépôt de métal à travers des masques. Quelques figures concrétisent ces opérations.

— **Figure 8.28.** Ce réseau prédiffusé CMOS, Sea of Gates comporte des colonnes de transistors NMOS et PMOS (alternés). La métallisation indiquée (première couche) est celle d'une porte NOR à deux entrées. Les deux transistors N sont en parallèle et leur source reliée à V_{SS}, alors que les deux transistors P sont en série, le transistor supérieur ayant son drain relié à V_{DD}.

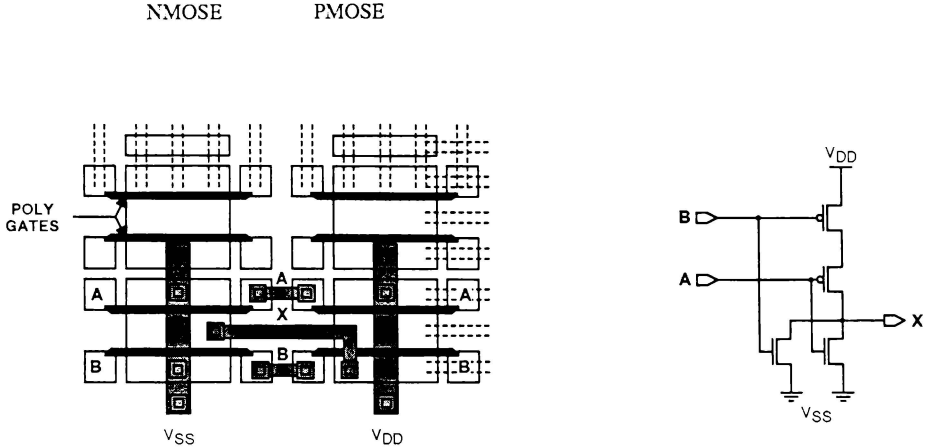


Figure 8.28

Source : **Document Motorola**

— **Figure 8.29.** Les cellules de base sont interconnectées par 3 métallisations successives pour le réseau *sea of gates* précédent.

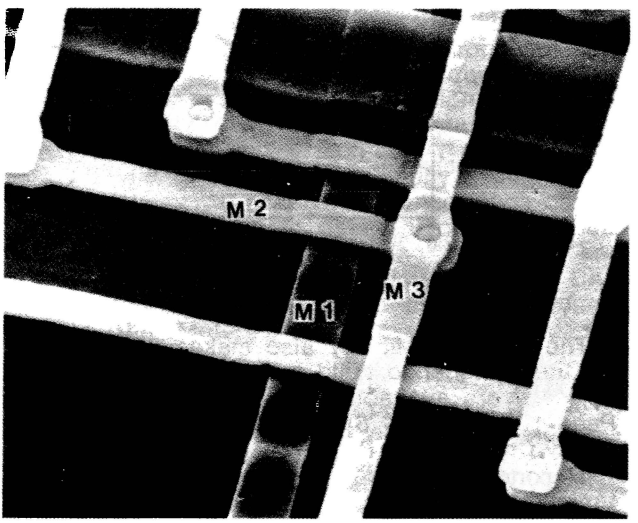
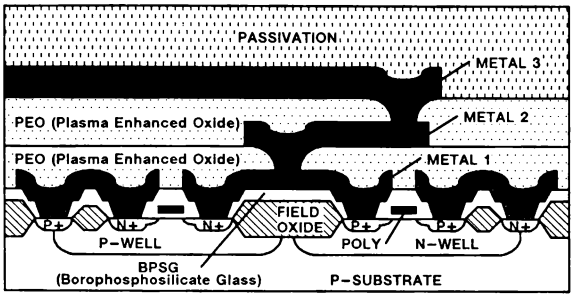


Figure 8.29

Source : **Document Motorola**

— **Figure 8.30.** Détail de l'interconnexion à trois niveaux, pour deux transistors, NMOSE (à gauche) et PMOSE (à droite).



TECHNOLOGY FEATURES

- 1.0 μ Gate Length (0.75 μ L_{eff})
- 1.2 μ CMOS Metal Rules
- Three Layer Metallization
  - 3.6 μ M1 Pitch
  - 4.0 μ M2 Pitch
  - 4.0 μ M3 Pitch

Figure 8.30

Source : **Document Motorola**

E. Performances des réseaux prédiffusés

— **Gate arrays, technologie CMOS** (la plus répandue). De 300 à 50 000 portes,

- t_p de 200 à 1 000 ps par porte,
- autour de 10 μW/porte/MHz,
- f_{max} de 50 à 100 MHz.

— **Gate arrays, technologie ECL**

- jusqu'à 10 000 portes,
- t_p de 50 à 100 ps par porte,
- f_{max} = 4 GHz.

— **Gate arrays en technologie BICMOS**

- de 100 à 20 000 portes,
- 300 ps par porte.

— **Sea of gates, technologie CMOS**

- 180 000 portes,
- 464 entrées/sorties,
- f_{max} 200 MHz.

— **Sea of gates, technologie ECL**

- 30 000 portes,
- f_{max} = 1,5 GHz.

8.2.3.2. Réseaux précaractérisés

C'est la réalisation complète d'un circuit intégré (toutes les phases d'intégration), à partir d'un assemblage de fonctions prédiffusées et précaractérisées

électriques, par le fabricant. Ces fonctions fixes ou paramétrables (par exemple les mémoires) sont contenues dans une bibliothèque sous forme logicielle.

La diffusion des éléments étant entièrement personnalisée, il est nécessaire de créer tous les masques de production. Cette technique de haut de gamme permet l'utilisation à 100 % du silicium.

Les principaux fabricants des circuits précaractérisés sont : Analog Devices, ATT, Custom Array Date Linear, Ferranti, Fujitsu, GE, Hitachi, IMP, Intel, LSI Logic, MHS, Motorola, NS, NCR, NEC, Plessey, RTC/Philips, SGS Thomson, Siemens, SMC, TEXAS Inst., Toshiba, VLSI technology, VTC, ...

8.2.4. BOÎTIERS POUR ASIC

Nous rencontrons les boîtiers suivants :

— DIL *(Dual In Line)* ou DIP *(Dual In line Package)*
- PDIP (*Plastic* DIP),
- HDIP (*Ceramic* DIP).

— Chip-Carrier
- PLCC *(Plastic Leaded Chip Carrier)*, jusqu'à 124 broches,
- LCCC ou LDCC *(Leadless Ceramic Chip Carrier)*, jusqu'à 124 broches,
- LCC *(Leadless Ceramic Chip carrier)*,
- OVCC *(Open Via Chip Carrier)*, jusqu'à 224 broches sur deux rangées.

— PGA *(Pin Grid Array)*, sortie sur plusieurs rangées,
- LPGA *(Low cost Pin Array)*.

— QFP *(Quad Flat Package)*.

La figure 8.31 fournit un exemple de boîtiers proposés par Motorola, pour les circuits prédiffusés Macrocell Arrays de la série HCA62A00 en technologie ACMOS 2 µm [de 44 broches (648 portes) à 168 broches (8 568 portes)].

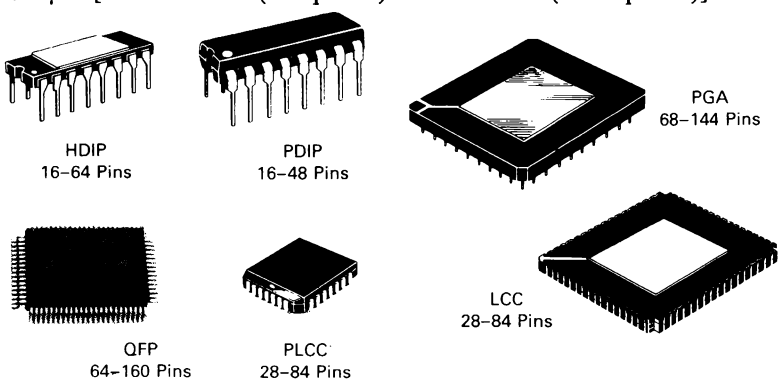


Figure 8.31

***Source :* Document Motorola**

8.3. EXEMPLES D'ASIC

Le fabricant d'ASIC fournit une documentation relativement importante et détaillée, ainsi que les logiciels d'utilisation. Nous ne présentons dans cette section, que deux exemples d'ASIC :

— ASIC numérique, famille HCA62A00, *macrocell array*, Motorola, technologie CMOS,

— ASIC analogique, famille VJ800, *sea of gates*, VTC inc., technologie bipolaire.

8.3.1. RÉSEAU PRÉDIFFUSÉ NUMÉRIQUE

Nous présentons l'organisation et quelques caractéristiques des circuits prédiffusés HCA62A00, macrocell array. Les figures et tableaux suivants sont définis comme suit :

— **Figure 8.32,** organisation générale du circuit,

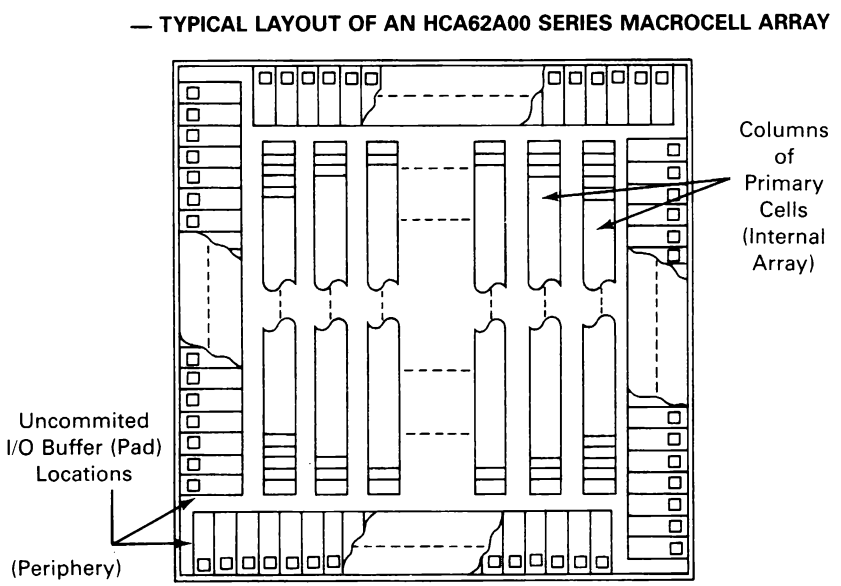


Figure 8.32

Source : **Document Motorola**

— **Figure 8.33,** implantation d'une cellule primaire,

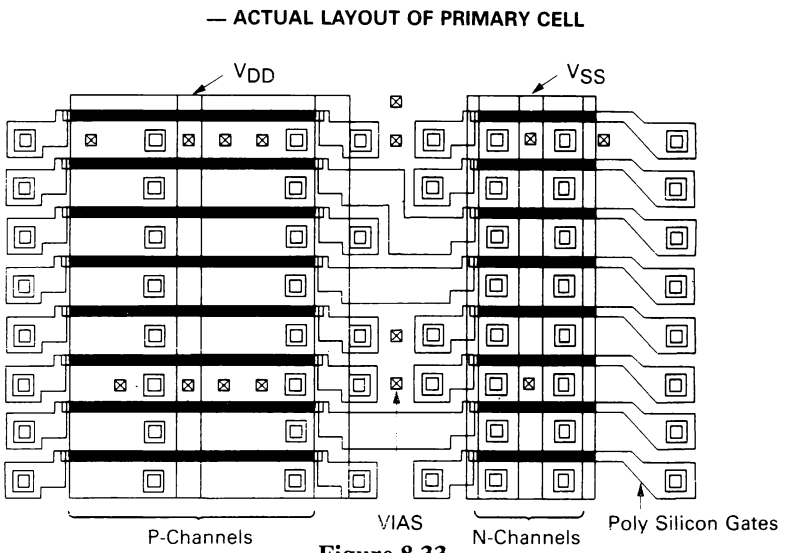


Figure 8.33
Source : **Document Motorola**

— **Figure 8.34,** schéma d'une cellule primaire,

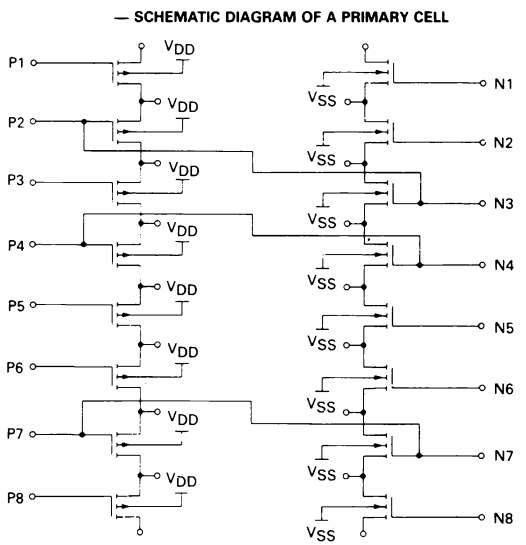


Figure 8.34
Source : **Document Motorola**

— **Tableau 8.3,** désignation des cellules d'entrée-sorties, désignation des opérateurs et de l'équivalent en cellules primaires,

Input/Output Cells		Option
BIDIRECTIONAL BUFFERS		
BCID BCIN BCIU	CMOS Compatible Input (Inverting Input)	With Pull-Down No Pull Resistor With Pull-Up
BCIDOD BCINOD BCIUOD	CMOS Compatible Input (Inverting Input) Open Drain Output	With Pull-Down No Pull Resistor With Pull-Up
BCND BCNN BCNU	CMOS Compatible Input (Non-Inverting Input)	With Pull-Down No Pull Resistor With Pull-Up
BCNDOD BCNNOD BCNUOD	CMOS Compatible Input (Non-Inverting Input) Open Drain Output	With Pull-Down No Pull Resistor With Pull-Up
BSND BSNN BSNU	Schmitt Trigger Input (Non-Inverting Input)	With Pull-Down No Pull Resistor With Pull-Up
BSNDOD BSNNOD BSNUOD	Schmitt Trigger Input (Non-Inverting Input) Open Drain Output	With Pull-Down No Pull Resistor With Pull-Up
BTND BTNN BTNU	TTL Compatible Input (Non-Inverting Input)	With Pull-Down No Pull Resistor With Pull-Up
BTNDOD BTNNOD BTNUOD	TTL Compatible Input (Non-Inverting Input) Open Drain Output	With Pull-Down No Pull Resistor With Pull-Up
INPUT BUFFERS		
ICID ICIN ICIU	CMOS Compatible (Inverting Input)	With Pull-Down No Pull Resistor With Pull-Up
ICIDH ICINH ICIUH	CMOS Compatible, Inverting Clock Buffer	With Pull-Down No Pull Resistor With Pull-Up
ICND ICNN ICNU	CMOS Compatible (Non-Inverting Input)	With Pull-Down No Pull Resistor With Pull-Up
ICNDH ICNNH ICNUH	CMOS Compatible, Non-Inverting CLock Buffer	With Pull-Down No Pull Resistor With Pull-Up
ISND ISNN ISNU	Schmitt Trigger (Non-Inverting Input)	With Pull-Down No Pull Resistor With Pull-Up
ISNDH ISNNH ISNUH	Schmitt Trigger, Non-Inverting Clock Buffer	With Pull-Down No Pull Resistor With Pull-Up
ITND ITNN ITNU	TTL Compatible (Non-Inverting Input)	With Pull-Down No Pull Resistor With Pull-Up
ITNDH ITNNH ITNUH	TTL Compatible, Non-Inverting Clock Buffer	With Pull-Down No Pull Resistor With Pull-Up
OSCILLATOR BUFFERS		
OSCPA	Oscillator with Input Buffer	No Pull Resistor
OSCPH	Oscillator, Clock Buffer	No Pull Resistor
OSCPS	Oscillator, Schmitt Trigger	No Pull Resistor
OUTPUT BUFFERS		
OUTN4	4 mA Push/Pull, Non-Inverting	
OUTN4OD	Open Drain Output Buffer	
OUTN4T	Tri-State Output Buffer	

Internal Macros		# of Primary Cells
BUFFERS/INVERTERS		
INV	Inverter	1:4
INVT	Buffer, Inverting, with 3-State Output	1:2
INVT3D	Buffer, 3X Inverting, with 3-State Output (Dual)	3
INV2	Buffer, 2X Inverting	1:3
TBUFP	Buffer, 3-State Non-Inverting with E	1
TBUF3D	Buffer, 3X Non-Inverting, with 3-State Output (Dual)	3
PCL2	Two Phase Clock Buffer	1
PCL2H	Two Phase Clock Buffer with High Drive	2

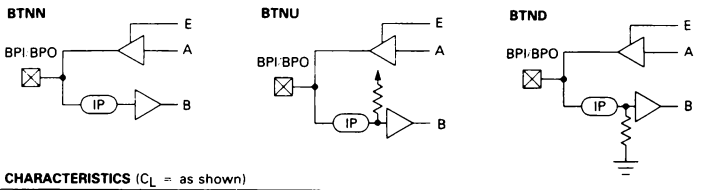
Internal Macros		# of Primary Cells
GATES		
AOI22C	AND-OR-Invert, 2-Input 2-Wide with Complement	1
AOI333C	AND-OR-Invert, 3-Input 3-Wide	4
AOI44C	AND-OR-Invert, 4-Input 2-Wide	3
DS1334	Schmitt Trigger	1
EXOR	EX OR, 2-Input	1
NAN2	NAND, 2-Input	1:3
NAN2C	NAND/AND, 2-Input	1:2
NAN3	NAND, 3-Input	1:2
NAN3C	NAND/AND, 3-Input	2:3
NAN4	NAND, 4-Input	2:3
NAN5C	NAND AND, 5-Input	2
NOR2	NOR, 2-Input	1:3
NOR2C	NOR/OR, 2-Input	1:2
NOR3	NOR, 3-Input	1:2
NOR3C	NOR/OR, 3-Input	2:3
NOR4	NOR, 4-Input	2:3
NOR5C	NOR/OR, 5-Input	2
OAI22C	OR-AND-Invert, 2-Input 2-Wide with Complement	1
OAI333C	OR-AND-Invert, 3-Input 3-Wide	3
OAI4333	OR-AND-Invert, 4-3-3-3 Input 4-Wide	4
LATCHES		
CCND	Cross Coupled NAND Latch	2:3
CCNDG	R-S, Gated Latch	1:2
CCNR	Cross Coupled NOR Latch	2:3
LATRP	Transparent Latch with Enable and RB	2
LAT4	4-Bit D-Latch with 3-State Output	5
LAT4T	4-Bit D-Latch with Buffered Outputs	6
L1LSSDAP	Latch, L1 with ANDED D Inputs, LSSD	3
L1LSSDRS	R-S Latch, L1, LSSD	3
L1LSSD2P	Latch, Dual Port L1, LSSD	5
L2LSSD2P	Latch, Dual L2, LSSD	3
FLIP-FLOPS		
DFFP	D-FF, Buffered, Positive Edge with Clock	2
DFFRMP	D-FF, Multiplexed with Reset	4
DFFRPP	D-FF, Parallel Load with R and Clock	4
DFFRSP	D-FF, Buffered, Positive Edge with RB, SB and Clock	3
DFFRTP	D-FF with QB Output, 3-State Q and Reset (L)	4
DFFS	D-FF with Unbuffered Clock and Set	2
JKFFRSP	JK-FF with R, S and Clock	3
JKFFRTP	JK-FF with Reset and 3-State Q and QB	4
TFFRP	Toggle Enable FF with Reset (L)	4
TFFRPP	Toggle Enable FF, Parallel Load with RB	4
DATA SELECTORS/MULTIPLEXERS		
MUX2	2-to-1 Multiplexer	1
MUX4C	4-to-1 Multiplexer	3
MUX4T	4-to-1 Multiplexer with 3-State EB	3
DECODERS		
DEC1OF4	1-of-4 Decoder with Output (L) and Dual Input	3-1 2
DEC1OF8	1-of-8 Decoder with Output (L) and Enable (L)	6
SHIFT REGISTERS		
SRLSSD	Shift Register/Latch (SRL), LSSD	3
SRSID	2-Bit Serial In/Serial Parallel Out	5
SRSPD	2-Bit Serial/Parallel with Reset	6
COUNTERS		
UDCSP	Up/Down Counter, 1-Bit Presettable with Clock	5
ARITHMETIC CIRCUITS		
ECOMP4	Equality Comparator, 4-Bit	5
MCOMP2	Magnitude Comparator, 2-Bit	6
ADFUL	Full Adder	3
ADFULFC	Adder, Full, 2-Bit, with Fast Carry	6
ALU	ALU, 1-Bit 7-Function	6
ALUFC	1-Bit ALU, with Fast Carry	6
MISCELLANEOUS FUNCTIONS		
PAR4	Parity Checker, 4-Bit with Enable (L)	3

Tableau 8.3

Source : **Document Motorola**

— **Figure 8.35,** exemple de construction :
- cellules d'entrée-sortie,
- opérateur Nand,
- unité d'arithmétique et de logique ALU.

BTNN/BTNU/BTND — Non-Inverting Bidirectional Buffer with TTL Input Switching Levels
1 I/O Cell



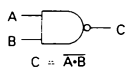
SWITCHING CHARACTERISTICS (C_L = as shown)

Symbol	Parameter	Typ	Unit
t_{PLH}	Propagation Delay, A to BPO C_L = 50 pF	5.8	ns
t_{PHL}		6.2	
t_{PLZ}	Propagation Delay, E to BPO C_L = 50 pF R_L = 1.0 kΩ	3.5	ns
t_{PHZ}		2.8	
t_{PZL}		7.8	
t_{PZH}		5.8	
t_{PLH}	Propagation Delay, BPI to B C_L = 1.0 pF	2.9	ns
t_{PHL}		4.4	

FUNCTION TABLE

E	BPI	A	B	BPO	Function
L	L/H	X	L/H	Z	The pin functions as an input. Data from the internal array is enabled and data from the BPI pin is enabled.
H	L/H	L/H	L/H	L/H	The pin functions as an output, with data originating from the internal array at point A. The data at point A appears at the BPO output and at point B.

NAN2 — 2-Input NAND Gate
1/3 Cell



SWITCHING CHARACTERISTICS (C_L = 1.0 pF on all outputs)

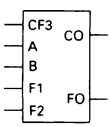
Symbol	Parameter	Typ	Unit
t_{PLH}	Propagation Delay, A, B to C	1.6	ns
t_{PHL}		2.7	

ALU — 1-Bit ALU with 7 Functions
6 Cells

SWITCHING CHARACTERISTICS (C_L = 1.0 pF on all outputs)

Symbol	Parameter	Typ	Unit
t_{PLH}	Propagation Delay, A or B to FO	9.3	ns
t_{PHL}		10.3	
t_{PLH}	Propagation Delay, A or B to CO	11.0	ns
t_{PHL}		12.1	
t_{PLH}	Propagation Delay, CF3 to FO	4.5	ns
t_{PHL}		4.1	
t_{PLH}	Propagation Delay, CF3 to CO (full adder mode)	3.8	ns
t_{PHL}		4.8	
t_{PLH}	Propagation Delay, CF3 to CO (non-full adder mode)	2.9	ns
t_{PHL}		4.0	
t_{PLH}	Propagation Delay, F1 or F2 to FO	9.7	ns
t_{PHL}		10.7	
t_{PLH}	Propagation Delay, F1 or F2 to CO	10.9	ns
t_{PHL}		13.4	

Pin Names:
CF3 — Carry In F3
A, B — Data Inputs
F1, F2 — Function Inputs
CO — Carry Output
FO — Function Output



FUNCTION TABLE

Inputs			Outputs		Operation Performed
F1	F2	CF3	FO	CO	
L	L	L/H	★	*	Summation of A, B and CF3 (FO) with carry out (CO)
L	H	L	A ⊕ B	L	XOR of A and B
L	H	H	$\overline{A \oplus B}$	H	XNOR of A and B
H	L	L	$\overline{A \bullet B}$	L	NAND of A and B
H	L	H	A • B	H	AND of A and B
H	H	L	A + B	L	OR of A and B
H	H	H	$\overline{A + B}$	H	NOR of A and B

★ A ⊕ B ⊕ CF3 * A • CF3 + A • B + B • CF3

Figure 8.35
Source : **Document Motorola**

— Tableau 8.4, caractéristiques électriques.

Absolute Maximum Ratings

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	0.5 to 7.0	V
V_{in}, V_{out}	DC Input, Output Voltage	− 0.5 to V_{DD} + 0.5	V
I	DC Current Drain Per Pin, Any Input or Output	25	mA
I	DC Current Drain V_{CC} and GND Pins	100	mA
T_{stg}	Storage Temperature	65 to + 150	C
T_L	Lead Temperature (10 second soldering)	300	C

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Conditions	V_{DD}	25°C Typical	Comm'l/Ind Guaranteed Limit	−55 to +125°C Guaranteed Limit	Unit
V_{IH}	Minimum High-Level Input Voltage, CMOS Input	V_{out} = 0.1 V or V_{DD} − 0.1 V $\|I_{out}\| \leq 20\ \mu A$	4.5	2.4	3.15	3.15	V
			5.5	2.9	3.85	3.85	
	Minimum Low-Level Input Voltage, TTL Input	V_{out} = 0.1 V or V_{DD} − 0.1 V $\|I_{out}\| \leq 20\ \mu A$	4.5	1.6	2.0	2.0	
			5.5	1.6	2.0	2.0	
V_{IL}	Maximum Low-Level Input Voltage, CMOS Input	V_{out} = 0.1 V or V_{DD} − 0.1 V $\|I_{out}\| \leq 20\ \mu A$	4.5	1.8	1.35	1.35	V
			5.5	2.2	1.65	1.65	
	Maximum Low-Level Input Voltage, TTL Input	V_{out} = 0.1 V or V_{DD} − 0.1 V $\|I_{out}\| \leq 20\ \mu A$	4.5	1.2	0.8	0.8	
			5.5	1.2	0.8	0.8	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} I_{OH} = − 20 μA	4.5	4.5	4.4	4.4	V
			5.5	5.5	5.4	5.4	
		V_{in} = V_{IH} or V_{IL} I_{OH} = − 4.0 mA	4.5	4.0	3.7	3.7	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} I_{OL} = 20 μA	4.5	0.001	0.1	0.1	V
			5.5	0.001	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} I_{OL} = 4.0 mA	4.5	0.2	0.4	0.4	
I_{in}	Maximum Input Leakage Current, No Pull Resistor	V_{in} = V_{DD} or V_{SS}	5.5	± 0.00001	± 1.0	± 10	µA
	Maximum Input Current, Pull-Up Resistor	V_{in} = V_{SS}	5.5	—	− 45	− 80	
	Maximum Input Current, Pull-Down Resistor	V_{in} = V_{DD}	5.5	—	120	210	
I_{OZ}	Maximum Output Leakage Current, Three-State Output	Output = High Impedance V_{out} = V_{DD} or V_{SS}	5.5	± 0.05	± 5	± 10	µA
	Maximum Output Leakage Current, Open Drain Output	Output = High Impedance V_{out} = V_{DD}	5.5	± 0.05	± 5	± 10	
I_{DD}	Maximum Quiescent Supply Current, No Pull-Up or Pull-Down Resistor	V_{in} = V_{DD} or V_{in} = V_{SS} I_{out} = 0 µA	5.5				µA
	62A06			0.0003	25	100	
	62A10			0.0004	30	120	
	62A17			0.0006	40	160	
	62A25			0.001	70	280	
	62A36			0.003	120	480	
	62A50			0.01	250	1000	
	62A67			0.03	700	2800	
	62A85			0.23	2000	8000	
I_{DD}	Add Per Pull-Up Resistor Input	V_{in} = V_{SS}	5.5	—	33	35	
I_{SS}	Add Per Pull-Down Resistor Input	V_{in} = V_{DD}	5.5	—	46	48	
I_{DD}	Add Per TTL Resistor Input	V_{in} = 0.8 or 2.0 V	5.5	—	500	523	
C_{in}	Maximum Input Capacitance		—	—	10	10	pF
C_{out}	Maximum Output Capacitance	Output = High Impedance	—	—	12.5	12.5	pF
$C_{I/O}$	Maximum I/O Capacitance	Configured as Input	—	—	15	15	pF

Tableau 8.4

***Source :* Document Motorola**

8.3.2. RÉSEAU PRÉDIFFUSÉ ANALOGIQUE

VTC Inc. propose (entre autres) le circuit prédiffusé *« Analog Master Chip »* de référence VJ800 comportant 636 transistors et 706 résistances de valeurs comprises entre 150 Ω et 15 kΩ. Deux métallisations sont nécessaires pour réaliser des fonctions analogiques, mais aussi numériques (ECL), dans les domaines de l'instrumentation, des télécommunications, des processeurs analogiques, des systèmes numériques, analogiques, etc.

Le tableau 8.5 fournit la liste détaillée des composants, leurs caractéristiques principales, ainsi que leurs références. Quelques remarques s'imposent (on reverra avec intérêt le chapitre 6).

VJ800 COMPONENT LIST:

QUANTITY	*TYPE*	*COMPONENT*	*NAME*	*COMMENTS*
310	NPN	Small Transistor, 0.5mA	T3	f_T = 800 MHz
168	NPN	Medium Transistor, 2mA	T12	f_T = 800 MHz
26	NPN	Low Noise Transistor, 10mA	TLN1	f_T = 800 MHz
5	NPN	Power Transistor, 180mA	T50	f_T = 800 MHz
32	NPN	Small Schottky, 5mA	T3S	f_T = 800 MHz
54	NPN	Medium Schottky, 8mA	T30S	f_T = 800 MHz
5	NPN	Power Schottky, 180mA	T50S	f_T = 800 MHz
36	PNP	Two Collector, 0.33mA	TLP1	f_T = 80 MHz
74	DIFFUSED	300 Ohm Resistor	A	Variable *(Note 1)*
153	DIFFUSED	600 Ohm Resistor	B	Variable *(Note 2)*
112	DIFFUSED	1200 Ohm Resistor	C	Variable *(Note 2)*
293	IMPLANT	3.2K Ohm Resistor	D	Tapped *(Note 3)*
74	IMPLANT	15K Ohm Resistor	E	Tapped *(Note 4)*
18	JUNCTION	Capacitor, 5pF	JCAP	

NOTES:
(1) Minimum single value is 130 Ohm.
(2) Minimum single value is 150 Ohm.
(3) Fixed tap values of 1.6K Ohm and 3.2K Ohm.
(4) Fixed Tap Values of 5K, 10K and 15K Ohm.

ELECTRICAL CHARACTERISTICS:

TRANSISTORS												
		I_C (mA) *(Note 1)*	*BETA*			*BVCBO (V)*			*BVEBO (V)*			*LVCEO (V)*
NAME	*TYPE*		*MIN*	*TYP*	*MAX*	*MIN*	*TYP*	*MAX*	*MIN*	*TYP*	*MAX*	*MIN*
T3	NPN	0.5	50	100	200	25	30	35	5.6	5.85	6.2	7
T12	NPN	2	50	100	200	25	30	35	5.6	5.85	6.2	7
TLN1	NPN	10	50	100	200	25	30	35	5.6	5.85	6.2	7
T50	NPN	180	50	100	200	25	30	35	5.6	5.85	6.2	7
T3S	NPN	0.5	50	100	200	25	30	35	5.6	5.85	6.2	7
T30S	NPN	8	50	100	200	25	30	35	5.6	5.85	6.2	7
T50S	NPN	180	50	100	200	25	30	35	5.6	5.85	6.2	7
TLP1 *(Note 2)*	PNP	0.16	50	120	250	25	30	35	25	30	35	13.2

Tableau 8.5
***Source :* Document VTC Inc.**

RESISTORS:						
NAME	RESISTOR TYPE	LINEAR TEMPERATURE COEFFICIENT	QUADRATIC TEMPERATURE COEFFICIENT	CAPACITANCE PICOFARAD OV BIAS	TOLERANCE %	
					ABS	MATCH (Note 3)
A	DIFFUSED	3.0×10^{-3}	5.8×10^{-6}	0.116	20	1
B	DIFFUSED	3.0×10^{-3}	5.8×10^{-6}	0.136	20	1
C	DIFFUSED	3.0×10^{-3}	5.8×10^{-6}	0.24	20	1
D	IMPLANT	29.2×10^{-3}	6.9×10^{-6}	0.114	20	2
E	IMPLANT	29.2×10^{-3}	6.9×10^{-6}	0.192	20	2

NOTES
(1) Switching time and frequence response will be best at maximum I_C.
(2) Applies to each of the two collectors.
(3) Adjacent resistors in the same plane.

Tableau 8.5 (suite)
***Source :* Document VTC Inc.**

— Les composants sont définis à partir des modèles SPICE (modèles Gummel-Poon pour les transistors).

— Les résistances sont de deux types (revoir la figure 6.7) :

- soit diffusées (R_1 de la figure),
- soit implantées (R_2 de la figure).

Les résistances diffusées sont ajustées en déplaçant le point de contact sur le silicium. Contrairement aux résistances discrètes, les résistances intégrées présentent des éléments parasites (capacités de jonctions).

— Les diodes sont des transistors dont on a relié le collecteur à la base.

— Les capacités ne sont autres que les diodes précédentes utilisées en inverse.

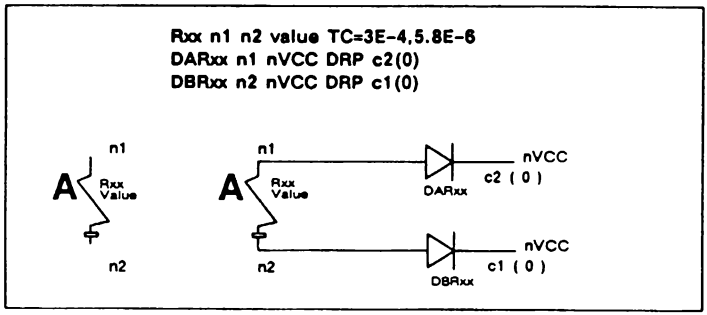
— Les diodes Zener sont obtenues à partir de la jonction émetteur-base des transistors (polarisation inverse). On obtient ainsi des tensions Zener voisines de 6 V.

— La simulation SPICE est effectuée dans le pire des cas *(worst-case)*, en tenant compte des variations de température (0°C à 125°C pour les applications commerciales), des différentes tensions d'alimentation, des béta extrêmes, des tolérances des résistances (20 % maximum), des capacités d'interconnexion, ...

La figure 8.36 donne trois exemples de symboles de composants en modélisation SPICE. Pour chacun d'entre eux, on indique la référence (Qxx), le nombre de bornes utilisées (n_1 n_2 n_3) et quelques informations complémentaires (EZxx, IZxx, ...).

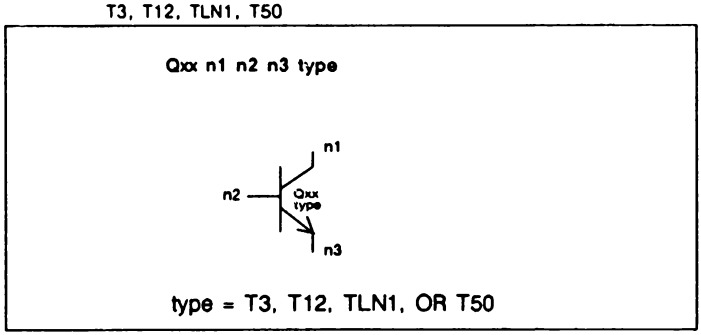
BASE RESISTORS

A: 159-300 ohms



NPN TRANSISTORS

T3, T12, TLN1, T50



DC ZENER DIODES

T3, T12, TLN1, T50

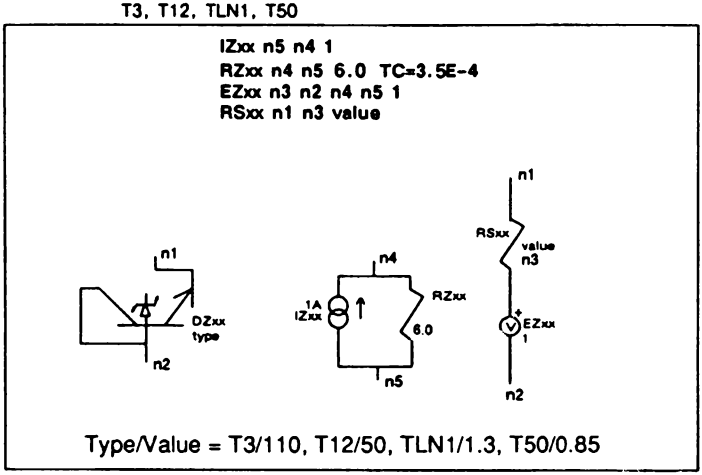


Figure 8.36

Source : Document VTC Inc.

Le tableau 8.6 fournit la valeur des paramètres des composants utilisés, dans le langage SPICE. La signification de la plupart des termes est indiquée dans le dernier chapitre consacré à la simulation.

Transistor Models at Nominal Beta and Nominal Zener Voltage

```
.MODEL T3 NPN(IS=1.26E-17 BF=84 BR=Ø.7 ISE=Ø ISC=Ø IKF=2.7E-3 IKR=7.2E-3
+NE=1.5 NC=1.5 TF=2.27E-1Ø TR=2.27E-9 CJE=7.71E-14 CJC=5.47E-14 VJE=Ø.88 VJC=Ø.74
+MJE=Ø.42 MJC=Ø.41 CJS=2.82E-13 VJS=Ø.67 MJS=Ø.44 VAF=29 VAR=7.3 RC=87.34
+RB=621.33 RE=1.587 XTB=1.58936 EG=1.17 FC=Ø.5 XTI=3.5 XCJC=.13)

.MODEL T12 NPN(IS=5.Ø4E-17 BF=1Ø1 BR=Ø.7 ISE=Ø ISC=Ø IKF=1.Ø8E-2 IKR=2.88E-2
+NE=1.5 NC=1.5 TF=2.27E-1Ø TR=2.27E-9 CJE=2.Ø3E-13 CJC=1.Ø1E-13 VJE=Ø.88
+VJC=Ø.74 MJE=Ø.42 MJC=Ø.41 CJS=3.62E-13 VJS=Ø.67 MJS=Ø.44 VAF=29 VAR=7.3
+RC=55.72 RB=282.4 RE=Ø.397 XTB=1.58936 EG=1.17 FC=Ø.5 XTI=3.5 XCJC=.28)

.MODEL TLN1 NPN(IS=5.6E-16 BF=86 BR=Ø.7 ISE=Ø ISC=Ø IKF=1.2E-1 IKR=3.2E-1
+NE=1.5 NC=1.5 TF=2.27E-1Ø TR=2.27E-9 CJE=2.74E-12 CJC=1.35E-12 VJE=Ø.88
+VJC=Ø.74 MJE=Ø.42 MJC=Ø.41 CJS=1.27E-12 VJS=0.67 MJS=0.44 VAF=29 VAR=7.3
+RC=18.88 RB=7.48 RE=Ø.Ø36 XTB=1.58936 EG=1.17 FC=Ø.5 XTI=3.5 XCJC=.1Ø)

.MODEL T5Ø NPN(IS=3.ØE-15 BF=1Ø3 BR=.7 ISE=Ø ISC=Ø IKF=.67 IKR=1.79 NE=1.5
+NC=1.5 TF=2.27E-1Ø TR=8.97E-8 CJE=12.12E-12 CJC=5.75E-12 VJE=.88 VJC=.74
+MJE=.42 MJC=.41 CJS=3.3E-12 VJS=.67 MJS=.44 VAF=29 VAR=7.3 RC=.6 RB=3.2
+RE=.ØØ6 XTB=1.58 EG=1.17 FC=.5 XTI=3.5 XCJC=.3)

.MODEL T3S NPN(IS=1.26E-17 BF=84 BR=.Ø7 ISE=Ø ISC=Ø IKF=2.7E-3 IKR=7.2E-3
+NE=1.5 NC=1.5 TF=2.27E-1Ø TR=2.27E-9 CJE=7.71E-14 CJC=6.Ø3E-14 VJE=Ø.88 VJC=Ø.74
+MJE=Ø.42 MJC=Ø.41 CJS=2.87E-13 VJS=Ø.67 MJS=Ø.44 VAF=29 VAR=7.3 RC=Ø
+RB=621.33 RE=1.587 XTB=1.58936 EG=1.17 FC=Ø.5 XTI=3.5 XCJC=.12)
*COLL R=87 SCH AREA=5Ø SCH RES=45

.MODEL T3ØS NPN(IS=3.36E-16 BF=12Ø BR=Ø.7 ISE=Ø ISC=Ø IKF=7.2E-2 IKR=1.92E-1
+NE=1.5 NC=1.5 TF=2.27E-1Ø TR=2.27E-9 CJE=9.78E-13 CJC=4.15E-13 VJE=Ø.88
+VJC=Ø.74 MJE=Ø.42 MJC=Ø.41 CJS=7.96E-13 VJS=Ø.67 MJS=Ø.44 VAF=29 VAR=7.3
+RC=Ø RB=87.83 RE=Ø.Ø6 XTB=1.58936 EG=1.17 FC=Ø.5 XTI=3.5 XCJC=.39)
*COLL R=7.4 SCH AREA=92.6 SCH RES=18

.MODEL TLP1 PNP(IS=2.8E-16 BF=55 BR=Ø.5 ISE=Ø ISC=Ø IKF=Ø.3E-3 IKR=9E-4
+NE=1.5 NC=1.5 TF=3.54E-8 TR=1.Ø6E-7 CJE=1.14E-13 CJC=5.8E-13 VJE=Ø.74
+VJC=Ø.74 MJE=Ø.41 MJC=Ø.41 CJS=Ø VJS=1.Ø MJS=1.Ø VAF=27 VAR=9 RC=1ØØ
+RB=5Ø RE=5 XTB=.81Ø9 EG=1.17 FC=Ø.5 XTI=3.5 XCJC=.8Ø)
*BASE SUBSTRATE CAP=.815

.MODEL T5ØS NPN(IS=3.ØE-15 BF=1Ø3 BR=.7 ISE=Ø ISC=Ø IKF=.65 IKR=1.2 NE=1.5
+NC=1.5 TF=2.27E-1Ø TR=8.97E-8 CJE=12.12E-12 CJC=6.6E-12 VJE=.88 VJC=.74
+MJE=.42 MJC=.41 CJS=4.6E-12 VJS=.67 MJS=.44 VAF=29 VAR=7.3 RC=Ø RB=3.3
+RE=.ØØ6 XTB=1.58 EG=1.17 FC=.5 XTI=3.5 XCJC =.25)
*COLL R=7.25 SCH AREA=654 SCH RES=3.75

.MODEL SCH1 D(IS=1.2E-13 CJO=3.8E-16 RS=2.2E4 VJ=Ø.75 M=Ø.5 EG=Ø.75 XTI=2
+N=1.13 BV=12)

.MODEL DRN D(IS=2E-16 CJO=1E-12 VJ=Ø.67 M=Ø.44)

.MODEL DRP D(IS=2E-16 CJO=1E-12 VJ=Ø.74 M=Ø.41)

.MODEL ZT3 D(IS=1.26E-17 IBV=1E-9 BV=6.0 RS=11Ø CJO=7.92E-14)

.MODEL ZT12 D(IS=5.Ø4E-17 IBV=1E-9 BV=6.0 RS=5Ø CJO=2.Ø3E-13)

.MODEL ZTLN1 D(IS=5.6E-16 IBV=1E-9 BV=6.0 RS=1.3 CJO=2.74E-12)

.MODEL ZT5Ø D(IS=3.ØE-15 IBV=1E-9 BV=6.0 RS=Ø.85 CJO=12.7E-12)

.MODEL JCPC D(IS=2E-16 CJO=1E-12 VJ=Ø.9Ø M=.35 BV=5)
```

Tableau 8.6

Source : **Document VTC Inc.**

Le tableau 8.7 présente la table des résistances nommées A, ainsi que les valeurs des capacités parasites de jonction résistance-substrat.

RESISTOR TABLE FOR VJ800 ANALOG MASTER CHIP
BASE TYPE RESISTOR
Name: A

R ohm	c1 pF	c2 pF	N	R ohm	c1 pF	c2 pF	N	R ohm	c1 pF	c2 pF	N
159	.042	.086	0	165	.042	.086	0	170	.043	.085	0
176	.044	.084	0	181	.045	.083	0	187	.046	.082	0
192	.047	.081	0	198	.048	.080	0	203	.049	.079	0
209	.049	.079	1	214	.050	.078	1	220	.051	.077	1
225	.052	.076	1	231	.053	.075	1	236	.054	.074	1
242	.055	.073	1	247	.056	.072	1	253	.056	.072	1
258	.057	.071	1	264	.058	.070	1	269	.059	.069	1
275	.060	.068	1	280	.061	.067	1	286	.062	.066	1
291	.063	.065	1	297	.063	.065	1	300	.064	.064	1

N is the number of available route channels.

Tableau 8.7

Source : VTC Inc.

La figure 8.37 donne un exemple didactique de saisie de schéma. Il représente un amplificateur différentiel à sortie « collecteur ouvert », avec, comme éléments principaux :

— la partie différentielle Q_5, Q_6 (les collecteurs des transistors *PNP* multicollecteurs sont reliés),
— le miroir de courant Q_7, Q_9,
— le générateur de courant Q_4,
— la polarisation du générateur de courant par une source stabilisée Q_1, DZ_1, Q_3,
— L'émetteur commun intermédiaire Q_{12} chargé par la source de courant Q_{10}, Q_{11},
— l'émetteur commun de sortie Q_{15}.

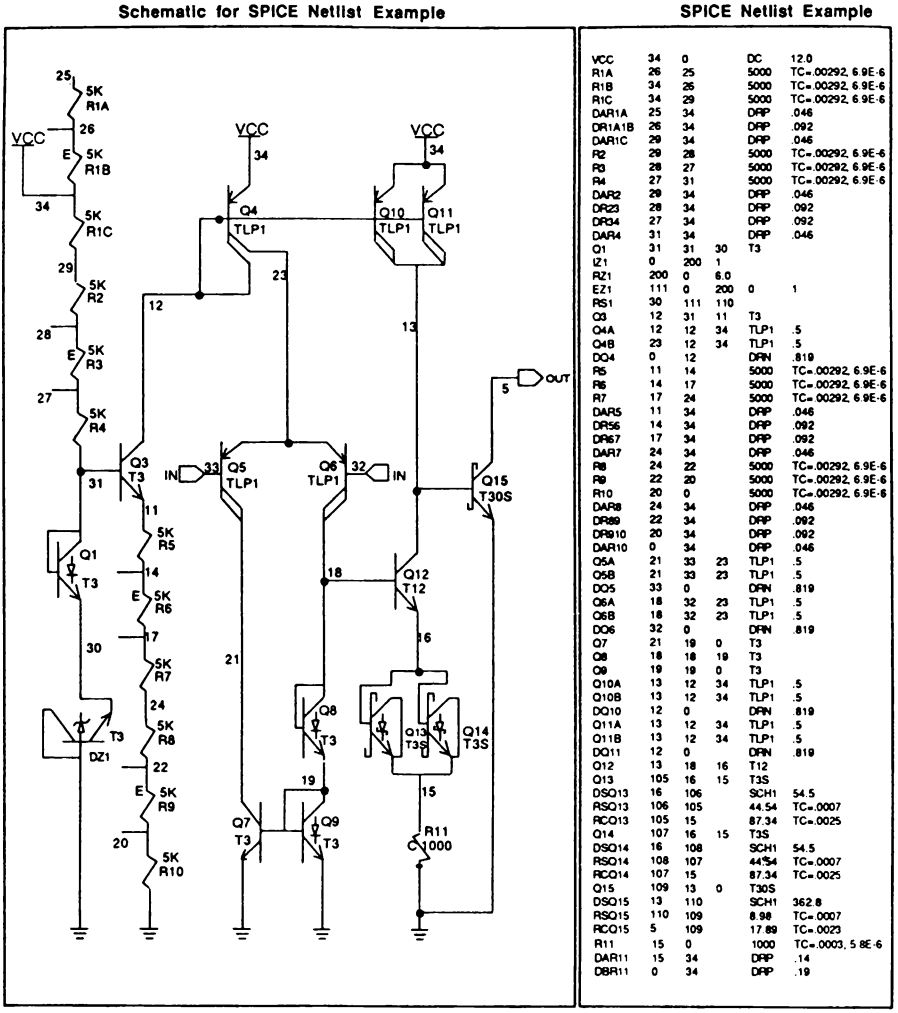


Figure 8.37

Source : **Document VTC Inc.**

Le tableau d'accompagnement fournit la liste des éléments, la référence des nœuds de connexion, la référence des éléments et quelques paramètres complémentaires.

Remarque. La saisie de schéma travaille avec deux fichiers :

— le fichier graphique permettant d'assembler les symboles entre eux et de visualiser le schéma sur écran (partie de gauche de la figure),

— le fichier alphanumérique ou Netlist (tableau de droite).

A ses débuts, la simulation SPICE était uniquement en alphanumérique.

8.4. MINI GLOSSAIRE DES ASIC

ASIC, *Application Specific Integrated Circuit*, circuit intégré spécifique à une application

ASSP, *Application Single Specific Production*, produit standard spécifique à une application

Bibliothèque de cellules, *Cell Library*, fonctions prédéfinies stockées dans la base de donnée

CAE, *Computer Aided Engineering* = IAO

CAO, conception assistée par ordinateur

CLC, cellules logiques configurables

CIF, *Caltech Intermediate Format*, méthode de codage pour définir les couches d'un circuit prédiffusé

Compilateur de silicium, outil logiciel permettant de générer la connectique d'un circuit intégré à partir d'une liste d'une description fonctionnelle

CSIC, *Customer Specific Integrated Circuit*

Custom design, à la demande

DRC, *Design Rule Checking*, vérification des règles de dessin des circuits intégrés

Drop-in, structure de test

Design rules, règles de conception

EPLD, *Erasable Programmable Logic Device*

EEPLD, *Electrical* EPLD

Erasic, *Erasable* ASIC

ERC, *Electrical Rule Checking*, vérification des règles électriques

ESS ou ES2, *European Silicium Structure*

Fondeur de silicium, fabricant de puces

FPLA, *Field programmable Logic Array*, réseau logique programmable

Full custom, circuits entièrement à la demande

GAL, *Generic Array Logic*, autre appellation des PLD

Gate Array, réseau prédiffusé de portes

Glue, logique aléatoire d'interface entre fonctions telles que CPU, ROM, ...

IAO, ingénierie assistée par ordinateur, CAO pour applications électroniques

ISL, *Integrated Schottky Logic*

IOB, *Input Output Block*

LAB, *Logic Array Block*, c'est un EPLD situé dans un réseau de matrices programmables

Layout, topologie physique d'un circuit intégré (sur la puce)

LCA, *Logic Cell Array*, réseau prédiffusé programmable

LCCC ou LCC, *Leadless Ceramic Chip Carrier*, boîtier pour ASIC

LVS, *Layout Versus Schematic*, vérification logicielle entre le layout et le schéma d'un circuit

Megacell, mégacellule telle que RAM, ROM, ...

Macrocell, macrocellule telle que compteur, décodeur, ...

MAX, *Multiple Array matriX*, matrice programmable

Mer de silicium *(Sea of Gates)*, réseaux prédiffusés sans canaux d'interconnexion

Mer de portes, réseau à plus de 50 000 portes

Netlist, description du schéma en alphanumérique

OVCC, *Open Via Chip Carrier*, boîtier pour ASIC

Pad, plot de connexion

PAL, *Programmable Array Logic*, PLD en TTL

PEEL, *Programmable Electrically Erasable Logic*

PCM, *Process Control Monitor*, structure de test

PGA, *Programmable Gate Array*

PGA, *Pin Grid Array*, boîtier pour ASIC

PLA, *Programmable Logic Array*

Placement routage, définition de l'emplacement physique des composants sur la puce puis traçage des connexions (routage)

PLCC, *Plastic Leadless Chip Carrier*, boîtier pour ASIC

PLD, *Programmable Logic Devices*

Précaractérisé, se dit d'un circuit défini en bibliothèque, sans ébauche de fabrication

Prédiffusé, se dit d'un circuit comportant des composants ou portes diffusés, mais non raccordés

Puce, *chip*, rectangle de silicium contenant un circuit

QFP, *Quad Flat Package*, boîtier pour ASIC

Réseau compact, équivalent à mer de silicium

Réseau composable, constitué de réseaux précaractérisés choisis par l'utilisateur et d'une matrice de portes

Réseau de porte, *Gate Array*

Réseau structuré prédiffusé comportant des fonctions complexes comme des ROM, des RAM, ...

Routage, interconnexions

Saisie graphique, représentation symbolique des éléments d'un schéma affiché sur un écran

Sea of Gate (SOG), mer de silicium

Semi custom, ASIC semi personnalisé (par exemple les PLD, les réseaux prédiffusés, ...)

Simulation, analyse numérique de comportement d'un circuit au moyen d'un ordinateur

Standard Cell, cellule standard

Station de travail, système informatique permettant la conception d'un ASIC avec un seul clavier

Stimuli, signaux d'entrée d'un circuit pour le tester

Tranche, disque de silicium

UCIC, *User Configurable Integrated Circuit* = ASIC

USIC, *User Specified Integrated Circuit* = ASIC

Vecteur de test, ensemble de stimuli et de réponses pour un circuit donné

Wafer, tranche de silicium

Work station, station de travail

CHAPITRE 9

Simulation analogique

9.1. MODÈLES SPICE

9.1.1. INTRODUCTION

Ainsi que nous l'avons indiqué au paragraphe 1.2.6, la simulation analogique s'effectue avec un logiciel appelé SPICE* développé par Lawrence Nagel et modifié par Ellis Cohen, tous les deux de l'université de Berkeley.

Le programme d'analyse en DC, AC et transitoire, s'applique aux circuits comportant des composants passifs (résistances, capacités, inductances, mutuelles inductances), des composants actifs discrets (diodes, transistors bipolaires, transistors à effet de champ JFET et MOSFET), des circuits intégrés analogiques (amplificateurs opérationnels, comparateurs, ...) et des sources de tension et de courant.

La simulation SPICE est une opération mathématique. Elle fait intervenir les éléments de la physique du solide et de la physique classique. Les expressions mathématiques des paramètres des composants (tant en régime statique qu'en régime dynamique), utilisées par SPICE ne diffèrent de celles vues aux chapitres 1, 2, 3 et 4, que par la forme. Une étude détaillée de ces paramètres SPICE est certes intéressante, mais elle dépasse le cadre de cet ouvrage. Nous nous limitons donc, dans cette section, à une présentation succincte.

En pratique, les paramètes SPICE sont définis :

— soit par le calcul (en général pour les MOSFET),

— soit par une série de manipulations effectuées par les « fondeurs ».

Il n'est pas rare de trouver des valeurs différentes de paramètres pour un même type de transistors !!

---

* SPICE : Simulation Program with Integrated Circuit Emphasis.

Remarque fondamentale. Il ne faut surtout pas oublier que la simulation analogique fait intervenir des éléments de mesure et de connexions parfaits :

— générateurs d'attaque (stimuli) à résistance ou impédance interne nulle,

— connexions inter composants sans capacité, inductance et résistance parasites,

— mesures avec impédance interne infinie.

Il est alors nécessaire de tenir compte de ces éléments en les ajoutant au schéma à étudier.

9.1.2. DIODES

9.1.2.1. Désignation en Net list

La désignation en Net list est un positionnement schématique et non paramétrique. Pour une diode, la forme générale est

Dxxx N+ N– MNAME <AREA> <IC = VD>

Exemple

D35 14 17 DI 2.0 IC = 0,2

Signification

D35, repère dans le schéma
14, numéro de la borne de l'anode (NODE+)
17, numéro de la borne de la cathode (NODE–)
DI, référence modèle SPICE
2.0, coefficient de surface
IC = 0,2, condition initiale V_{BE} = 0,2 V.

9.1.2.2. Paramètres SPICE

A. Désignation des paramètres (14 au nombre)

	name	parameter	units	default	ex
1	IS	saturation current	A	1.0E-14	1.
2	RS	ohmic resistance	Ohm	0	10
3	N	emission coefficient	-	1	1.
4	TT	transit-time	sec	0	0.
5	CJO	zero-bias junction capacitance	F	0	2P
6	VJ	junction potential	V	1	0.
7	M	grading coefficient	-	0.5	0.
8	EG	activation energy	eV	1.11	1.
					0.
					0.

9	XTI	saturation-current temp exp	-	3.0	3. 2.
10	KF	flicker noise coefficient	-	0	
11	AF	flicker noise exponent	-	1	
12	FC	coefficient for forward-bias depletion capacitance formula	-	0.5	
13	BV	reverse breakdown voltage	V	infinite	40
14	IBV	current at breakdown voltage	A	1.0E-3	

B. Interprétation des paramètres

— **Paramètres statiques *IS*, *N* et *RS***

IS, courant de saturation inverse = 10^{-14} A par défaut

N, coefficient d'émission : 1 par défaut

L'expression du courant

$$I = IS\left(\exp\frac{U}{N\dfrac{kT}{q}} - 1\right)$$

permet d'obtenir la valeur de *U* sans résistance interne *RS*

$$U = N \cdot 2{,}6 \cdot 10^{-2} \ln\frac{I - IS}{IS}$$

— **Paramètres dynamiques.** Ils sont définis à partir de *TT*, *CJO*, *VJ* et *M*

TT, temps de transit des charges

CJO, capacité de jonction pour $U = 0$

VJ, potentiel de jonction

M, gradient de jonction associé au mode de dopage (jonction abrupte, progressive, ...).

— **Paramètres de température.** On utilise les paramètres *EG*, *XTI*.

EG, gap ΔE

XTI, coefficient de saturation (2 ou 3 par défaut).

L'évolution de *IS* en fonction de la température est donnée par la relation

$$IS_T = IS_{TO} \cdot \left(\frac{T}{TO}\right)^{\frac{XTI}{N}} \cdot \exp\left[\frac{q \cdot EG}{kTN} \cdot \frac{T - TO}{TO}\right]$$

— **Paramètres de bruit *KF* et *AF***

— **Paramètres d'avalanche *BF* et *IBV*.**

9.1.2.3. Exemples de paramètres utilisés en simulation

```
.MODEL DI D IS=1E-14
```

— **Diode élémentaire** (modèle minimum, 1 paramètre)

```
.MODEL D1N4148 D(IS=1.0E-14 CJO=4.0E-12 VJ=1 M=.5 BV=75)
```

— **Diode discrète 1N4148** (5 paramètres)

```
.MODEL DRN D(IS=2E-16 CJO=1E-12 VJ=0.67 M=0.44)
```

— **Diode pour ASIC** (4 paramètres)

```
.MODEL DZT50 D(IS=3.0E-15 IBV=1E-9 BV=6.0 RS=0.85 CJO=12.7E-12)
```

— **Diode Zener pour ASIC** (5 paramètres)

9.1.3. TRANSISTORS BIPOLAIRES (*BJT, NPN* ET *PNP*)

9.1.3.1. Désignation en Net list

La forme générale (pour un schéma) est :

Qxxx NC NB NE <NS> MNAME <AREA>
<OFF> <IC = VBE, VCE>

avec Qxxx, repère dans le schéma
NC, NB, NE, numéro des bornes (NODES) des collecteur, base et émetteur,
NS, numéro de la node du substrat (optionnel),
MNAME, modèle SPICE,
AREA, coefficient de surface,
OFF, condition initiale pour l'analyse en statique (optionnel),
IC = VBE, VCE, conditions initiales pour un fonctionnement en transitoire (optionnel).

9.1.3.2. Paramètres SPICE

Les transistors bipolaires sont définis par le modèle Gummel et Poon, utilisant la théorie d'Ebers-Moll.

A. Désignation des paramètres (40 au nombre)

	name	parameter	units	default
1	IS	transport saturation current	A	1.0E-1
2	BF	ideal maximum forward beta	-	100
3	NF	forward current emission coefficient	-	1.0
4	VAF	forward Early voltage	V	infini

5	IKF	corner for forward beta high current roll-off	A	infini
6	ISE	B-E leakage saturation current	A	0
7	NE	B-E leakage emission coefficient	-	1.5
8	BR	ideal maximum reverse beta	-	1
9	NR	reverse current emission coefficient	-	1
10	VAR	reverse Early voltage	V	infini
11	IKR	corner for reverse beta high current roll-off	A	infini
12	ISC	B-C leakage saturation current	A	0
13	NC	B-C leakage emission coefficient	-	2
14	RB	zero bias base resistance	Ohms	0
15	IRB	current where base resistance falls halfway to its min value	A	infini
16	RBM	minimum base resistance at high currents	Ohms	RB
17	RE	emitter resistance	Ohms	0
18	RC	collector resistance	Ohms	0
19	**CJE**	**B-E zero-bias depletion capacitance**	**F**	**0**
20	VJE	B-E built-in potential	V	0.75
21	MJE	B-E junction exponential factor	-	0.33
22	TF	ideal forward transit time	sec	0
23	XTF	coefficient for bias dependence of TF	-	0
24	VTF	voltage describing VBC dependence of TF	V	infini
25	ITF	high-current parameter for effect on TF	A	0
26	PTF	excess phase at freq=1.0/(TF*2PI) Hz	deg	0
27	CJC	B-C zero-bias depletion capacitance	F	0
28	VJC	B-C built-in potential	V	0.75
29	MJC	B-C junction exponential factor	-	0.33
30	XCJC	fraction of B-C depletion capacitance connected to internal base node	-	1
31	TR	ideal reverse transit time	sec	0
32	CJS	zero-bias collector-substrate capacitance	F	0
33	VJS	substrate junction built-in potential	V	0.75
34	MJS	substrate junction exponential factor	-	0
35	XTB	forward and reverse beta temperature exponent	-	0
36	EG	energy gap for temperature effect on IS	eV	1.11
37	XTI	temperature exponent for effect on IS	-	3
38	KF	flicker-noise coefficient	-	0
39	AF	flicker-noise exponent	-	1
40	FC	coefficient for forward-bias depletion capacitance formula	-	0.5

B. Utilisation des paramètres

IS, BF, NF, ISE, IKF et *NE* déterminent les caractéristiques de gain en courant en direct,

IS, BR, NR, ISC, IKR et *NC* déterminent les caractéristiques du gain en courant en inverse,

VAF et *VAR* déterminent la conductance de sortie en direct et en inverse,

RB, RC et *RE* représentent les résistances en série avec les bornes,

TF et *TR* sont les temps de transit des charges en direct et en inverse,

CJE, VJE et *MJE* permettent d'obtenir la valeur de la capacité de déplétion de la jonction base-émetteur,

CJC, VJC et *MJC*, même chose pour la jonction base-collecteur,

CJS, VJS et *MJS* même chose pour la jonction collecteur-substrat,

EG et *XTI* permettent de déterminer la valeur de *IS* pour une température donnée (même relation que pour la diode),

XTB est l'exposant permettant de calculer la valeur du béta en fonction de la température

$$\beta_T = \beta_{TO} \cdot \left(\frac{T}{TO}\right)^{XTB}$$

9.1.3.3. Exemples de paramètres utilisés en simulation

— **Transistors élémentaires *NPN* et *PNP*** (modèle minimum, 7 à 8 paramètres)

```
.MODEL QNL NPN(BF=80 RB=100 CCS=2PF TF=0.3NS TR=6NS CJE=3PF CJC=2PF VA=50)
.MODEL QPL PNP(BF=10 RB=20 TF=1NS TR=20NS CJE=6PF CJC=4PF VA=50)
```

— **Transistors discrets 2N2222 et 2N2907** (24 paramètres)

```
.MODEL Q2N2222  NPN(IS=3.108E-15 XTI=3 EG=1.11 VAF=131.5 BF=217.5 NE=1.541
+                ISE=190.7E-15 IKF=1.296 XTB=1.5 BR=6.18 NC=2 ISC=0 IKR=0 RC
+                CJC=14.57E-12 VJC=.75 MJC=.3333 FC=.5 CJE=26.08E-12 VJE=.75
+                MJE=.3333 TR=51.35E-9 TF=451E-12 ITF=.1 VTF=10 XTF=2)
.MODEL Q2N2907  PNP(IS=9.913E-15 XTI=3 EG=1.11 VAF=90.7 BF=197.8 NE=2.264
+                ISE=6.191E-12 IKF=.7322 XTB=1.5 BR=3.369 NC=2 ISC=0 IKR=0 R
+                CJC=14.57E-12 VJC=.75 MJC=.3333 FC=.5 CJE=20.16E-12 VJE=.75
+                MJE=.3333 TR=29.17E-9 TF=405.7E-12 ITF=.4 VTF=10 XTF=2)
```

— **Transistor pour ASIC** (modèle T3 du tableau 8.6, 29 paramètres)

```
.MODEL QT3 NPN(IS=1.26E-17 BF=84 BR=0.7 ISE=0 ISC=0 IKF=2.7E-3 IKR=7.2E-3
+NE=1.5 NC=1.5 TF=2.27E-10 TR=2.27E-9 CJE=7.71E-14 CJC=5.47E-14 VJE=0.88 VJC
+MJE=0.42 MJC=0.41 CJS=2.82E-13 VJS=0.67 MJS=0.44 VAF=29 VAR=7.3 RC=87.34
+RB=621.33 RE=1.587 XTB=1.58936 EG=1.17 FC=0.5 XTI=3.5 XCJC=.13)
```

9.1.4. TRANSISTORS JFET (*N* ET *P*)

9.1.4.1. Désignation en Net list

La forme générale

Jxxx ND NG NS MNAME <AREA> <OFF>
<IC = VDS, VGS>

ressemble à celle des transistors bipolaires.

9.1.4.2. Paramètres SPICE

Les transistors JFET sont définis par le modèle de Shichman et Hodges.

A. Désignation des paramètres (12 au nombre)

	name	parameter	units	default
1	VTO	threshold voltage	V	-2.0
2	BETA	transconductance parameter	A/V**2	1.0E-4
3	LAMBDA	channel length modulation parameter	1/V	0
4	RD	drain ohmic resistance	Ohm	0
5	RS	source ohmic resistance	Ohm	0
6	CGS	zero-bias G-S junction capacitance	F	0
7	CGD	zero-bias G-D junction capacitance	F	0
8	PB	gate junction potential	V	1
9	IS	gate junction saturation current	A	1.0E-1
10	KF	flicker noise coefficient	-	0
11	AF	flicker noise exponent	-	1
12	FC	coefficient for forward-bias depletion capacitance formula	-	0.5

B. Utilisation des paramètres

VTO et *BETA* déterminent la variation du courant de drain,
LAMBDA permet d'obtenir la conductance de sortie,
IS est le courant de saturation des deux jonctions (modèle à grilles opposées – figures 4.6 et suite),
RD et *RS* représentent les deux résistances série.

9.1.4.3. Exemple de paramètres utilisés en simulation

Le transistor élémentaire est défini comme suit (9 paramètres)

```
.MODEL J1 NJF (VTO=-2.0,BETA=1.0E-3,LAMBDA=1.0E-4,RD=100,RS=100,
+ CGS=5PF,CGD=1PF,PB=0.6,IS=1.0E-14)
```

9.1.5. TRANSISTORS MOSFET

9.1.5.1. Désignation en Net list

La forme générale est

Mxxx ND NG NS NB MNAME <L = VAL>
<W = VAL> <AD = VAL> <AS = VAL> <PD = VAL>
<PS = VAL> <NRD = VAL> <NRS = VAL> <OFF>
<IC = VDS, VGS, VBS>

avec *ND, NG, NS* et *NB*, les nodes de drain, de grille, de source et du bulk,
MNAME, modèle SPICE,
L et *W*, longueur *L* et largeur *l* du canal,
AD et *AS*, surface du drain et de la source,
PD et *PS*, périmètre du drain et de la source,
NRD et *NRS*, coefficient correcteur.

9.1.5.2. Paramètres SPICE

Trois modèles peuvent être utilisés :

— Modèle 1, de Shichman et Hodges.

— Modèle 2, MOS2 (document SPICE).

— Modèle 3, MOS3 (document SPICE).

La désignation des paramètres (41 au nombre) est :

	name	parameter	units
1	LEVEL	model index	-
2	VTO	zero-bias threshold voltage	V
3	KP	transconductance parameter	A/V**2
4	GAMMA	bulk threshold parameter	V**0.5
5	PHI	surface potential	V
6	LAMBDA	channel-length modulation (MOS1 and MOS2 only)	1/V
7	RD	drain ohmic resistance	Ohm
8	RS	source ohmic resistance	Ohm
9	CBD	zero-bias B-D junction capacitance	F
10	CBS	zero-bias B-S junction capacitance	F
11	IS	bulk junction saturation current	A
12	PB	bulk junction potential	V
13	CGSO	gate-source overlap capacitance per meter channel width	F/m
14	CGDO	gate-drain overlap capacitance per meter channel width	F/m
15	CGBO	gate-bulk overlap capacitance per meter channel length	F/m
16	RSH	drain and source diffusion sheet resisitance	Ohm/sq.
17	CJ	zero-bias bulk junction bottom cap. per sq-meter of junction area	F/m**2
18	MJ	bulk junction bottom grading coef.	-
19	CJSW	zero-bias bulk junction sidewall cap. per meter of junction perimeter	F/m
20	MJSW	bulk junction sidewall grading coef.	-
21	JS	bulk junction saturation current per sq-meter of junction area	A/m**2
22	TOX	oxide thickness	meter
23	NSUB	substrate doping	1/cm**3
24	NSS	surface state density	1/cm**2
25	NFS	fast surface state density	1/cm**2
26	TPG	type of gate material: +1 opp. to substrate -1 same as substrate 0 Al gate	-
27	XJ	metallurgical junction depth	meter
28	LD	lateral diffusion	meter
29	UO	surface mobility	cm**2/V-s
30	UCRIT	critical field for mobility degradation (MOS2 only)	V/cm
31	UEXP	critical field exponent in mobility degradation (MOS2 only)	-
32	UTRA	transverse field coef (mobility) (deleted for MOS2)	-
33	VMAX	maximum drift velocity of carriers	m/s

34	NEFF	total channel charge (fixed and mobile) coefficient (MOS2 only)	-
35	XQC	thin-oxide capacitance model flag and coefficient of channel charge share attributed to drain (0-0.5)	-
36	KF	flicker noise coefficient	-
37	AF	flicker noise exponent	-
38	FC	coefficient for forward-bias depletion capacitance formula	-
39	DELTA	width effect on threshold voltage (MOS2 and MOS3)	-
40	THETA	mobility modulation (MOS3 only)	1/V
41	ETA	static feedback (MOS3 only)	-

9.1.5.3. Exemples de paramètres utilisés en simulation

Les transistors élémentaires *N* et *P* sont définis comme suit :

```
.MODEL N NMOS( VTO=0.4  KP=20E-6  GAMMA=1.5 PHI=1.5 LAMBDA=.016
+ CGSO=1.24E-9 CGDO=1.24E-9 CJ=2.55E-4 CJSW=2.55E-9 TOX=1E-7 XJ=2U)
.MODEL P PMOS( VTO=-0.6  KP=11E-6 GAMMA=0.5 PHI=0.5 LAMBDA=.034
+ CGSO=1.24E-9 CGDO=1.24E-9 CJ=1.04E-4 CJSW=1.04E-9 TOX=1E-7 XJ=2U)
```

9.2. EXEMPLES SIMPLES DE SIMULATION ANALOGIQUE

9.2.1. MÉTHODOLOGIE

La simulation analogique des fonctions électroniques qui suivent est effectuée sur une station de travail APOLLO utilisant le logiciel MENTOR GRAPHICS.

L'ordre des opérations est le suivant :

— **Saisie de schéma sous forme graphique** (logiciel Neted). Après avoir assemblé les symboles des composants puis défini le repère dans le schéma et le modèle SPICE, le logiciel établit le Net list du schéma, c'est-à-dire les valeurs alphanumériques des connexions (nœuds) auxquels s'ajoutent les paramètres Net list supplémentaires (voir l'exemple de la figure 8.37).

— **Adaptation du fichier alphanumérique Net list au logiciel de simulation SPICE de la station de travail** (utilisation dans notre cas du logiciel EXPAND).

— **Simulation analogique** (logiciel MSPICE). Les grandes étapes de cette simulation sont :

- choix des unités (UNITS),
- choix de l'analyse (ANALYSIS), en DC, AC, transitoire, pour différentes températures,

- choix du stimuli (FORCE) où on impose l'amplitude, le décalage, ...
- simulation en elle-même (RUN),
- résultats : soit sur le schéma pour les composantes continues (MONITOR VOLTAGE, ...) soit graphique (CREAT GRAPH, ...).

9.2.2. EFFET DE LA TEMPÉRATURE SUR UNE JONCTION-APPLICATION A UN THERMOMÈTRE

Nous nous proposons d'étudier la variation de la tension V_{AK} aux bornes d'une diode 1N4148, polarisée à courant constant, en fonction de la température. La figure 9.1 représente le schéma où V_4 et I_1 sont des générateurs parfaits. La simulation nous fournit les résultats regroupés sur la figure 9.2. La linéarité de la variation est quasi parfaite dans l'intervalle – 100°C, + 100°C. On en déduit le coefficient de température de la diode

$$\frac{\Delta V_{AK}}{\Delta T} = \frac{0{,}523 - 0{,}872}{200} = -1{,}74 \text{ mV/°C}$$

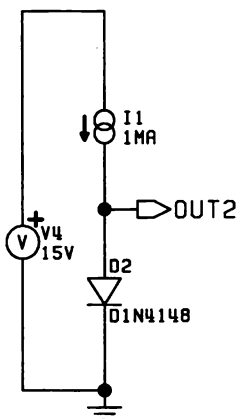


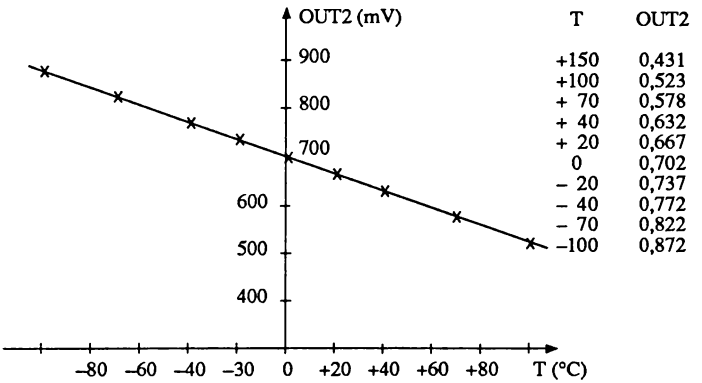
Figure 9.1

Remarquons la faible valeur de ce coefficient comparée à celles obtenues au chapitre 1 (n'oublions pas toutefois, qu'une diode est constituée d'une jonction à coefficient de température négatif en séric avec une résistance à coefficient de température positif – revoir la figure 2.14).

Réaliser un thermomètre avec la diode comme capteur, impose :

— un amplificateur inverseur,

— un offset de décalage pour obtenir 0 volt à 0°C.



T	OUT2
+150	0,431
+100	0,523
+ 70	0,578
+ 40	0,632
+ 20	0,667
0	0,702
– 20	0,737
– 40	0,772
– 70	0,822
–100	0,872

Figure 9.2

La figure 9.3 représente un exemple de schéma permettant de convertir la variation de tension aux bornes de la diode, en tension proportionnelle à la température (on laisse au lecteur le soin de l'analyse de fonctionnement). Le résultat de la simulation est fourni sur la figure 9.4. On trouve alors un coefficient de température

$$\frac{\Delta \text{OUT}}{\Delta T} = \frac{8{,}92 + 8{,}45}{200} = 86{,}8 \text{ mV/°C}$$

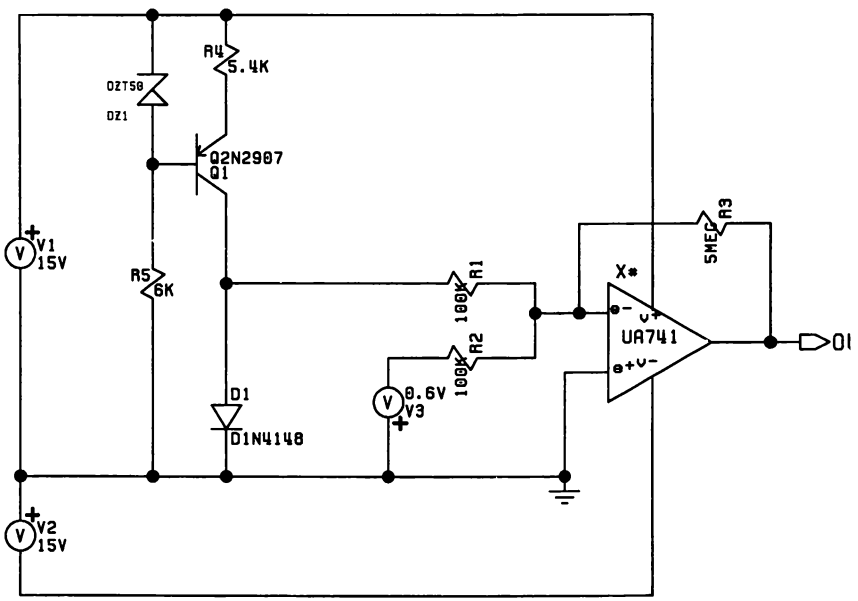
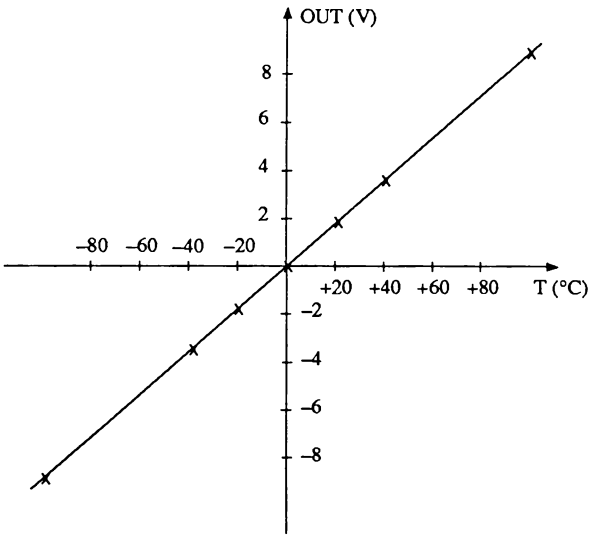


Figure 9.3



T	OUT
+150	13,51
+125	11,21
+ 50	8,92
+ 40	4,40
+ 20	3,51
0	1,74
- 20	0
- 40	- 1,74
- 50	- 3,45
-100	- 4,3
-125	- 8,45
-150	- 10,47
	- 12,4

Figure 9.4

Remarque. Dans cette simulation, la variation de température a été soumise à tous les éléments (ce qui n'est pas le cas en pratique). Ceci n'a toutefois pas modifié la linéarité de la mesure.

9.2.3. CARACTÉRISTIQUES I_C (V_{CE}) POUR UN TRANSISTOR BIPOLAIRE *NPN*

Nous nous proposons, dans cette simulation, de retrouver les résultats de la figure 3.12. Le schéma utilisé est celui de la figure 9.5. On impose un courant constant de 10 µA dans la base du transistor 2N2222, et on fait varier la tension V_{CE} en positif puis en négatif. Le résultat obtenu est représenté sur les deux figures suivantes :

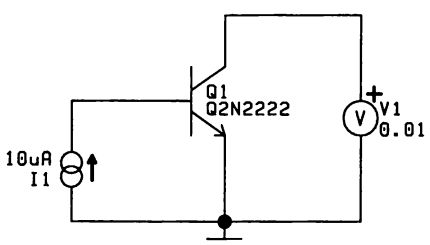


Figure 9.5

— **Figure 9.6.** La tension V_{CE} évolue entre + 1 volt et – 1 volt. On en déduit :

- une tension de saturation en direct voisine de 150 mV,
- une résistance dans la zone saturée de

$$\frac{\Delta V_{CE}}{\Delta I_C} = \frac{100\ \text{mV}}{0{,}8\ \text{mA}} = 125\ \Omega$$

- un gain en courant en direct

$$\beta_d = \frac{0{,}95\ \text{mA}}{10\ \mu\text{A}} = 95$$

- un gain en courant en inverse

$$\beta_i = \frac{0{,}08\ \text{mA}}{10\ \mu\text{A}} = 8$$

- une tension de Early impossible à mesurer.

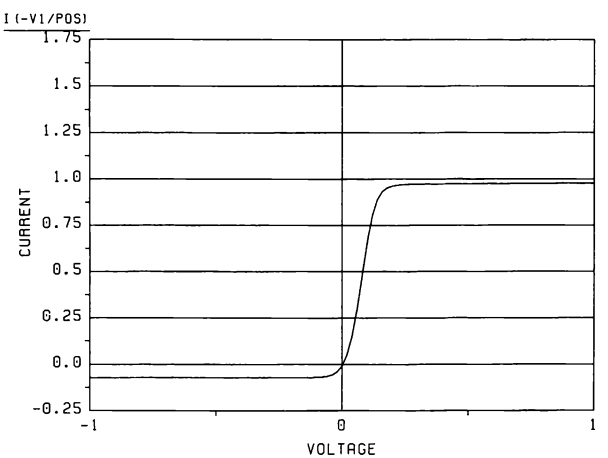


Figure 9.6

— **Figure 9.7.** Un « zoom » a été effectué au voisinage de zéro. La tension V_{CE} varie entre + 10 mV et – 10 mV. On constate que la caractéristique I_C (V_{CE}) ne passe pas par l'origine, mais par les valeurs :

- $I_C = 0, \quad V_{CE} \simeq +4\ \text{mV}$
- $V_{CE} = 0, \quad I_C \simeq -8{,}5\ \mu\text{A}.$

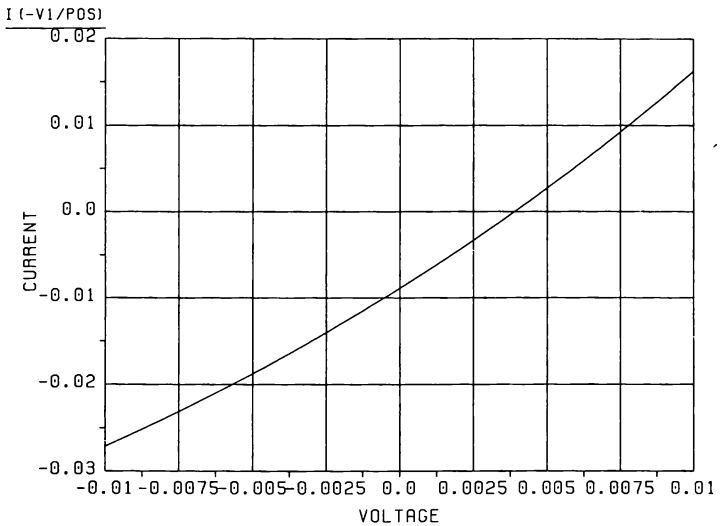


Figure 9.7

9.2.4. INFLUENCE DE LA TEMPÉRATURE SUR UNE POLARISATION

Nous étudions l'influence de la température sur le point de repos des montages de la figure 9.8. Ces deux montages correspondent à ceux étudiés dans l'exercice 6 du paragraphe 3.2.8. La simulation consiste à « demander » l'affichage des tensions aux différents nœuds du montage (MONITOR VOLTAGE) pour différentes températures (ANALYSIS). Le tableau 9.1 fournit les résultats. On remarque que :

— une différence de valeur de V_{CE} existe entre les calculs et la simulation à 75°C

- $V_{CE_1} = 6{,}591$ V au lieu de 4,6 V
- $V_{CE_2} = 9{,}832$ V au lieu de 9,4 V.

Ceci, à cause d'une tension V_{CE} à 25°C différente et du choix des modèles,

— l'évolution du gain en courant β suit à peu près la théorie,

— le V_{BE} n'est pas le même pour les deux montages, à cause du courant I_B différent (courant quasi constant dans le montage 1, courant qui diminue dans le montage 2). Ainsi $V_{BE_2} < V_{BE_1}$.

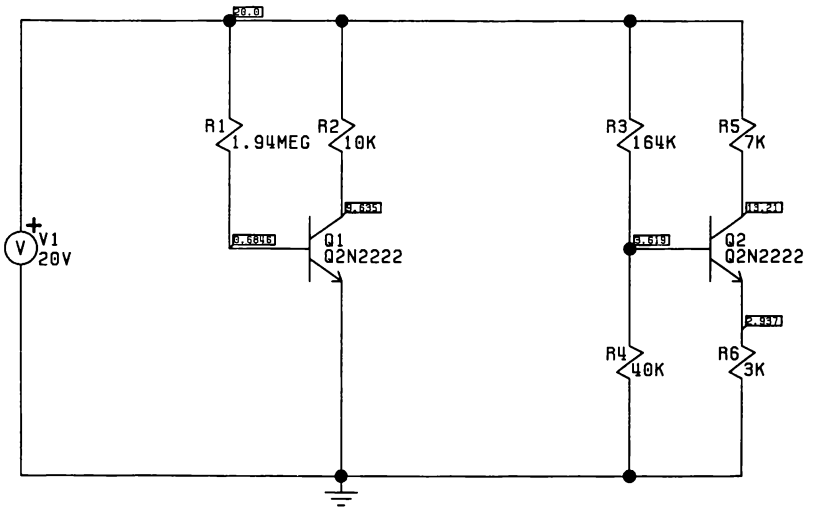


Figure 9.8

0°C	25	75	125	175
V_{BE_1}	0,684	0,612	0,535	0,456
V_{CE_1}	9,635	6,591	3,192	0,249
β	104	134	167	196
V_{B_2}	3,619	3,67	3,709	3,738
V_{C_2}	13,21	12,9	12,6	12,32
V_{E_2}	2,937	3,068	3,192	3,307
V_{BE_2}	0,682	0,602	0,517	0,431
V_{CE_2}	10,273	9,832	9,408	9,013

Tableau 9.1

On retrouve bien sûr la supériorité de la polarisation par pont (asservissement statique).

9.2.5. RÉPONSE EN FRÉQUENCE DES MONTAGES FONDAMENTAUX

Nous étudions les montages fondamentaux : émetteur commun, base commune, cascode et à couplage d'émetteur en régime statique (polarisation) et en régime dynamique (réponse en fréquence). Pour cette dernière étude, nous

simulons la résistance interne du générateur d'attaque par une résistance égale à la résistance dynamique d'entrée du montage, et une résistance de charge égale à la résistance dynamique de sortie de ce même montage. Le transistor utilisé est le 2N2222.

— **Montage émetteur commun** (figure 9.9). Les éléments sont déterminés pour obtenir un point de repos V_{CE} = 7 V. La simulation statique à 25°C nous donne : V_{CM} = 10,34 V, V_{EM} = 2,926 V et V_{BM} = 3,612 V. On en déduit V_{CE} = 7,41 V et V_{BE} = 0,686 V.

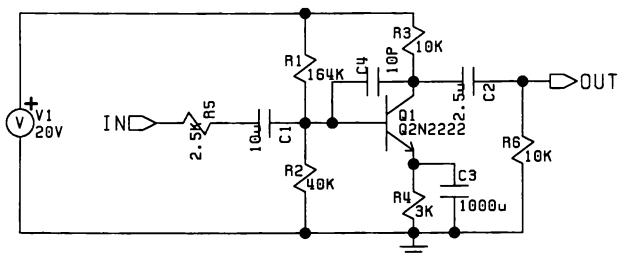


Figure 9.9

En dynamique, le schéma équivalent en régime variable basse fréquence (paragraphe 3.4.3.1) nous fournit

$$R_e \simeq h_{11} = \frac{\beta}{40\, I_C} \simeq 2\,500\ \Omega \quad \text{si } \beta = 100$$

$$G_{v0} = -\frac{\beta R_C}{h_{11}} = -40\, R_3\, I_C = -400$$

$$R_s = R_3 = 10\ \text{k}\Omega$$

En tenant compte de R_5 = 2,5 kΩ (résistance interne du générateur d'attaque) et de R_6 = 10 kΩ (résistance de charge), le gain global est

$$\begin{aligned} G_v &= A_{tt\,\text{entrée}} \times G_{v0} \times A_{tt\,\text{sortie}} \\ &= \frac{R_e}{R_5 + R_e} \times G_{v0} \times \frac{R_6}{R_s + R_6} \\ &= \frac{1}{2} \times (-400) \times \frac{1}{2} = -100 \end{aligned}$$

En appliquant une tension d'entrée IN de 10 mV, on obtient une tension OUT de 1 V. C'est ce résultat que l'on trouve sur la figure 9.10, car la valeur du signal de sortie est donnée en dB, soit 20 log 1 = 0 dB (commande CHART – CREAT GRAPH VOLTAGE).

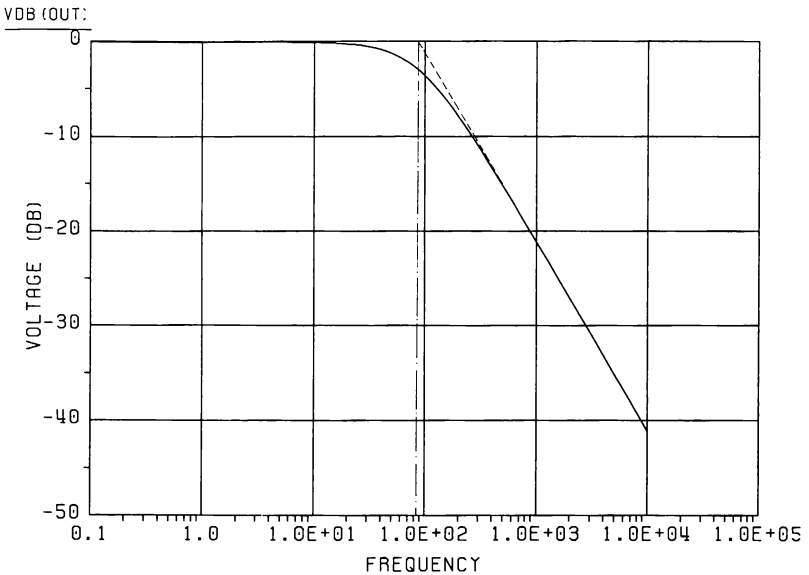


Figure 9.10

Sur cette même figure, et pour $C_4 = 0$ pF, il apparaît une fréquence de cassure de 90 kHz (l'unité est le kHz) et une décroissance de – 20 dB par décade. Cette basse fréquence de cassure est due à l'effet Miller (déplacement de la capacité C_{bc} à l'entrée – revoir la figure 3.181) associée à la constante de temps du circuit d'entrée

$$\tau_e \simeq R_5 // R_5 \cdot (A\, C_{bc} + C_{be})$$

avec $$C_{be} << A\, C_{bc}$$

et $$A = \text{gain en tension } \frac{v_{ce}}{v_{be}} = -200$$

Ainsi, l'expression $f_C = \dfrac{1}{2\pi\, \tau_e}$ nous permet de déterminer la valeur de C_{bc}, soit 7 pF, valeur tout à fait plausible puisque les paramètres SPICE (paragraphe 9.1.3.3.) nous fournissent CJC = 14,57 pF, pour une polarisation nulle.

Lorsque l'on connecte, entre base et collecteur, une capacité C_4 = 10 pF, on trouve une fréquence de cassure de 35 kHz. Le calcul nous donne

$$f_C = \frac{1}{2\pi\, \tau'_e}$$

avec $$\tau'_e \simeq R_5 // R_e\, [A\, (C_{bc} + C_4) + C_{be}]$$

soit $$f_C \simeq 37{,}4 \text{ kHz}$$

Remarque. Si on remplace le transistor Q2N2222 par le transistor ASIC QT3, on trouve

$$V_{CM} = 11{,}11 \text{ V}$$
$$V_{BM} = 3{,}539 \text{ V}$$
$$V_{EM} = 2{,}702 \text{ V}$$

et $$f_C \simeq 10 \text{ MHz} \quad \text{pour} \quad C_4 = 0 \text{ pF}$$

Ce résultat ne nous étonne pas puisque le modèle SPICE fournit C_{bc} (*CJC*) = 0,054 pF.

Notons que dans ce cas, le gain de l'ensemble n'est plus que de 50.

— **Montage base commune** (figure 9.11). La polarisation est identique à celle du montage précédent, car la partie statique n'a pas changé. Par contre, les caractéristiques dynamiques deviennent (pour un étage seul)

$$R_e = \frac{h_{11}}{\beta} = 25\ \Omega$$

$$G_{v0} = + \frac{\beta R_3}{h_{11}} = + 40\, R_3\, I_C = + 400$$

$$R_s = R_3 = 10\ \text{k}\Omega$$

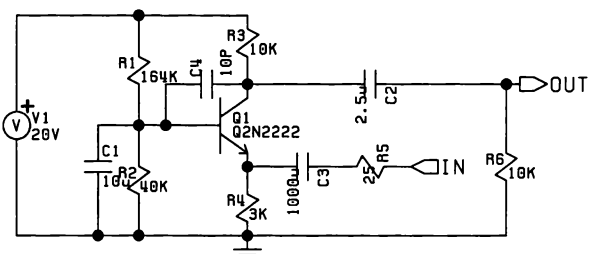


Figure 9.11

En ajoutant une résistance de source $R_5 = 25\ \Omega$ et une résistance de charge $R_6 = 10\ \text{k}\Omega$, nous obtenons un gain global de + 100.

La réponse en fréquence a une forme identique à celle de la figure 9.10. Elle fournit une tension de sortie de – 1 dB (gain en tension tout juste inférieur à 100 sachant que IN = 10 mV) et une fréquence de cassure $f_C \simeq 5$ MHz pour $C_4 = 0$ pF. Cette première fréquence de cassure est due à la constante de temps de sortie

$$\tau_s = R_3 // R_6 \cdot C_{bc} \quad (C_{bc} \simeq 7 \text{ pF, valeur précédente})$$

Le calcul nous donne

$$f_C = \frac{1}{2\pi\, \tau_s} = 4{,}5 \text{ MHz}$$

Si C_4 = 10 pF, la nouvelle fréquence de cassure est

$$f'_C = \frac{1}{2\pi \tau'_s} = 1{,}8 \text{ MHz}$$

valeur très proche de celle obtenue par simulation (2 MHz).

— **Montage cascode** (figure 9.12). Les potentiels statiques obtenus par simulation sont

$$\begin{aligned} V_{CM_2} &= 10{,}45 \text{ V} \\ V_{BM_2} &= 6{,}563 \text{ V} \\ V_{EM_2} &= V_{CM_1} = 5{,}88 \text{ V} \\ V_{BM_1} &= 3{,}607 \text{ V} \\ V_{EM_1} &= 2{,}923 \text{ V} \end{aligned}$$

En dynamique, les caractéristiques de l'étage seul sont :

$$\begin{aligned} R_e &= h_{11} \\ G_{v0} &= -\frac{\beta R_5}{h_{11}} \\ R_s &= R_5 \end{aligned}$$

avec $$h_{11_1} = h_{11_2} = h_{11} = \frac{\beta}{40\, I_C}$$

et $$\beta_1 = \beta_2 = \beta$$

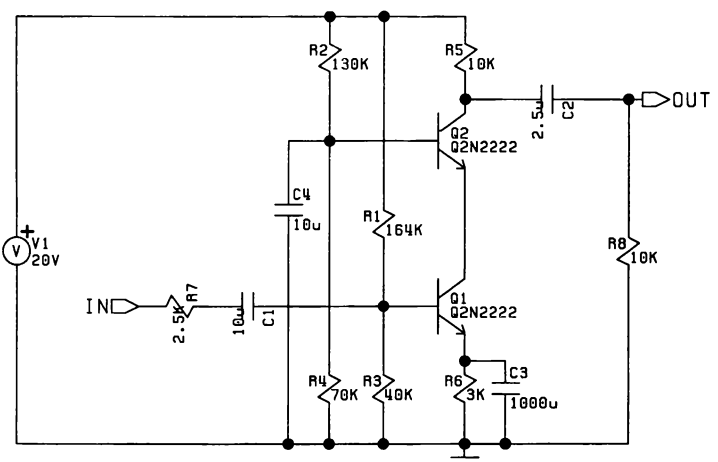


Figure 9.12

En tenant compte des résistances R_7 et R_8, nous obtenons, comme dans le cas de l'émetteur commun, un gain global de – 100.

La réponse en fréquence nous fournit une fréquence de cassure voisine de 2,5 MHz et **une décroissance de – 40 dB/décade.** Cette décroissance est due aux deux constantes de temps τ_e et τ_s, de valeur voisine

$$\tau_e = R_7 // R_e\,[(1 + A_1)\,C_{bc1} + C_{be1}]$$

avec $A_1 = 1$ (gain de l'émetteur commun)

$$\tau_s = R_5 // R_8 \cdot C_{bc2}$$

— **Amplificateur à couplage d'émetteurs** (figure 9.13). Les potentiels statiques obtenus par simulation sont :

$$\begin{aligned} V_{BM1} &= 6{,}569\ \text{V} \\ V_{EM1} = V_{EM2} &= 5{,}883\ \text{V} \\ V_{BM2} &= 6{,}569\ \text{V} \\ V_{CM2} &= 10{,}72\ \text{V} \\ V_{BM3} &= 3{,}641\ \text{V} \\ V_{EM3} &= 2{,}935\ \text{V} \end{aligned}$$

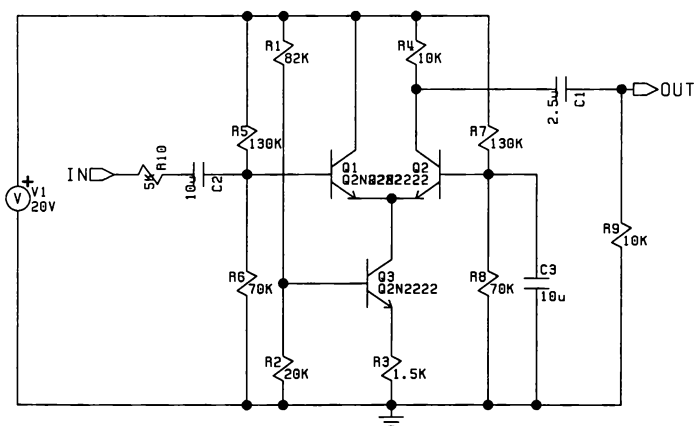


Figure 9.13

En dynamique, les caractéristiques de l'étage seul sont

$$R_e = 2\,h_{11}$$

$$G_{v0} = +\frac{\beta R_4}{2\,h_{11}}$$

$$R_s = R_4$$

avec $h_{111} = h_{112} = h_{11}$

et $\beta_1 = \beta_2 = \beta$

En tenant compte des résistances R_9 et R_{10}, nous obtenons un gain global de + 50. La simulation fournit OUT = – 6 dB pour un signal IN = 10 mV.

La fréquence de cassure de 2,5 MHz est due à la constante de temps de sortie

$$\tau_s = R_4 // R_9 \cdot C_{bc}$$

avec C_{bc} = 12,7 pF (valeur supérieure à celle du montage émetteur commun, à cause de la plus faible valeur de la tension V_{CB}).

9.2.6. AMPLIFICATEUR OPÉRATIONNEL EN TECHNOLOGIE BIPOLAIRE

Nous étudions le comportement d'un amplificateur opérationnel fonctionnant suivant le principe du 741 (en plus simple).

— **Figure 9.14.** L'amplificateur différentiel constitué des transistors *PNP* Q2N2907, est chargé par le miroir de courant $Q_3 - Q_4$ et polarisé par une source de courant parfaite I_1 = 50 µA.

L'étage émetteur commun intermédiaire Q_6 est précédé du collecteur commun Q_5 et polarisé par la source de courant I_2 = 1 mA.

L'étage de sortie est un push-pull classique dont il manque volontairement les résistances d'émetteur et la protection contre les surcharges en sortie.

La capacité C_1 représente la capacité de compensation en fréquence pour les montages asservis (contre-réaction).

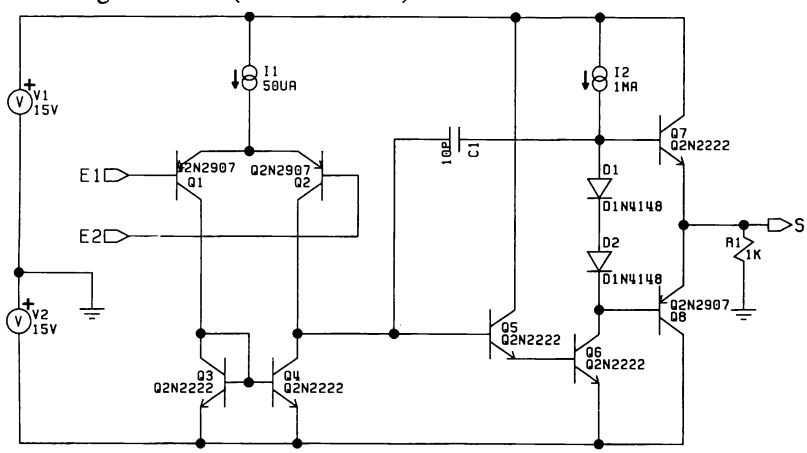


Figure 9.14

— **Figure 9.15.** C'est le schéma précédent dans lequel on a remplacé les sources de courant théoriques par des sources réelles (revoir le paragraphe correspondant aux figures 6.11 et 6.12). Ainsi la résistance R_2 parcourue par un courant

$$I_{R2} \simeq \frac{30}{30\ \text{k}\Omega} = 1\ \text{mA}$$

impose I_{Q9} = 1 mA et I_{Q11} = 50 µA

La simulation effectuée pour un fonctionnement en comparateur, puis en amplificateur, montre que ces deux montages ont le même comportement.

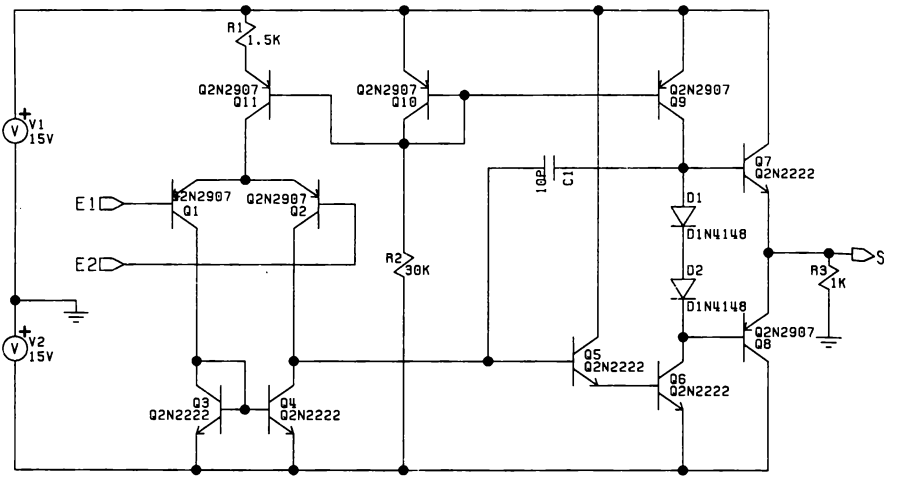


Figure 9.15

A. Fonctionnement en comparateur (figure 9.16). On applique sur l'une des deux entrées un signal carré d'amplitude ± 1 V, l'autre entrée étant à zéro. On obtient en sortie un signal triangulé, à cause du slew rate.

— **Figure 9.16a.** Pour C_1 = 30 pF, les temps de montée et de descente du signal de sortie sont de 20 µs pour un $\Delta S \simeq 25$ V. On en déduit la valeur du slew rate

$$\frac{\Delta S}{\Delta t} = \frac{25\ \text{V}}{20\ \mu\text{s}} = 1{,}25\ \text{V/}\mu\text{s}$$

valeur supérieure à celle du 741 à cause de I_1 légèrement plus important (voir l'ouvrage *Amplificateur opérationnel*, tome 2).

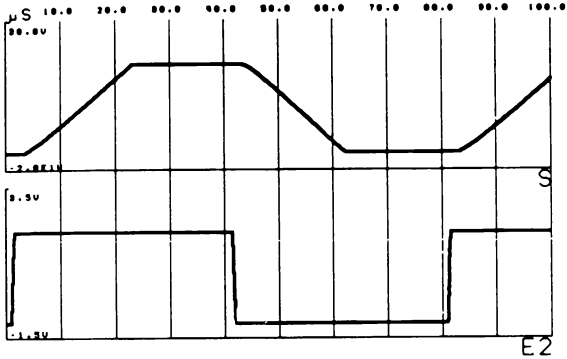
— **Figure 9.16b.** Pour C_1 = 10 pF, le temps de montée n'a pas changé, alors que le temps de descente est de 5 µs, ce qui donne

$$\frac{\Delta S}{\Delta t_{\text{HL}}} \simeq \frac{25\ \text{V}}{5\ \mu\text{s}} = 5\ \text{V/}\mu\text{s}$$

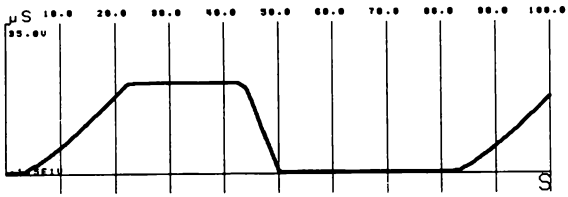
(trois fois supérieure à la valeur précédente).

— **Figure 9.16c.** Le condensateur de compensation en fréquence est annulé (C_1 = 0 pF, comme pour le 301). Le temps de montée est toujours inchangé, alors que celui de descente a encore diminué et est voisin de 1 à 2 µs, ce qui fournit un slew rate

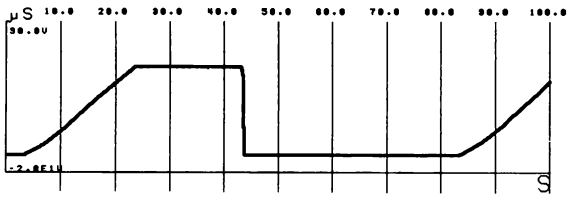
$$\frac{\Delta S}{\Delta t_{\text{HL}}} \text{ de 10 à 20 V/}\mu\text{s}$$



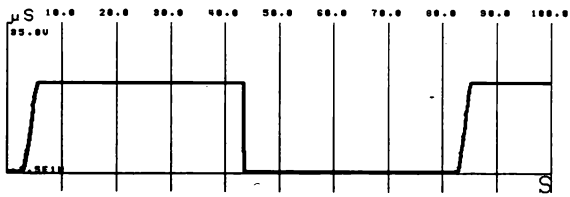
a



b



c



d

Figure 9.16

— **Figure 9.16d.** La lenteur à la montée apparaissant dans les trois cas est due à la continuité de conduction de Q_6 à cause des charges stockées dans

sa base. On évacue plus rapidement ces charges en connectant entre la base et l'émetteur de Q_6, une résistance de 10 kΩ, ce qui donne le résultat présenté.

B. Fonctionnement en amplificateur de gain + 10

La figure 9.17 représente ce montage, situé dans un contexte de saisie de schéma, avec un diviseur de retour R_3 = 90 kΩ et R_4 = 10 kΩ. Pour un signal d'entrée de 0,1 V, on obtient un signal de sortie dont l'évolution de l'amplitude en fonction de la fréquence est indiquée sur la figure 9.18.

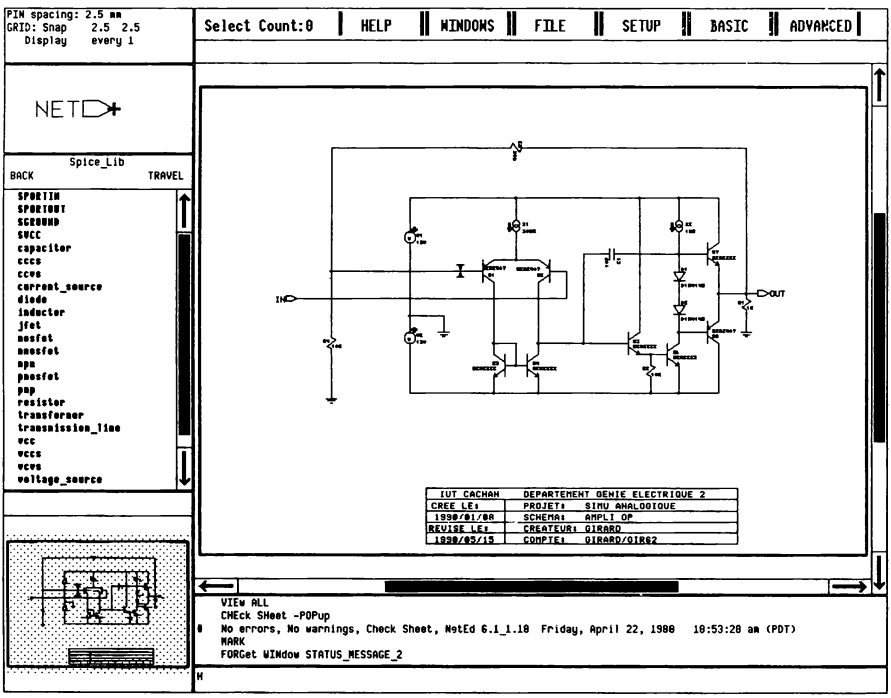
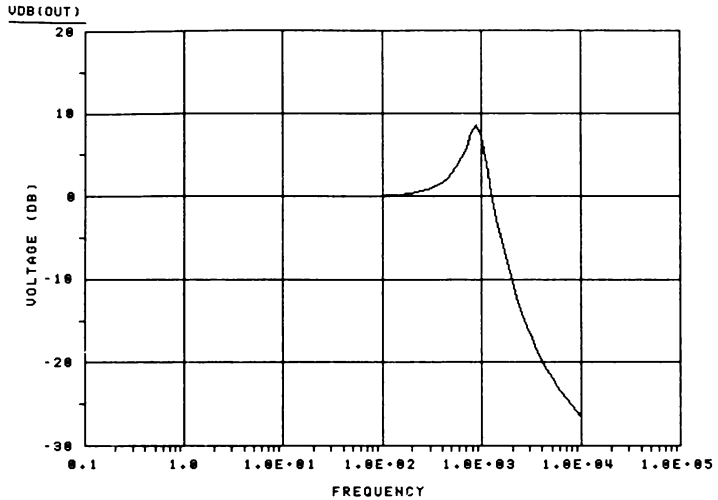


Figure 9.17

a



b

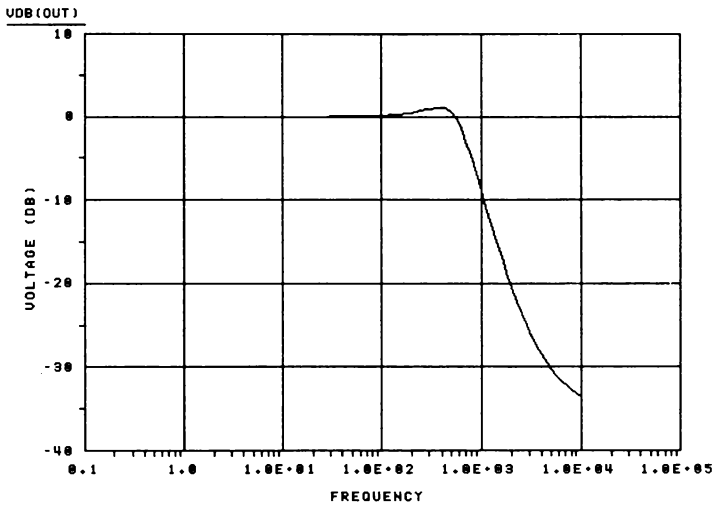


Figure 9.18

— **Figure 9.18a.** Pour C_1 = 10 pF, il apparaît un dépassement de 8 dB.

— **Figure 9.18b.** Pour C_1 = 30 pF le dépassement n'est plus que de 2 dB. La bande passante à 3 dB est alors voisine de 700 kHz. On en déduit un produit gain x bande passante de 7 MHz.

Remarque. La représentation de la réponse en boucle ouverte d'un amplificateur opérationnel est indiquée au paragraphe 9.2.8.

9.2.7. AMPLIFICATEUR OPÉRATIONNEL EN TECHNOLOGIE CMOS

La figure 9.19 représente un amplificateur opérationnel CMOS à deux étages.

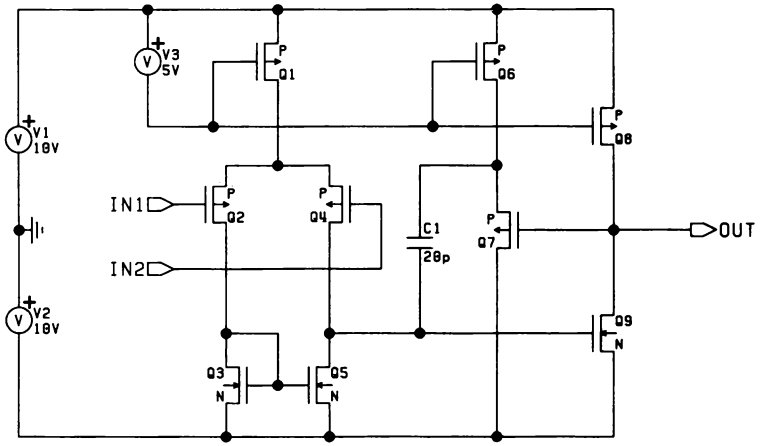


Figure 9.19

— L'amplificateur différentiel d'entrée, constitué des deux transistors PMOSE Q_2 – Q_4, est chargé par le miroir de courant à transistors NMOSE, Q_3 – Q_5 et polarisé par la source de courant Q_1.

— L'étage de sortie est dissymétrique. Il est constitué d'un montage source commune Q_9 (piloté par l'amplificateur différentiel) et chargé par la source de courant Q_8.

— La compensation en fréquence (compensation de Miller) est réalisée avec le condensateur C_1 connecté au drain commun Q_7, lui-même chargé par la source de courant Q_6.

Cet amplificateur opérationnel est programmable en consommation, en faisant varier la source de tension V_3 (ce qui fait varier la valeur de V_{GS} pour les transistors Q_1, Q_6 et Q_8, donc leur courant débité).

Remarque. Les sources de courant étant réalisées avec le même type de transistor, elles imposent un courant de valeur identique, ce qui n'est pas le cas en pratique. Pour moduler la valeur de ce courant, il faut : soit utiliser des transistors à dimensions de canal différentes, soit connecter une résistance entre $+V_1$ et la source des transistors (revoir le paragraphe 6.2.2.2).

A. Fonctionnement en comparateur. Comme pour l'amplificateur précédent, on applique un signal carré (± 1 V) sur une entrée, l'autre étant à zéro. Le signal récupéré en sortie dépend de la valeur de C_1 et de la valeur de la polarisation V_3.

— **Figure 9.20.** Les conditions de test sont : $V_3 = 2$ V et $C_1 = 0$ pF. Les temps de montée et de descente du signal de sortie sont voisins de 2 µs ce qui donne un slew rate

$$\frac{\Delta S}{\Delta t} \simeq \frac{20\text{ V}}{2\text{ µs}} = 10\text{ V/µs}$$

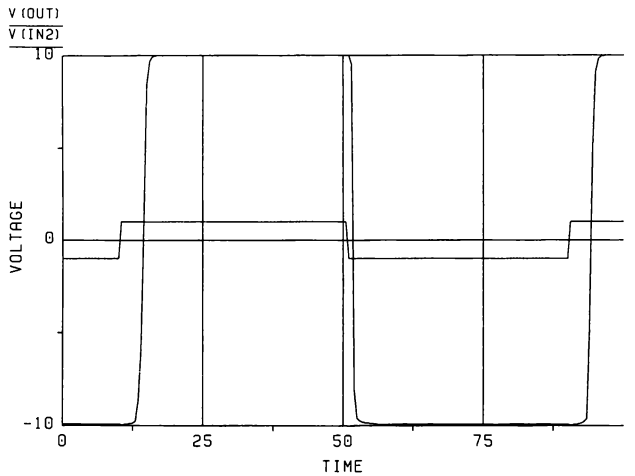


Figure 9.20

— **Figure 9.21.** Pour une même polarisation ($V_3 = 2$ V), la capacité C_1 est de 10 pF. Il apparaît un temps de retard d'environ 12 µs et un temps de montée et de descente de 20 µs. Le nouveau slew rate est

$$\frac{\Delta S}{\Delta t} \simeq \frac{20\text{ V}}{20\text{ µs}} = 1\text{ V/µs}$$

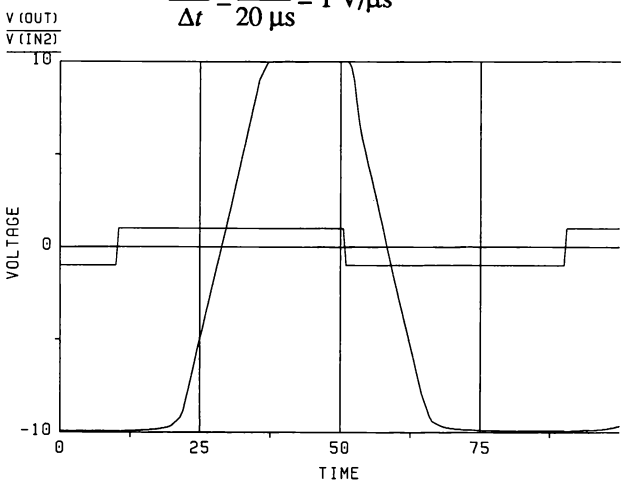


Figure 9.21

— **Figure 9.22.** La polarisation est modifiée, V_3 = 1,5 V pour C_1 = 0 pF. Le slew rate reste celui de la figure 9.20, par contre, il apparaît un retard d'environ 8 µs.

Si V_3 = 1 V, alors le retard est de 40 µs.

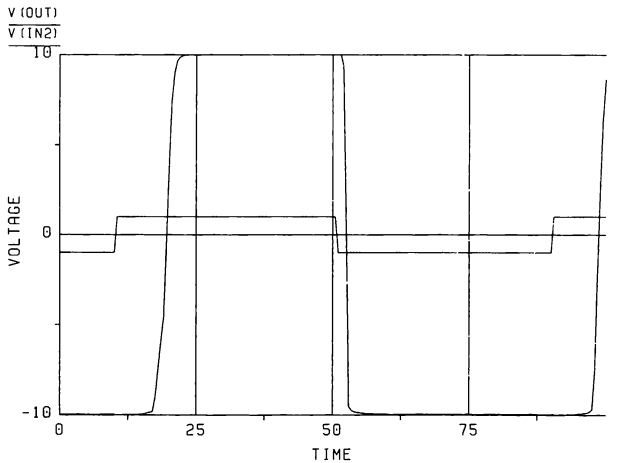


Figure 9.22

B. Fonctionnement en amplificateur de gain 10.

En général, les amplificateurs opérationnels CMOS fonctionnent à faible courant. Nous nous imposons alors une contre-réaction constituée de R_1 = 900 kΩ (connectée entre la sortie et l'entrée –) et R_2 = 100 kΩ (connectée entre l'entrée – et la masse). La réponse en fréquence est celle de la figure 9.23, située dans le contexte d'une simulation SPICE. Toutes les conditions de la simulation sont indiquées à gauche de cette figure. La fréquence de cassure est voisine de 10 kHz pour C_1 = 10 pF. Le produit gain x bande passante est donc de 100 kHz.

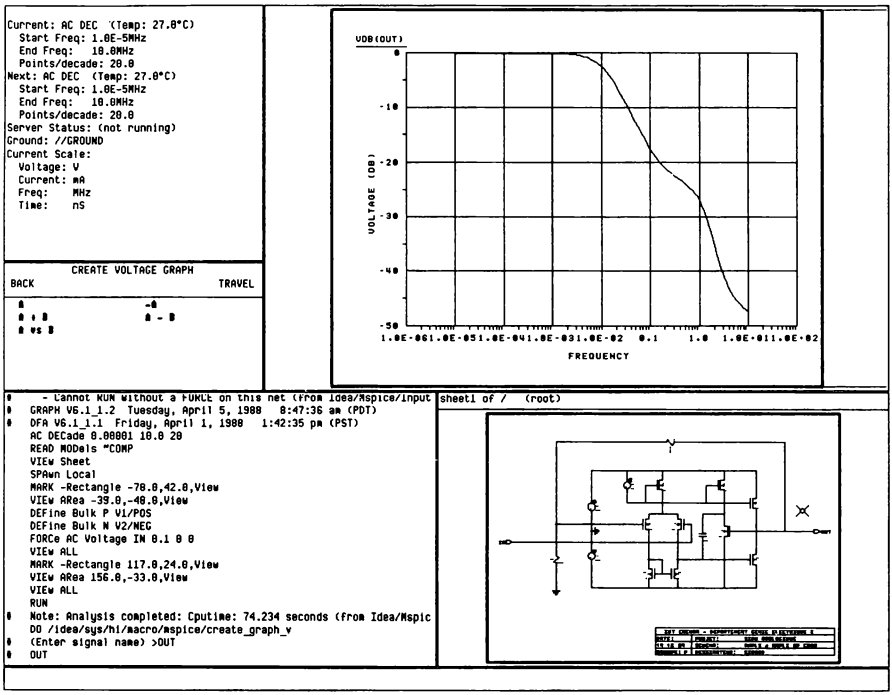


Figure 9.23

La figure 9.24 indique la réponse du montage amplificateur de gain de 10 pour $C_1 = 0$ pF. Il apparaît une pulsation de résonance de 500 kHz et une décroissance de – 40 dB/décade.

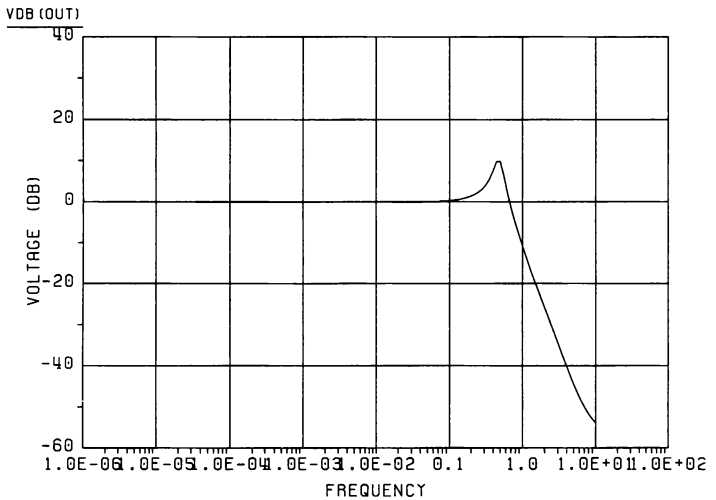


Figure 9.24

9.2.8. RÉPONSE EN FRÉQUENCE EN BOUCLE OUVERTE D'UN AMPLIFICATEUR OPÉRATIONNEL

Le très grand gain en tension d'un amplificateur opérationnel et les erreurs d'offset ne permettent pas la mesure directe du gain en tension car la sortie est inéluctablement saturée. Il existe un montage asservi, préconisé dans l'ouvrage *Amplificateurs opérationnels, tome 2* et indiqué sur la figure 9.25.

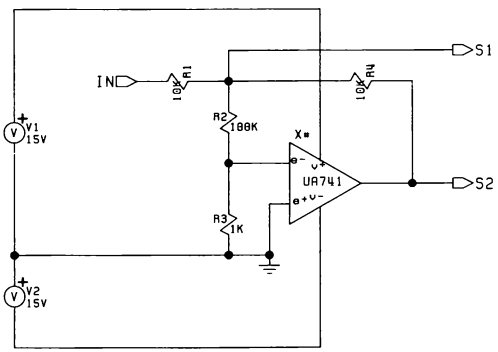


Figure 9.25

On applique un signal à l'entrée IN de 1 volt d'amplitude et on récupère deux signaux en S_1 et en S_2. Le gain A à une fréquence donnée f est

$$A(f) = -100\frac{S_2}{S_1}$$

L'évolution de S_1 et de S_2 en fonction de la fréquence est représentée sur la figure 9.26. Il est nécessaire d'expliciter ces résultats. L'amplificateur opérationnel utilisé est un 741 (type I). Sa fonction de transfert simplifiée est

$$\frac{S}{\varepsilon}(p) = \frac{S_2}{E_+ - E_-} = \frac{A_0}{1 + \tau p} = H_0(p)$$

avec A_0, gain en statique

$\dfrac{1}{2\pi\tau}$, fréquence de cassure

A partir des équations

$$S_1 \simeq \frac{S_2}{2} + \frac{IN}{2}$$

et

$$S_2 \simeq -\frac{H_0}{100} S_1$$

on obtient

$$\frac{S_1}{\mathrm{IN}}(p) = \frac{100}{A_0} \cdot \frac{1 + \tau p}{1 + 2 \cdot 10^{-3} \tau p}$$

et

$$\frac{S_2}{\mathrm{IN}}(p) = -\frac{1}{1 + 2 \cdot 10^{-3} \tau p}$$

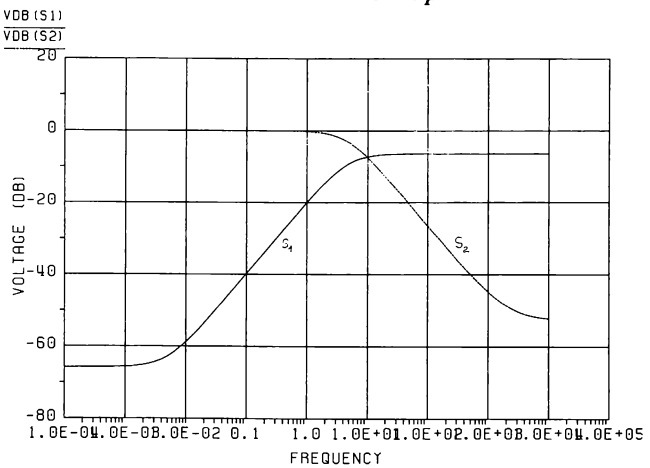


Figure 9.26

Ces fonctions de transfert en boucle fermée correspondent aux réponses de la figure précédente, pour un signal d'entrée de 1 volt. Leur quotient nous donne

$$\frac{S_2}{S_1}(p) = \frac{A_0}{100} \cdot \frac{1}{1 + \tau p} = \frac{H_0(p)}{100}$$

A titre d'exercice, le lecteur peut tracer sur une feuille à échelles semi logarithmiques, les réponses suivantes : S_2 (sous entendu $\frac{S_2}{\mathrm{IN}}$), S_1 (sous entendu $\frac{S_1}{\mathrm{IN}}$), $\frac{S_2}{S_1}$ (qui se traduit par $S_2 - S_1$) et $H_0 = 100\,\frac{S_2}{S_1}$ (qui correspond à $\frac{S_2}{S_1}$ + 40 dB). On retrouve ainsi la réponse classique du 741 de gain $A_0 \simeq 10^5$ et de fréquence de cassure voisine de 10 Hz.

9.2.9. OPÉRATEURS TTL A ÉLÉMENTS DISCRETS

Le but de cette simulation est de comparer la valeur des temps de propagation des différentes portes TTL et d'une porte DTL réalisées avec des composants discrets classiques. Il est évident que les résultats seront différents de ceux des portes réelles, mais la méconnaissance des paramètres SPICE des composants intégrés ne permet pas une simulation objective.

Les portes étudiées sont la copie intégrale des schémas présentés dans les databooks et détaillés dans le paragraphe 7. La nature de la charge est celle préconisée par les fabricants.

Présentons les différentes figures :

— **figure 9.27** : inverseur TTL standard,

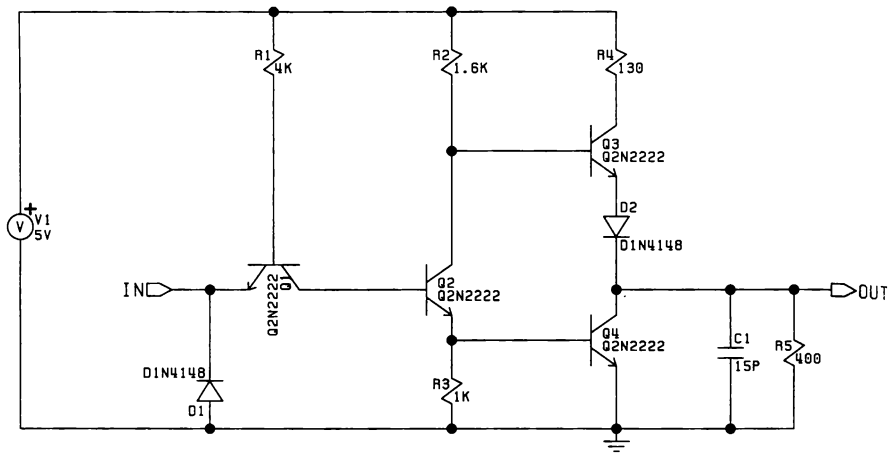


Figure 9.27

— **figure 9.28** : inverseur TTL *High Speed*,

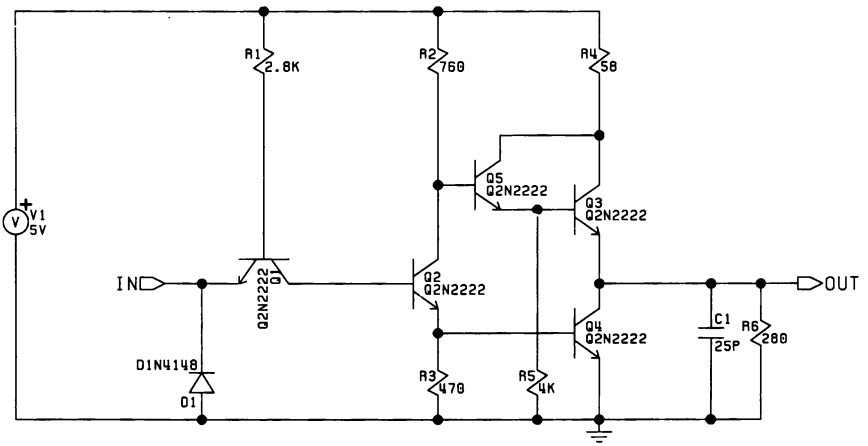


Figure 9.28

— **figure 9.29** : inverseur TTL *Low Power*,

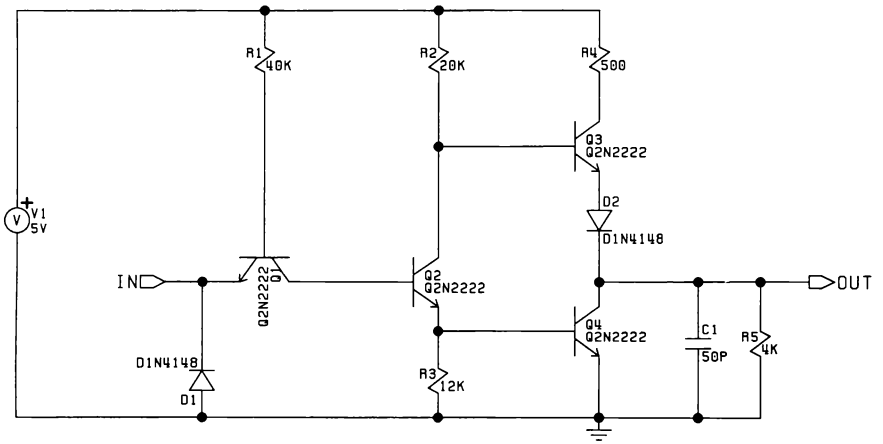


Figure 9.29

— **figure 9.30** : inverseur DTL,

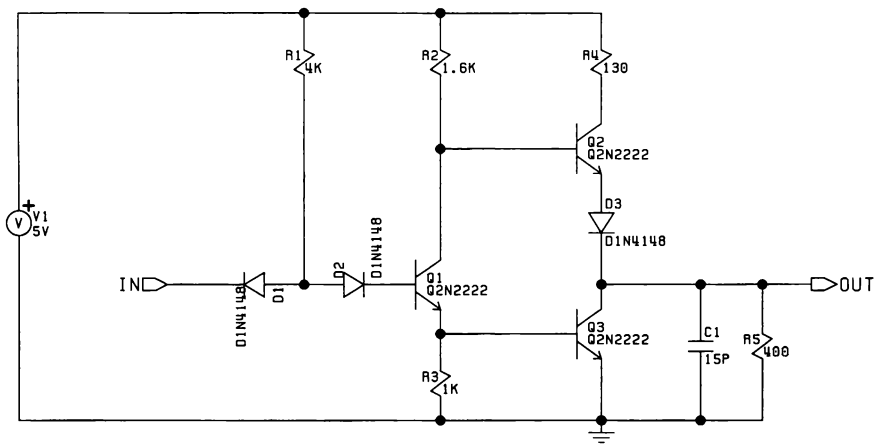


Figure 9.30

— **figure 9.31** : réponse des inverseurs (échelle des temps, 1 µs).

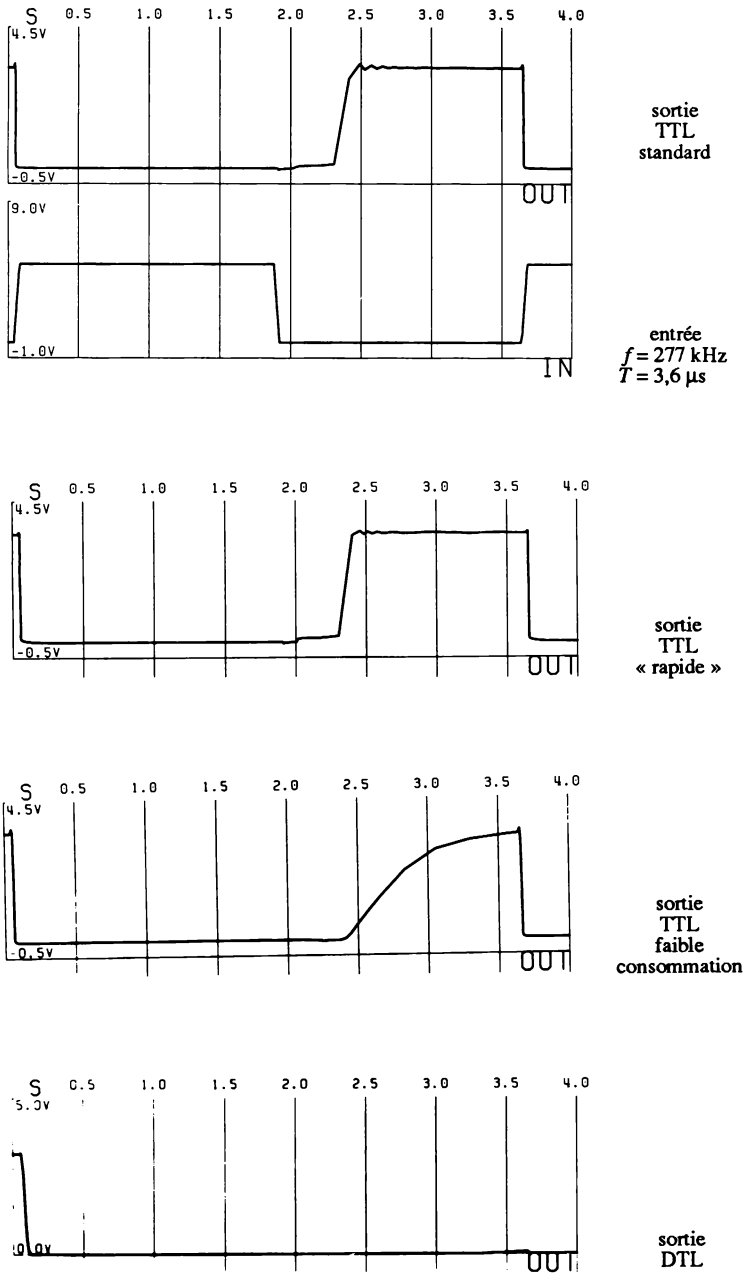
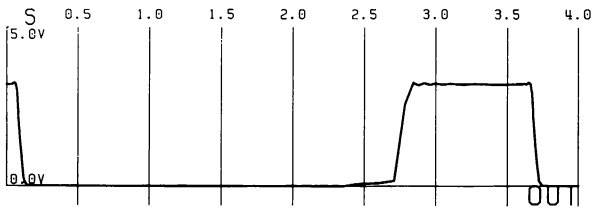
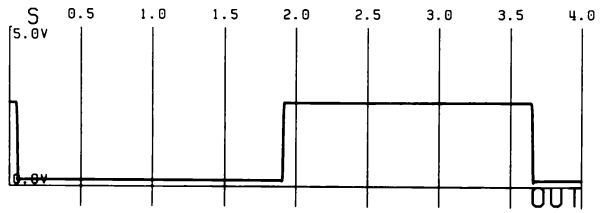


Figure 9.31



sortie
DTL
avec $R = 10\ k\Omega$



sortie
TTL
standard
avec transistor
ASIC

Figure 9.31 (suite)

Remarques associées à la dernière figure.

— Il apparaît que la réponse de l'inverseur *High Speed* est très voisine de celle de l'inverseur standard, alors qu'en réalité, on gagne un facteur 1,5.

— On remarque la lenteur de l'inverseur *Low Power*, à cause des faibles courants (donc des fortes résistances) dans les différents éléments.

— En ce qui concerne l'opérateur DTL, la sortie n'a même pas le temps de passer à l'état « 1 ». Ceci est dû à la mauvaise évacuation des charges stockées dans la base de Q_1. Une résistance $R = 10\ k\Omega$ connectée entre la base de ce transistor et la masse permet d'améliorer les temps de réponse.

— Dans le schéma de la figure 9.27 (TTL standard), lorsqu'on remplace les transistors Q2N2222 par des transistors ASIC QT3, on obtient des temps de propagation nuls à notre échelle de la microseconde.

— Toujours pour la figure 9.27, lorsque la simulation s'effectue sans charge ($C_1 = 0$ pF et $R_5 = \infty$), on obtient en sortie, les signaux présentés sur la figure 9.32. Une tension supérieure à la valeur de l'alimentation (5 V) paraît aberrante. Une étude approfondie (création de graphes des différents nœuds) nous a permis de conclure que, lors du blocage de Q_4, les charges stockées dans sa zone de base s'évacuaient vers R_3, mais aussi vers D_2 chargeant la capacité parasite de cette dernière en positif sur la cathode et en négatif sur l'anode. Une résistance de charge de 100 kΩ permet de décharger la capacité parasite de D_2.

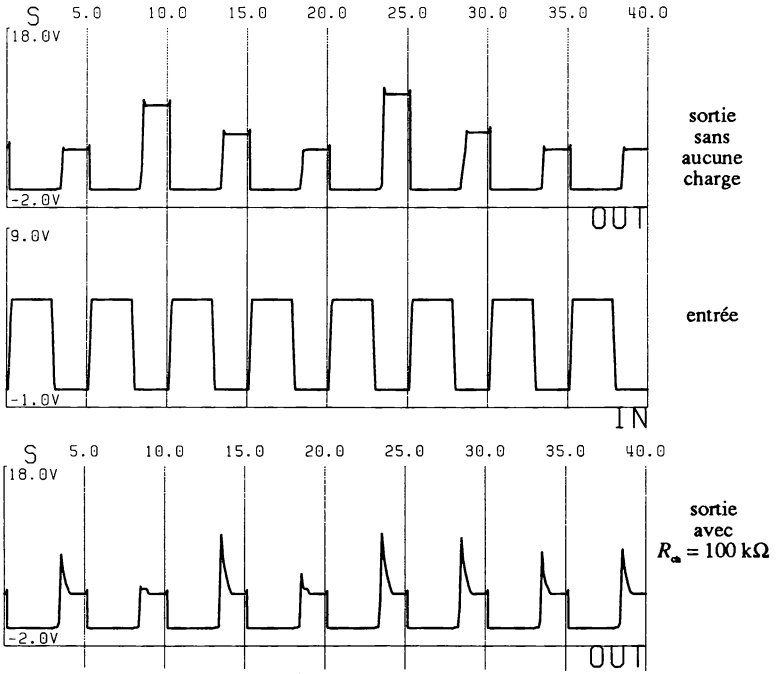


Figure 9.32

Conclusion. En simulation analogique, les générateurs d'attaque, les connexions inter éléments et les mesures sont parfaits. Il faut toujours ajouter les éléments parasites naturels si on veut obtenir des résultats corrects.

Bibliographie

Ramirez V., *Les diodes modernes*, Dunod, 1980.

Ramirez V., *Les résistances non linéaires à semiconducteurs*, Dunod, 1980.

Mathieu H., *Physique des semiconducteurs et des composants électroniques*, Masson, 1987.

Vapaille A. et Castagné R., *Dispositifs et circuits intégrés semiconducteurs*, Dunod, 1987.

Combes P., Graffeuil J., Sautereau J.F., *Composants, dispositifs et circuits actifs en micro-ondes*, Dunod, 1985.

Malvino A.P., *Principes d'électronique*, McGraw-Hill, 1988.

Millman J., Grabel A., *Microélectronique*, McGraw-Hill, 1988.

Grehant B., *Cours de physique des semiconducteurs*, Eyrolles, 1987.

Cand E., Demoulin E., Lardy J.L., Senn P., *Conception des circuits intégrés MOS*, Eyrolles, 1986.

Gregorian R. et Temes G., *Analog MOS integrated circuits for signal processing*, John Wiley and sons, 1986.

Verbeek C., *Les composants actifs en commutation*, Dunod, 1980.

Techniques de l'ingérieur, Électricité.

Cours des techniques hautes fréquences, IUT Cachan, Département Électronique.

Notes d'applications des FET, Siliconix.

Data books : RTC / Philips Composants, Texas Instruments, NS, Siliconix, SGS Thomson, PMI, RCA, Linear Technology, Ge Intersil, IR.

Achevé d'imprimer le 24 juillet 1990
dans les ateliers de Normandie Impression S.A.
à Alençon (Orne)
N° d'imprimeur : 901630
Dépôt légal : juillet 1990

L'électronique analogique date du début du siècle avec, comme premier composant actif, le tube. Recherche fondamentale et évolution des technologies ont fait apparaître les transistors dans les années 50, les circuits intégrés de « petite intégration » dans les années 60 et de « grande intégration » dans les années 70.

Depuis plus d'une décennie, l'électronique numérique a « écrasé » l'électronique analogique avec l'avènement du microprocesseur et de l'informatique industrielle. Cependant, l'électronique analogique est toujours d'actualité, et l'industrie réclame des techniciens connaissant cette discipline. Aussi la collection **Electronique analogique** a pour objectif de sensibiliser les étudiants de première formation, de formation permanente ainsi que les professeurs et les techniciens de l'industrie.

Chaque tome de la collection traite un sujet bien défini tel que l'électronique industrielle, la boucle à verrouillage de phase, l'amplificateur de puissance, l'amplificateur opérationnel, les composants actifs discrets, les alimentations électriques, les filtres électriques, l'opto-électronique, les oscillateurs et les horloges. Dans ces ouvrages, l'accent est mis sur l'application. Chaque thème est présenté qualitativement d'abord et quantitativement ensuite. Les composants sont soit idéalisés, soit étudiés à partir de caractéristiques réelles. Les nombreux schémas d'application constituent un atout pédagogique exceptionnel.

Ingénieur CNAM et agrégé, Michel Girard est maître-assistant à l'Institut Universitaire de Technologie de Cachan. Parallèlement, il est chercheur en supraconductivité et microscopie électronique ainsi qu'ingénieur conseil dans le domaine des ultrasons. Enseignant de première formation et de formation permanente, sa fonction de directeur d'études le met en relation permanente avec le monde industriel.

9 782840 740698

Code : 12228

ISBN : 2-84074-069-9
ISSN : 0985-9039